

논문 2011-48SD-11-5

효율적 버퍼 주파수 보상을 통한 LDO 선형 레귤레이터

(LDO Linear Regulator Using Efficient Buffer Frequency Compensation)

최정수*, 장기창**, 최중호***

(Jungsu Choi, Kichang Jang, and Joongho Choi)

요약

본 논문은 낮은 출력 저항을 버퍼를 사용하여 주파수 보상을 수행한 LDO 선형 레귤레이터에 관한 것이다. 주파수 보상을 위해 제안하는 버퍼는 두 개의 shunt 피드백 루프를 사용하여 출력 저항을 최소화함으로써 이를 통해 LDO 선형 레귤레이터 전체의 부하 및 입력 전압에 따른 레귤레이션 성능을 개선할 수 있고 저전압에서도 낮은 출력 저항을 유지함으로써 휴대기기 응용에 있어서도 적합하다. 또한 외부 디지털 제어를 통한 LDO 선형 레귤레이터의 출력 전압을 가변함으로써 외부 MCU와의 인터페이스를 개선하기 위한 기준 전압 제어 기법을 나타내었다. 구현된 LDO 선형 레귤레이터는 2.5V~4.5V의 입력 전압에 대하여 동작하며 최대 300mA의 부하 전류를 0.6~3.3V의 출력 전압에 대하여 제공할 수 있다.

Abstract

This paper presents a low-dropout (LDO) linear regulator using ultra-low output impedance buffer for frequency compensation. The proposed buffer achieves ultra low output impedance with dual shunt feedback loops, which makes it possible to improve load and line regulations as well as frequency compensation for low voltage applications. A reference control scheme for programmable output voltage of the LDO linear regulator is presented. The designed LDO linear regulator works under the input voltage of 2.5~4.5V and provides up to 300mA load current for an output voltage range of 0.6~3.3V.

Keywords : LDO Linear regulator, LDO, Ultra-Low Output Impedance Buffer, Reference Control Scheme

I. 서론

휴대폰, 노트북과 같은 다양한 배터리 기반의 휴대 기기의 사용이 급속히 증가함에 따라 내부 블록의 동작에 요구되는 전원 전압을 제공하고 배터리의 수명을 연장시켜주는 전력 관리 회로는 필수적이다. 대표적인 전력 관리 모듈로 스위치-모드 DC-DC 변환기, Charge Pump, LDO 선형 레귤레이터 등이 있다. 이 중 LDO 선

형 레귤레이터는 다른 모듈에 비해 효율이 떨어지지만 낮은 출력 저항으로 인해 RF 회로와 같은 노이즈에 민감한 블록의 전원 전압으로 적합하다. 또한 간략한 구조를 가짐으로써 요구되는 면적 및 외부 소자가 최소화될 수 있을 뿐만 아니라, 구현에 요구되는 비용이 저렴하다는 장점이 있다. LDO 선형 레귤레이터의 구현에 있어 가장 중요하게 고려해야 할 점은 다양한 동작 조건, 즉 입력 전압 및 부하 전류의 변화에 따른 안정도를 고려해야 한다. 따라서 현재 다양한 주파수 보상 기법들이 소개되고 있다. 가장 보편적으로 쓰이고 있는 방식은 출력 커패시터에 존재하는 equivalent series resistance을 이용한 left plane plane(LHP) zero를 삽입하여 주파수 보상을 수행하는 것이다. 그러나 이 방식은 ESR 양단으로 순간적인 전류의 그대로 나타게 되어 과도 성능이 저하될 뿐만 아니라 동작 조건에 따른 값의 부정확성으로 인해 적절한 주파수 보상이 수행되지 않을 수도 있

* 정회원, 실리콘미투스
(Silicon Mitus)

** 학생회원, *** 평생회원-교신저자, 서울시립대학교
전자전기컴퓨터공학과
(School of Electrical and Computer Engineering,
University of Seoul)

※ 본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음.
(NIPA-2009-(C1090-1001-0003))

접수일자: 2011년8월1일, 수정완료일: 2011년11월16일

다^[2]. 또한 회로 내부적으로 임의의 LHP 제로를 생성하는 주파수 보상을 수행하는 기법도 있으나 이는 저전압 적용에 부적절하다는 단점이 있다^[3]. Nested-miller 보상 기법을 이용한 pole-splitting을 통하여 안정도를 향상시키는 방법이 있다^[4~6]. 그러나 이는 많은 면적을 요구할 뿐만 아니라 부하 전류에 비례하는 동작 전류를 요구함으로써 효율이 저하되는 단점이 있다. 위와 같은 기법의 문제점을 해소하기 위해 본 논문은 버퍼를 사용하여 pole-splitting 주파수 보상 기법을 적용한 구조의 LDO 선형 레귤레이터를 구현하였으며 이를 효율적으로 구현하기 위한 낮은 출력 저항을 갖는 버퍼를 제안하였다. 또한 외부 인터페이스를 개선하기 위한 디지털 코드에 따른 LDO 선형 레귤레이터의 출력 전압 제어 기법을 나타내었다.

II. 구조

일반적인 구조의 LDO 선형 레귤레이터를 그림 1을 통해 나타내었다. 일반적인 LDO 선형 레귤레이터는 피드백 저항열 R_{FB1} , R_{FB2} 로 출력 전압을 저항 분배한 전압과 기준 전압 V_{REF} 를 비교하여 오차 신호를 출력하는 오차 증폭기, 부하 전류를 구동하는 패스 트랜지스터, dominant pole을 형성하여 주파수 보상을 수행하는 출력 캐패시터 그리고 내부 생성 pole을 높은 주파수로 위치하여 주파수 보상을 수행하는 버퍼로 구성된다.

LDO 선형 레귤레이터는 line 및 load regulation, power supply ripple rejection ratio (PSRR), 최대 부하 전류, drop-out 전압과 같은 다양한 성능 지표들이 존재하며 각각의 성능 지표 간 trade-off 가 요구된다.

한 예로 LDO 선형 레귤레이터의 regulation 및 PSRR 성능 개선하기 위해서는 내부 루프의 이득을 증가시켜야 하며 이를 위해서는 높은 전압 이득을 가지는

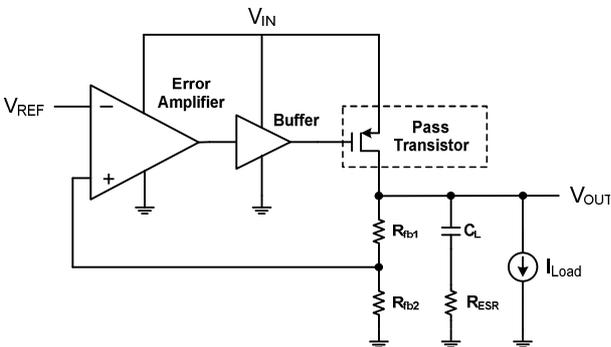


그림 1. 일반적 구조의 LDO 선형 레귤레이터
Fig. 1. Conventional LDO linear regulator.

오차 증폭기가 구현되어야 한다. 이를 위해서는 증폭기의 높은 출력 저항이 요구된다. 또한 최대 부하 전류를 증가시키고 drop-out 전압을 감소시키기 위해서는 패스 트랜지스터의 aspect ratio $(W/L)_{Pass}$ 가 증가해야 한다. 이 때 오차 증폭기의 높은 출력 저항과 패스 트랜지스터의 큰 기생 캐패시턴스로 인해 낮은 주파수 대역에 위치하는 non-dominant pole을 형성하게 되어 시스템의 안정도의 저하시키며 이를 보상하기 위해서는 상대적으로 큰 캐패시턴스 및 적합한 ESR을 가지는 캐패시터가 요구된다. 또한 이는 내부 루프의 대역폭을 감소시킴으로써 과도 성능을 제한하게 된다.

오차 증폭기의 출력과 패스 트랜지스터의 게이트 사이에 작은 입력 기생 캐패시턴스와 출력 저항을 가지는 버퍼를 삽입을 통해 보다 수월하게 주파수 보상을 수행하고 이에 따른 성능 지표 간의 의존성을 완화할 수 있다. 버퍼 주파수 보상 기법을 사용한 일반적 구조의 LDO 선형 레귤레이터에 있어서 dominant pole p_1 는 출력 캐패시터 C_L 과 출력 등가 저항 R_{OUT} 으로 형성된다. R_{OUT} 은 $[r_{o,mp} || (R_{FB1} + R_{FB2}) || R_{load}]$ 로 나타낼 수 있으며, $r_{o,mp}$ 는 패스 트랜지스터의 출력 저항, R_{load} 는 부하 전류에 따른 등가 저항이다. 두번째 pole p_2 은 오차 증폭기의 출력 저항 $r_{o,ea}$ 와 버퍼 입력 기생 캐패시턴스 $C_{i,buf}$ 로 형성되고 세 번째 pole p_3 는 버퍼의 출력 저항 $r_{o,buf}$ 와 패스 트랜지스터의 게이트 기생 캐패시턴스 C_P 로 형성된다. 위의 3개의 pole은 식 (1)~(3)과 같이

$$p_1 = \frac{1}{2\pi \cdot R_{OUT} \cdot C_L} \tag{1}$$

$$p_2 = \frac{1}{2\pi \cdot r_{o,ea} \cdot C_{i,buf}} \tag{2}$$

$$p_3 = \frac{1}{2\pi \cdot r_{o,buf} \cdot C_P} \tag{3}$$

R_{OUT} 은 부하 전류 I_{load} 에 의해 결정되는 값으로 식 (1)을 통해서도 알 수 있듯이 p_1 의 위치는 부하 전류에 따라 변화함을 알 수 있다($R_{OUT} \propto 1/I_{load}$). 따라서 목표하는 부하 전류의 범위 내에서의 안정도를 보장하기 위해서는 dominant pole의 위치가 최대가 되는 지점, 즉 최대 부하 전류에서 주파수 보상을 수행해야 한다. 또한 $C_{i,buf}$ 와 $r_{o,buf}$ 의 값을 가급적 작게 하여 식 (2)와 (3)을 통해 나타난 p_2 , p_3 를 높은 주파수에 위치함으로써 원하는

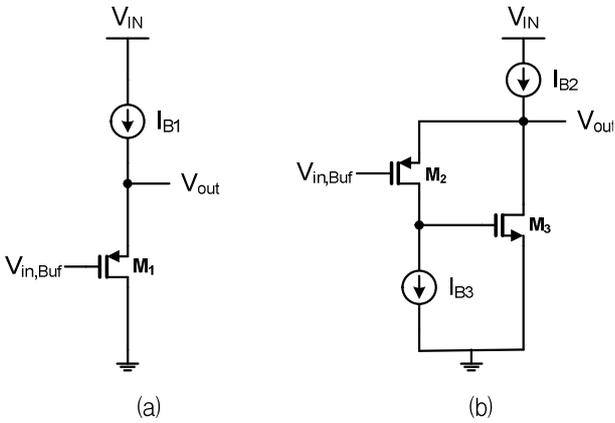


그림 2. Source follower 회로
 (a) 일반적 구조의 source follower
 (b) Super source follower

Fig. 2. Source follower circuits.
 (a) Conventional source follower
 (b) Super source follower

위상 여유를 보장하도록 한다^[7].

일반적으로 구현되는 버퍼는 source follower 또는 super source follower의 형태로써 그림 2를 통해 나타내었다. 일반적인 구조의 source follower는 그림 2(a)와 같은 형태로써 버퍼의 출력 저항 $r_{o,buf}$ 는 버퍼 입력 트랜지스터 M_1 의 트랜스컨덕턴스의 역수로 나타낼 수 있다. LDO 선형 레귤레이터의 주파수 보상을 위해서는 $r_{o,buf}$ 충분히 작아야 한다. 따라서 버퍼의 출력 저항을 낮추기 위해서는 aspect ratio $(W/L)_{M1}$ 을 증가시키거나 바이어스 전류를 증가시켜야 한다. 그러나 $(W/L)_{M1}$ 를 증가시키는 경우 버퍼 입력 기생 캐패시턴스의 증가로 인한 p3의 낮은 주파수 이동으로 시스템이 불안정해 질 수 있으며 바이어스 전류를 증가시키는 경우 효율이 저하될 뿐만 아니라 버퍼의 출력 범위의 감소로 전체 시스템의 성능이 저하될 수 있다.

Super source follower는 그림 2(b)와 같으며 shunt 피드백 트랜지스터 M_3 를 사용하여 출력 저항을 낮춘 형태이다. 저전압 LDO 선형 레귤레이터에 적용하는 경우 큰 부하 전류 구동을 위해서는 패스 트랜지스터 구동을 위해 버퍼의 입력 전압 $V_{in,Buf}$ 이 상당히 낮아지게 되는 경우 트랜지스터 M_2 가 선형 영역에서 동작하게 된다. 이에 따라 피드백 루프의 이득이 감소하고 버퍼의 출력 저항이 증가하게 되어 LDO 선형 레귤레이터의 주파수 보상이 어려운 단점이 있다.

III. 제안하는 버퍼 구조

제안하는 구조의 회로도를 그림 3을 통해 나타내었다. NMOS 트랜지스터의 게이트-소스 전압으로 인한 낮은 부하에서의 패스 트랜지스터의 동작을 차단하고자 PMOS 입력 트랜지스터를 구성하였으며 두 개의 shunt 피드백 구성을 통해 버퍼의 출력 저항을 감소시켰다. 하나의 루프는 트랜지스터 M_1 - M_2 를 통해 구현되며 나머지 하나의 루프는 M_1 - M_3 - M_4 를 통해 구현된다. 두 개의 루프로 피드백 이득을 증가시킴으로써 하나의 shunt 피드백 루프로 구성된 버퍼에 비해 버퍼의 출력 저항을 상당히 낮출 수 있는 장점이 있다. 제안하는 버퍼의 출력 저항 $r_{o,buf}$ 는 다음의 식 (4)와 같이 나타낼 수 있다.

$$r_{o,buf} = \frac{1}{g_{m1}g_{m2}r_{o1} + g_{m1}g_{m3}g_{m4}r_{o1}r_{o2}} \quad (4)$$

각각의 g_m 과 r_o 는 각 트랜지스터의 트랜스컨덕턴스 및 출력 저항에 해당한다. 식 (4)의 분모에서 2번째 항은 두 번째 피드백 루프에 의해 형성되는 항으로 버퍼의 출력 저항을 크게 감소시킨다. 또한 제안하는 버퍼를 통해 원하는 출력 저항을 가지기 위해 요구되는 M_1 의 전류 및 aspect ratio가 감소함에 따라 버퍼의 입력 기생 캐패시턴스가 감소할 수 있으며 이는 오차 증폭기의 출력 저항을 증가에 따른 루프 이득의 증가를 가능하도록 하여 시스템의 성능을 개선할 수 있다.

제안하는 버퍼는 저전압 LDO 선형 레귤레이터의 주파수 보상에 장점이 있다. 그림 4를 통해 각 버퍼 구조의 입력 전압에 따른 출력 저항을 나타내었다. 제안하는 버퍼의 두 개의 루프를 통해 전 입력 전압 조건에 대하

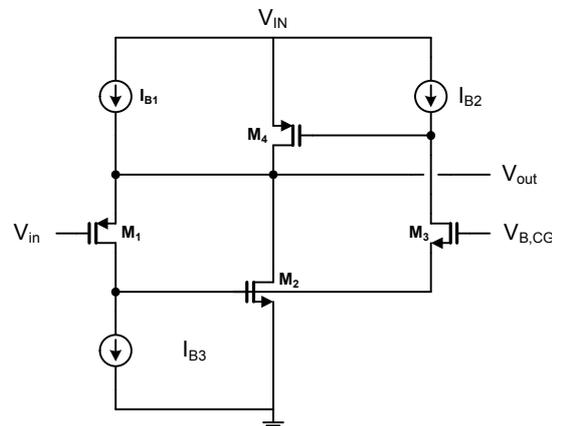


그림 3. 제안하는 버퍼의 회로도
 Fig. 3. Circuit schematic of the proposed buffer.

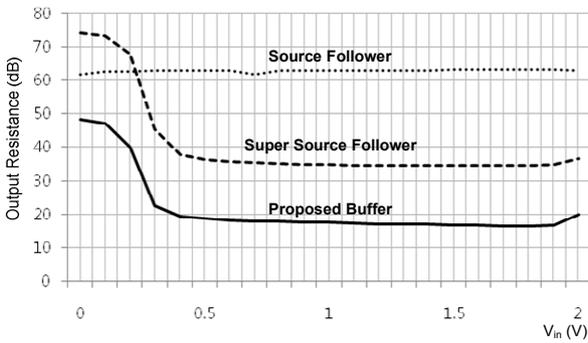


그림 4. 3가지 버퍼 구조의 출력 저항 비교
Fig. 4. Output resistance comparison of the 3-buffers.

여 가장 낮은 출력 저항을 나타내고 있다. 따라서 제안하는 버퍼를 통한 주파수 보상으로 저전압 및 큰 부하 전류 구동에 있어서도 안정적으로 동작할 수 있음을 알 수 있다.

IV. LDO 선형 레귤레이터의 설계

제안하는 버퍼를 이용한 전체 LDO 선형 레귤레이터의 회로도를 그림 5를 통해 나타내었다. 외부 5비트 제어 디지털 제어 신호를 통해 기준 전압 제어함으로써 LDO 선형 레귤레이터의 출력 전압을 가변할 수 있도록 구현하였다. 오차 증폭기는 잡음 성능을 개선하고 적합한 동작 조건을 고려하여 PMOS 차동 입력단과 폴디드 구조의 출력단을 사용하였으며 이는 트랜지스터 $M_1 \sim M_{10}$ 을 통해 구성되었다. 제안하는 버퍼는 트랜지스터 $M_{B1} \sim M_{B11}$ 를 통해 구성되었으며 diode-connected

NMOS 트랜지스터 M_{B10} 를 사용하여 공통 게이트 증폭기로써 동작하는 M_{B6} 의 직류 바이어스 전압을 인가하였다. 또한 피드백 경로를 통한 고주파 성분의 증폭을 방지하고자 바이패스 캐패시터 C_B 를 사용하였다. 출력 패스 트랜지스터의 aspect ratio는 $100,000\mu\text{m}/0.5\mu$ 이며 피드백 저항 R_{FB1} , R_{FB2} 는 절대값이 큰 외부 소자를 사용하여 동작 전류를 최소화하였다.

제안하는 버퍼를 통해 큰 aspect ratio를 가지는 패스 트랜지스터의 게이트 기생 캐패시턴스로 인해 생성되는 non-dominant pole을 레귤레이션 루프의 단위 이득 주파수보다 충분히 높은 주파수에 위치시킴으로써 전체 시스템의 dominant pole은 LDO 선형 레귤레이터의 출력 노드에 존재하고 non-dominant pole은 오차 증폭기의 출력 노드에 존재하는 2-pole 시스템으로 근사화할 수 있다. 위와 같은 2개의 pole은 캐패시터 C_C 와 공통

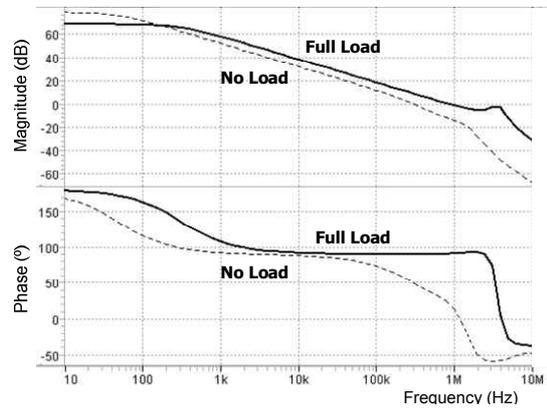


그림 6. 루프 이득의 주파수 특성
Fig. 6. Frequency characteristics of the loop gain.

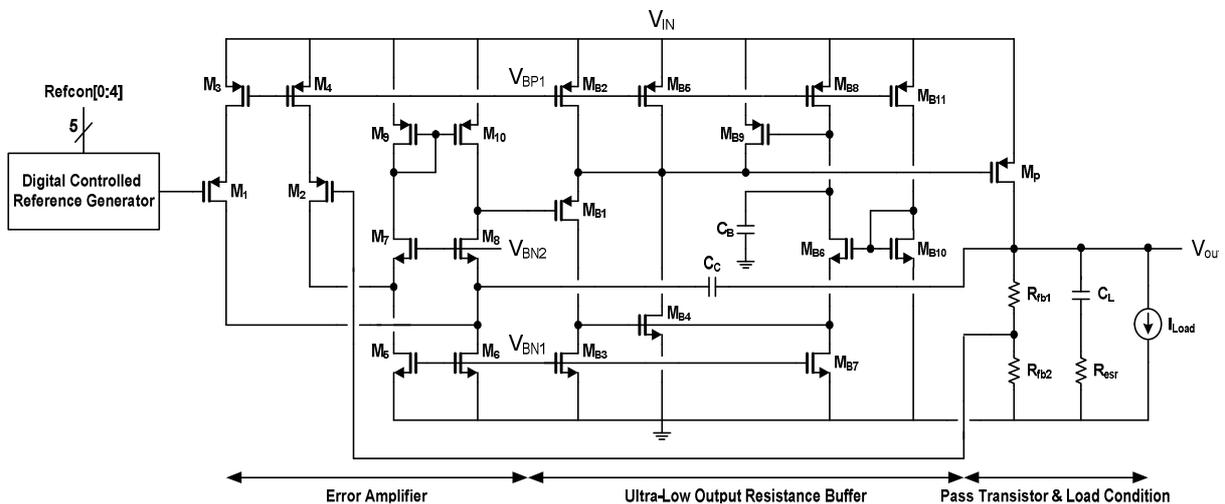


그림 5. 제안하는 버퍼를 사용한 LDO 선형 레귤레이터의 회로도
Fig. 5. Circuit schematic of LDO linear regulation using proposed buffer.

게이트 증폭기 M_3 로 이루어진 전류 버퍼 보상 기법을 통해 pole-splitting을 수행하였으며 이를 통해 주파수 보상에 요구되는 출력 캐패시터의 크기를 줄였다. 일반적인 Miller 주파수 보상에서의 feed-forward 경로로 인해 나타날 수 있는 RHP zero를 방지할 수 있을 뿐만 아니라 이로 방지하기 위한 직렬 저항의 제거할 수 있는 장점이 있다^[8].

부하 전류의 변화에 따라 페스 트랜지스터의 트랜스 컨덕턴스 및 출력 저항이 변화하고 출력 등가 저항이 변화가 나타나므로 LDO 선형 레귤레이터의 루프 이득의 주파수 특성은 부하 전류에 따라 크게 변화한다. 따라서 시스템의 안정도 분석은 다양한 동작 조건을 고려하여야 하며 목표하는 전체 부하 전류에서 안정된 동작을 보장할 수 있도록 설계되어야 한다. 구현된 LDO 선형 레귤레이터 루프 이득의 주파수 특성을 그림 6를 통해 나타내었다. 시뮬레이션은 부하 전류가 있는 경우와 목표하는 최대 부하 전류 300mA의 조건에서 수행되었다. 부하가 없는 경우 루프의 직류 이득은 78.2dB, 위상 여유는 51°이고 최대 부하 전류를 구동하는 경우 루프의 직류 이득은 68.2dB, 위상 여유는 89°로 나타났다.

다양한 종류의 부하를 구동해야하는 최근의 전력 관리 회로의 외부 제어를 통한 출력 전압의 가변성이 요구된다. 위와 같은 요구에 만족하기 위해 사용된 디지털 제어 기준 전압 발생기를 그림 7을 통해 나타내었다. 구현된 기준 전압 발생기는 밴드갭 기준 전압을 인가받아 원하는 출력 전압을 발생하기 위한 기준 전압열을 생성하는 전압-전압 변환 회로, 외부 5비트 제어 신호를 받아 32비트 신호를 디코더 그리고 변환된 디코더 신호에

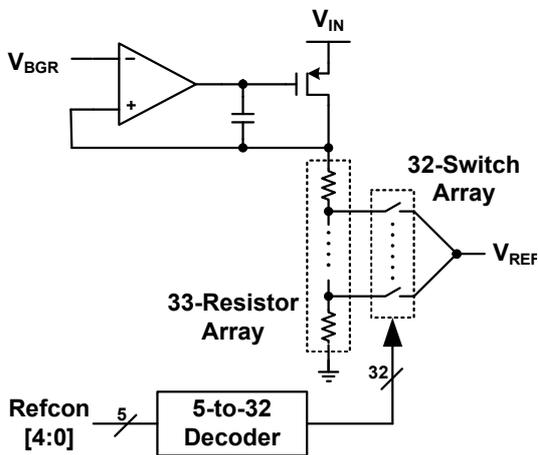


그림 7. 루프 이득의 주파수 특성
Fig. 7. Frequency characteristics of the loop gain.

따라 원하는 기준 전압 선택하여 LDO 선형 레귤레이터에 인가해주는 스위치열로 이루어져있다.

출력 전압에 변화에 따른 출력 등가 저항의 변화 또한 LDO 선형 레귤레이터 시스템 전체의 주파수 특성의 변화를 가져오므로 이에 따른 안정도를 고려해야 한다..

V. 제작 및 측정 결과

제안하는 LDO 선형 레귤레이터 0.18um 2P5M CMOS 공정을 사용하여 구현하였다. 레이아웃은 그림 8과 같으며 사용된 면적은 0.36mm²이다. 리튬 이온 배터리의 동작 전압을 고려하여 입력 전압 2.5~4.5V의 범위에서 외부 5비트 디지털 제어를 통해 0.6~3.3V 범위에서의 32 단계의 전압을 출력하도록 구현하였다. 또한 위의 입력 및 출력 전압 조건에서 일반적인 전력 관리 회로에 요구되는 부하 전류인 0~300mA를 구동할 수 있도록 구현하였다.

부하 전류 변화에 따른 출력 전압의 변화의 측정 결과를 그림 9를 통해 나타내었다. 입력 전압 3.5V, 출력 전압 1.75V의 조건에서 부하 전류를 0~300mA로 변화시켰을 때 9mV의 출력 전압의 변화가 나타났으며 변화

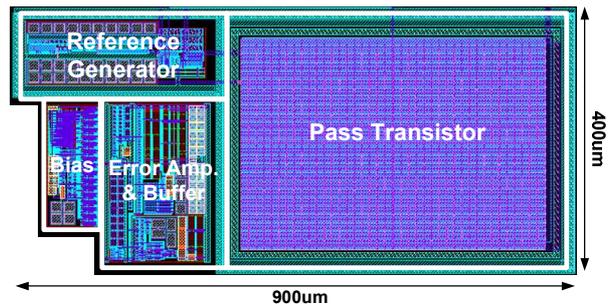


그림 8. LDO 선형 레귤레이터의 레이아웃
Fig. 8. Layout of the LDO linear regulator.

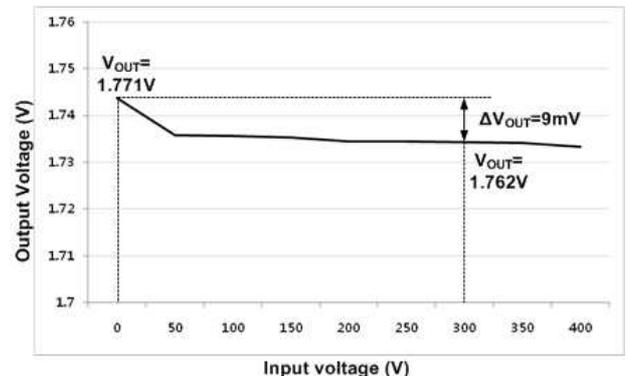


그림 9. 부하 전류 변화에 따른 출력 전압의 변화
Fig. 9. Load regulation performance.

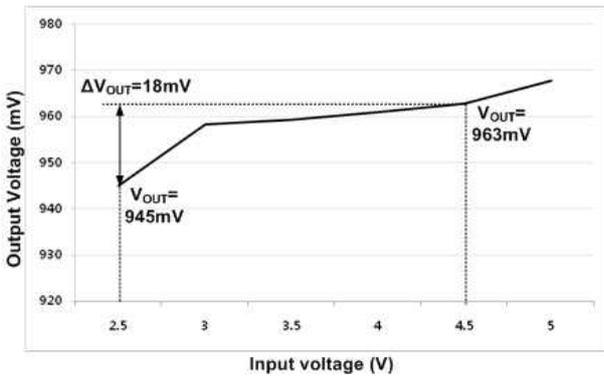


그림 10. 입력 전압 변화에 따른 출력 전압의 변화
Fig. 10. Line regulation performance.

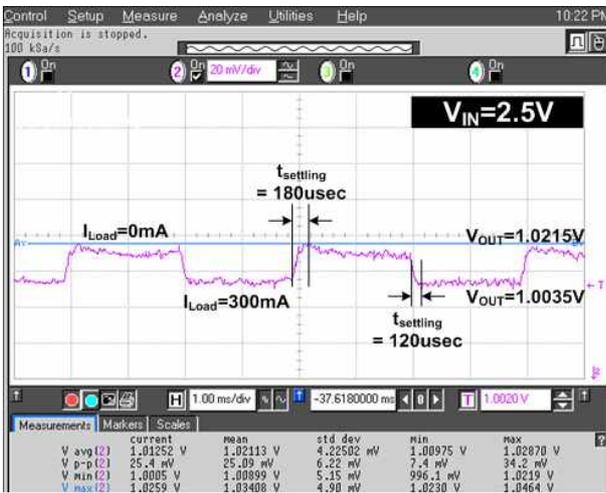


그림 11. 부하 전류에 따른 과도 성능
Fig. 11. Transient performance with respect to load current.

표 1. 성능 요약표

Table 1. Performance summary.

공정	0.18-um CMOS
입력 전압	2.5~4.5
출력 전압	0.6~3.3
Drop-out 전압	200mV
최소 출력 캐패시터	1uF
최대 출력 전류	300mA
Load Regulation	30mV/A
Line Regulation	9mV/V
동작 전류	150uA

율은 30mV/A이다. 입력 전압의 변화에 따른 출력 전압의 변화의 측정 결과를 그림 10을 통해 나타내었다. 부하 전류 300mA, 출력 전압 1V의 조건에서 입력 전압을 2.5~4.5V로 변화시켰을 때 18mV의 출력 전압의 변화가 나타났으며 변화율은 9mV/V이다.

부하 전류 변화에 따른 LDO 선형 레귤레이터의 과도

성능을 그림 11를 통해 나타내었다. 입력 전압 2.5V 출력 전압 1V의 조건에서 부하 전류를 0mA에서 300mA로 변화시킬 때의 출력 전압의 안정화 시간을 측정하였다. 출력 전압의 안정화 시간은 부하 전류 0mA에서 300mA 변화시 180uSec, 300mA에서 0mA 변화시 120uSec로 나타났다.

측정 결과를 바탕으로 하여 요약한 성능을 표 1을 통해 나타내었다.

VI. 결 론

본 논문을 통해 낮은 출력 저항을 갖는 버퍼를 제안하였다. 제안하는 버퍼는 두 개의 shunt 피드백을 통해 낮은 출력 저항을 가짐으로써 LDO 선형 레귤레이터의 주파수 보상을 효율적으로 이루어지도록 하였다. 또한 저전압 및 낮은 입력 전압에서도 출력 저항을 유지함으로써 저전압에서 큰 부하 전류를 구동하는 LDO 선형 레귤레이터 적용에 적합하다.

또한 외부 MCU와의 인터페이스를 통한 출력 전압의 가변을 위해 5비트 외부 디지털 신호를 통해 32 단계로 기준 전압을 가변하는 기준 전압 생성기를 구현하였다.

위 기법을 적용한 LDO 선형 레귤레이터를 0.18um CMOS 공정을 사용하여 제작하였으며 입력 전압 2.5~4.5V, 출력 전압 0.6~3.3V, 최대 부하 전류 300mA를 구동하도록 구현하였다.

참 고 문 헌

- [1] G. A. Rincon-Mora and P. E. Allen, "Optimized frequency-shaping circuit topologies for LDO's," *IEEE Trans. Circuit Syst. II, Analog Digital Signal Processing*, vol. 45, no. 6, pp. 703-708, Jun. 1998.
- [2] K. N. Leung and P. K. T. Mok, "A capacitor-free CMOS low-dropout regulator with damping factor control frequency compensation," *IEEE J. Solid-State Circuits*, vol. 38, no. 10, pp. 1691-1702, Oct. 2003.
- [3] C. K. Chava and J. Silva-Martinez, "A frequency compensation scheme for LDO voltage regulators," *IEEE Trans. Circuits System. I, Reg. Papers*, vol. 51, no. 6, pp. 1041-1050, Jun. 2004.
- [4] Yi Wang and Lenian He, "A CMOS low-dropout regulator with 3.3uA quiescent

current independent of off-chip capacitor,” *IEEE Asia Pacific Conference of Circuit and Systems*, Macao, China, pp. 1320-1323, Nov. 2008.

[5] G. A. Rincon-Mora and P. E. Allen, “A low-voltage, low quiescent current, low drop-out regulator,” *IEEE J. Solid-State Circuits*, vol. 33, no. 1, pp. 36-44, Jan. 1998.

[6] M. Al-Shyoukh, R. A. Perez, and H. Lee, “A Transient-enhanced low-dropout regulator with buffer impedance attenuation,” *IEEE J. Solid-State Circuits*, vol. 42, no. 8, pp. 1732-1742, Aug. 2007.

[7] G. A. Rincon-Mora “Current Efficient, Low Voltage, Low Drop-out Regulators,” *Ph.D Thesis, Georgia Institute of Technology*, Nov. 1996.

[8] Mahattanakul, J., “Design procedure for two-stage CMOS operational amplifiers employing current buffer”, *IEEE Trans. Circuits Syst. II*, vol. 52, no. 11, pp. 766-770, Nov. 2005.

— 저 자 소 개 —



최 정 수(정회원)
 2008년 서울시립대학교
 전자전기컴퓨터 학사졸업.
 2010년 서울시립대학교
 전자전기컴퓨터 학사졸업.
 2010년~현재 실리콘 마이터스
 재직.

<주관심분야 : 아날로그 회로 설계>



장 기 창(학생회원)
 2007년 서울시립대학교
 전자전기컴퓨터 학사졸업.
 2009년 서울시립대학교
 전자전기컴퓨터 석사졸업.
 2011년~현재 서울시립대학교
 전자전기컴퓨터 박사재학.

<주관심분야 : 아날로그 회로 설계>



최 중 호(평생회원)-교신저자
 1987년 서울대학교
 전자공학과 학사 졸업.
 1989년 서울대학교
 전자공학과 석사 졸업.
 1993년 미국 Univ. of Southern
 California 전기공학
 박사졸업

1993년~1996년 IBM T. J. Watson Research Center 연구원

1996년~현재 서울시립대학교 전자전기컴퓨터공학부 교수

<주관심분야 : 고성능 아날로그 회로 설계>