

논문 2011-48SD-11-4

디스플레이포트1.1a 표준 기반 멀티플 비디오 스트리밍 컨트롤러 설계

(DisplayPort 1.1a Standard Based Multiple Video Streaming Controller
Design)

장 지 훈*, 임 상 순*, 송 병 철**, 강 진 구**

(Ji-Hoon Jang, Sang-Soon Im, Byung-Cheol Song, and Jin-Ku Kang)

요 약

최근 디스플레이 시장이 성장하며 많은 디스플레이 장치에서 디지털 디스플레이 인터페이스를 지원하고 있는 추세다. 디스플레이포트는 차세대 디스플레이 인터페이스로서 PC, 프로젝터 및 고해상도 콘텐츠 응용 프로그램 등에 광범위하게 사용되는 연결 솔루션으로 개발이 되었으며 본 논문은 디스플레이포트 v1.1a 표준에 적합한 메인 링크의 동작을 기초로 하여 멀티플 비디오 스트리밍을 구현함으로써 디스플레이 포트의 한계점으로 지적되고 있는 Source Device와 Sink Device간의 인터페이스뿐만이 아닌 Sink Device와 Sink Device간의 인터페이스를 통해 2개 이상의 다른 이미지 데이터를 디스플레이 포트 v1.1a 표준에서 명시되어있는 4개의 Lane에서 별도의 Lane의 추가 없이 한 번에 전송함으로써 2대 이상의 디스플레이 장치에 출력이 가능하도록 구현하였다. 설계된 시스템은 Verilog HDL로 설계 되었으며, 설계된 멀티플 비디오 스트리밍 IP는 Altera Audio/Video 개발 보드(Stratix II GX FPGA Chip)를 이용하여 Quartus II 소프트웨어를 이용해 합성한 결과 6,222 ALUTs와 6,686 레지스터, 999,424 비트의 메모리를 사용하였으며, 최대 동작 속도는203MHz의 성능을 확인 하였다.

Abstract

Recently many display devices support the digital display interface as display market growth. DisplayPort is a next generation display interface at the PC, projector and high definition content applications in more widely used connection solution development. This paper implements multiple streams based on the behavior of the main link that is suitable for the display port v1.1a standard. The limit point of Displayport, interface between the Sink Device and Sink Device is also implemented. And two or more differential image data are enable to output the result through four Lanes stated in display port v1.1a, of two or more display devices without the addition of a separate Lane. The Multiple Video Streaming Controller is implemented with 6,222 ALUTs and 6,686 register, 999,424 of block memory bits synthesized using Quartus II at Altera Audio/Video Development board (Stratix II GX FPGA Chip)

Keywords : DisplayPort, Multiple Stream, Display IC

I. 서 론

최근 디스플레이 기술의 발전으로 고해상도 영상의 전송이 이루어지고 있고 이에 맞추어 고속 인터페이스의 필요성이 증가되고 있다. 디스플레이 포트는 차세대 고속 디스플레이 인터페이스로서 PC, 모니터, 패널, 프

* 학생회원, ** 정회원 인하대학교 전자공학과
(School of Electronic Engineering, Inha University)
※ 본 연구는 지식경제부/KIAT 전략기술인력양성사업과 지식경제부 및 정보통신산업진흥원의 대학 IT 연구센터 육성지원 사업의 연구결과로 수행되었음. (NIPA-2011-C1090-1100-0007) 설계 Tool은 IDEC 지원을 받음
접수일자: 2011년1월24일, 수정완료일: 2011년11월16일

로젝터 및 고해상도콘텐츠 응용 프로그램 등에 광범위하게 사용되는 연결 솔루션으로 개발되었다. 디스플레이포트는 내/외부 연결 방식을 통합하여 장치의 복잡성을 줄이고 여러 업계에 다양하게 사용되는 응용 프로그램에 필요한 기능을 지원하며 성능 확장을 제공함으로써 색 깊이, 화면 재생율, 디스플레이 해상도, 고급 응용 기능이 보다 강화된 차세대 디스플레이를 가능하게 한다. 그러나 오늘날 작업환경이 복잡해짐에 따라 하나의 컴퓨터에 다수의 디스플레이 장치를 동시에 쓰는 사용자가 늘고 있고 그에 따른 요구도 뒤따르고 있다. 이러한 추세에 현재의 디스플레이포트는 이러한 요구를 충분히 반영하고 있지 못하고 있으며 기존의 디스플레이 포트는 그림 1.과 같이 영상 데이터를 공급하는 셋톱박스나 TV, 노트북등의 Source Device와 전송된 영상을 출력하는 컴퓨터 모니터나 디스플레이 장치와 같은 Sink Device의 사이에서 각각 하나의 Source Device에서 하나의 Sink Device로 영상 데이터의 전송이 이루어지기 때문에 요구되는 디스플레이 확장성의 한계를 가지고 있다.

따라서 단순히 Source Device와 Sink Device간의 전송이 아니라 그림 2.와 같이 Sink Device와 Sink Device간에도 전송이 가능 할 수 있도록 링크를 생성함으로써 Source Device로부터 전송되는 두 개 이상의 차동 이미지를 별도의 Lane의 추가 없이 전송하며 각 이미지 데이터가 출력될 Sink Device에 맞추어 데이터를 처리하는 기능을 제안하여 디스플레이의 확장성과 편리성을 증대 시킨다. 또한 FPGA 검증에 위한 합성 툴로는 Altera사의 Quartus2를 사용하였고, 검증에 사용된

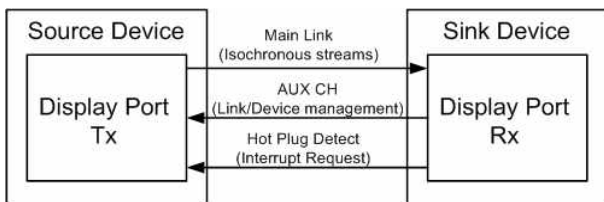


그림 1. 기존 디스플레이 포트의 전송방식
Fig. 1. Existing DisplayPort transmission method.

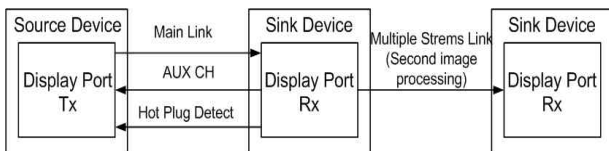


그림 2. 제안하는 디스플레이 포트의 전송방식
Fig. 2. Suggested Display Port transmission method.

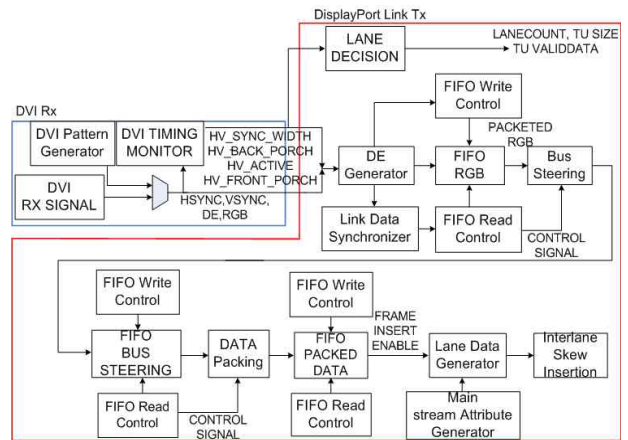


그림 3. 메인링크 비디오 송신기의 구조
Fig. 3. Main Link video transmitter structure.

보드로는 Altera사의 개발보드인 Audio Video Development Kit, Stratix II GX edition을 이용하였다.

II. 본 론

1. DisplayPort 1.1a의 기본 동작

소스원으로부터 데이터를 전송받을 때는 Pixel CLK, H sync width, H back porch, H active, H front porch, V sync width, V back porch, V active, V front porch등 디스플레이를 컨트롤할 타이밍 정보 등을 찾아내어 디스플레이포트 송신기에서 전송 유닛의 크기를 결정하게 된다. 또한 픽셀 클럭과 디스플레이포트의 동작 클럭과 도메인이 서로 틀리기 때문에 픽셀클럭에 맞는 영상데이터를 디스플레이포트 클럭에 맞추어 데이터를 가공하기 위해서 타이밍 조정이 필요하며 이를 FIFO로 구성된 TBC 블록(DE Generator, FIFO RGB)이 수행하게 된다.

TBC 블록을 거쳐 DisplayPort의 클럭으로 동기화되어 타이밍이 조정된 데이터는 Bus Steering을 거치며 해상도에 맞추어 Lane Decision 블록에서 설정한 전송 Lane의 수에 맞추어 영상데이터를 분리 및 배분을 한다. 이렇게 배분된 영상데이터를 영상의 bpp에 따른 레인별 패킹방법에 따라 데이터 패킹 및 전송유닛(TU)를 생성하고 타이밍에 맞추어 제어 심볼을 삽입하여 전송에 필요한 형태인 전송유닛을 완성하게 된다.

이렇게 만들어진 전송유닛을 Link_Rx에 안정적으로 전송하기 위해 스크램블러를 수행하여 EMI를 감소시키며 스크램블러를 주기적으로 리셋시켜주기 위해 BS심볼 카운트하여 512번째 BS심볼을 SR로 바꿔준다. 또한

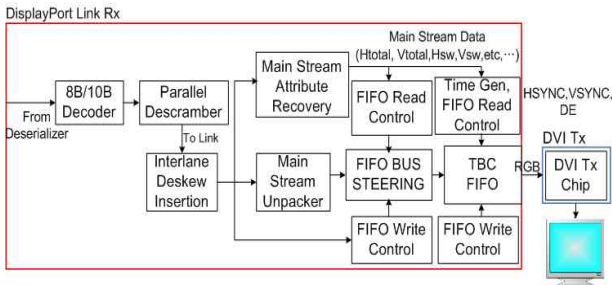


그림 4. 메인링크 비디오 송신기의 구조
Fig. 4. Main Link video receiver structure.

데이터 전송시 외부 잡음에 의해 데이터가 변하는 것을 방지하기 위해 인터라인-스큐를 하여 각 라인별로 딜레이를 주어 영상 데이터를 가공하여 Link_Tx에서 Link_Rx로 전송하게 되고 구조는 그림 3과 같다.

이러한 동작으로 디스플레이포트의 송신기의 동작이 이루어지게 되며 Link_Rx는 Link_Tx의 이러한 동작을 반대로 진행하여 Link_Tx를 거치며 가공된 영상 데이터를 다시 본래의 영상 데이터로 변환시키는 역할을 하게 되고 구조는 그림 4와 같다.

1. 제안하는 Multiple Video Streaming 구조 설계

그림 5는 본 논문에서 제안하는 디스플레이 포트 멀티 스트림의 개략적인 블록도 이다. DVI를 통하여 출력할 차동의 비디오 데이터 1과 2를 Source Device에 해당하는 디스플레이포트 링크 Tx에 받아서 데이터를 가공 처리 후 8B/10B과 스크램블러를 포함하고 있는 PHY단을 통해 Sink Device에 데이터를 전달하게 된다. 이때 전달되는 데이터는 가공된 비디오 데이터 1과 2의 데이터가 동시에 전달되며 Sink Device_1인 디스플레이포트 링크 Rx_1에 전달이 된다.

디스플레이포트 링크 Rx_1에 전달된 비디오 데이터는 디스플레이포트 링크 Rx_1의 Data Separator블록을

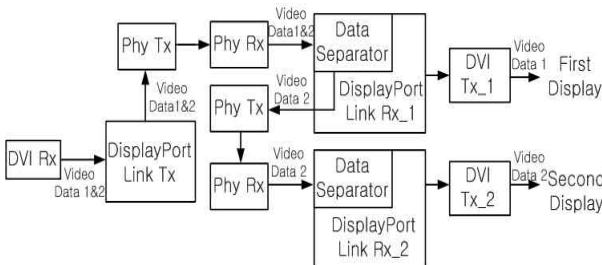


그림 5. 제안하는 디스플레이포트 멀티 디스플레이의 블록도.
Fig. 5. Suggested DisplayPort multiplex display block diagram.

통해 디스플레이포트 링크 Rx_1에서 쓰일 비디오 데이터_1만 분리해 낸 후 나머지 비디오 데이터_2는 Sink Device_2인 디스플레이포트 링크 Rx_2에 전달을 시키고 데이터 가공을 통하여 첫 번째 디스플레이 장치에 영상을 출력시킨다. 디스플레이포트 링크 Rx_2에 전달된 비디오 영상은 다시 Data Separator블록을 거치면서 디스플레이포트 링크 Rx_2에 필요한 데이터만 분리 후 데이터를 가공하여 두 번째 디스플레이 장치에 영상을 출력 시킨다.

1-1. 프레임을 위한 제어 심볼

영상데이터를 전송하는 데이터형식인 전송유닛에는 제어 심볼이 사용이 되어 진다. 프레임 데이터에서 사용 되는 9개의 제어 심볼을 요약하면 다음과 같다. BS (Blanking Start)는 수직 액티브 영상 구간 동안에 마지막 영상 픽셀 후에 삽입되고, 수직 블랭킹 기간에도 수직 액티브 영상 구간과 마찬가지로 삽입된다. 또한, 메인 비디오 스트림을 데이터를 보내지 않는 동안에는 연결이 되어 있는지를 확인하기 위해 8,192 심볼마다 주기적으로 삽입된다.

BE (Blanking End)는 수직 디스플레이 구간 동안에 처음 영상 픽셀 전에 삽입된다. FS (Fill Start)는 전송 유닛 안에 스테핑 심볼의 시작에 삽입되고, 한 개의 스테핑 심볼이 삽입될 때는 생략하고, FS 대신에 FE를 삽입한다. 또한, 두 개의 스테핑 심볼을 삽입할 때는 스테핑 데이터는 생략하고, FS와 FE 심볼을 삽입한다. FE (Fill End)는 전송 유닛 안에 스테핑 심볼의 끝에 삽입되며, SS (Secondary-data Start)심볼은 이차 데이터의 시작에 삽입되며, SE (Secondary-data End)는 이차 데이터의 끝에 삽입된다. SR (Scrambler Reset)는 스크램블러의 LFSR을 리셋하기 위해 매 512번째 BS 심볼을 SR 심볼로 교체하며, CPBS (Content Protection BS)와 CPSR (Content Protection SR)은 CP(Content Protection)에서 사용한다.

9개의 제어 심볼은 LS_Clk cycle에 동기화 되어서 삽입된다. 링크 레이어에서는 반드시 일반 데이터 심볼과 구분되어야 하는데, 물리 레이어에서 "special characters"를 사용해서 제어 심볼을 인코딩한다. 또한 제안하는 멀티 디스플레이 구현을 위해 BE_S, BS_S, FS_S, FE_S, SR_S등 추가적으로 5가지의 특수 심벌이 추가 되었다.

BE_S(Blanking End Second)는 Sub-Image에 대한

표 1. 멀티출력 디스플레이포트 제어 심벌을 위한 8B/10B 특수 문자

Table 1. 8B/10B Special code for Multi DisplayPort Control Symbol.

Special Character	Symbol in Default Mode	Symbol in Enhanced Mode
K28.5	BS	BS
K28.4	BS_S	BS_S
K27.7	BE	BE
K28.6	BE_S	BE_S
K28.2	SS	SS
K29.7	SE	SE
K30.7	FS	FS
K28.1	FS_S	FS_S
K23.7	FE	FE
K28.3	FE_S	FE_S
K28.0	SR	SR
K28.7	SR_S	SR_S

심벌로 Sub-Image의 BE신호로써 Sub-Image의 수직 디스플레이 구간 동안에 처음 영상 픽셀 전에 삽입된다. FS_S(Fill Start Second)는 Sub-Image에 대한 전송 유닛 안에 스테핑 심벌의 시작에 삽입되고, 한 개의 스테핑 심벌이 삽입될 때는 생략하고, FS_S 대신에 FE_S를 삽입한다. 또한, 두 개의 스테핑 심벌을 삽입할 때는 스테핑 데이터는 생략하고, FS_S와 FE_S 심벌을 삽입한다. FE_S (Fill End Second)는 Sub-Image에 대한 전송 유닛 안에 스테핑 심벌의 끝에 삽입되며, SR_S (Scrambler Reset Second)는 스크램블러의 LFSR을 리셋하기 위해 매 512번째 BS_S 심벌을 SR_S 심벌로 교체하여 사용한다.

본 논문에서는 14개의 제어 심벌 중에 Main_Image 영상 전송하는데 필요한 BS, BE, FS, FE, SR와 Sub_Imag 영상 전송하는데 필요한 BS_S, BE_S, FS_S, FE_S, SR_S 심벌만으로 이용한다.

디스플레이포트 인터페이스는 링크 레이어에서 정의된 7개의 제어 심벌과 멀티 디스플레이의 구현을 위해 추가된 5개의 제어심벌이 있다. 이 제어 심벌을 8B/10B의 특수 그룹 문자 중에 하나를 선택해서 사용하게 되는데, 표 1에서 기존의 정의된 심벌 및 멀티 디스플레이 제어 심벌을 살펴볼 수 있다.

1-2. Multiple Video Stream을 위한 전송 유닛 설계
디스플레이포트의 데이터 전송 통로인 Lane의 데이

표 2. 클럭과 해상도에 따른 전송유닛 범위.

Table 2. TU range, following Clock and resolution.

클럭	해상도	Lane 수	valid data
162MHz	640 x 480 60Hz	1	30
162MHz	800 x 600 60Hz	1	47
162MHz	1024 x 768 60Hz	2	39
162MHz	1600 x 1200 60Hz	4	48
270MHz	640 x 480 60Hz	1	18
270MHz	800 x 600 60Hz	1	29
270MHz	1024 x 768 60Hz	1	40
270MHz	1600 x 1200 60Hz	2	58

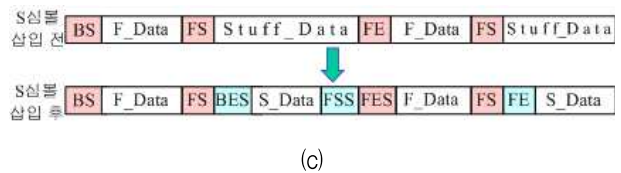
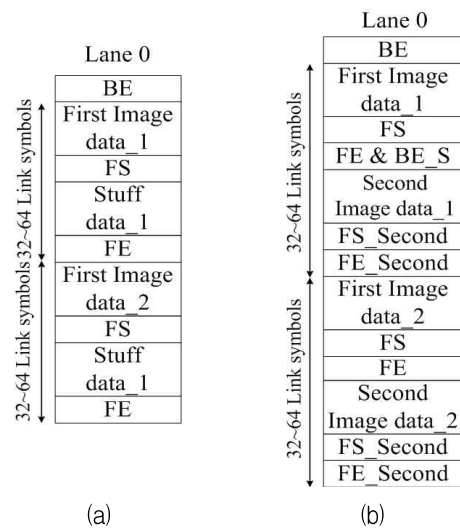


그림 6. (a)일반적인 전송유닛 (b)제안하는 Multi display 전송유닛 (c) 변환된 전송 유닛

Fig. 6. (a) General TU (b)Suggested Multi display TU (c) Converted TU.

터 구조는 아래 그림 6 (a)와 같이 이루어져 있고 최소 32~64의 전송유닛 값을 가지며 4개의 Lane을 통해 전송이 이루어진다. 전송 유닛은 BS, BE, FS, FE, SR 심벌 등 데이터 기능을 구분해주는 심벌과 실제 데이터가 담기는 Valid Data 심벌, 나머지 전송유닛의 비어있는 부분을 채워주는 Stuff Data 심벌로 구성이 된다. 디스플레이포트1.1a는 162MHz와 270MHz의 클럭 사용이 가능하며 사용되어지는 클럭과 영상의 해상도에 따라서 Valid Data 심벌의 크기는 틀리며 표 2에 나타나 있다.

앞에서 언급한 바와 같이 전송유닛은 최대 64의 값을

가지며 각 해상도와 클럭에 따른 Valid Data의 값은 표 2과 같다. 따라서 하나의 전송유닛에 640 x 480의 해상도는 30, 18의 Valid Data 심벌의 크기를 가지며 270MHz의 클럭에서의 800 x 600 해상도의 유효 데이터는 29의 값을 가지기 때문에 하나의 전송 유닛에 2개의 이미지 데이터를 그림 6 (b)와 같이 배열하여 넣을 수 있다. 이러한 전송 유닛의 변환 형태는 그림 6 (c)에 나타내었다. 아래의 전송 유닛의 형태는 Valid Data 크기에 따라 약간씩 변할 수 있다.

표 2.에서 확인할 수 있듯이 Valid Data 심벌의 크기는 클럭에 의해서 결정이 된다. 만약 디스플레이포트의 클럭을 540MHz로 적용을 한다면 1600x1200 60MHz의 Valid Data 심벌의 크기를 30이하로 낮출 수 있기 때문에 한 개의 Lane에 2개의 이미지를 넣어 전송시킬 수 있다.

아래 그림 7. (a)는 일반적인 디스플레이포트가 데이터 전송 라인인 Lane에 담기는 것을 시뮬레이션으로 나타낸 것 이며 그림 7. (b)는 제안하는 Multiple Stream을 구현하여 Lane에 담기는 것을 시뮬레이션으로 나타낸 것으로 (b)의 시뮬레이션의 결과로 메인 이미지 뿐만 아니라 빈 공간에 두 번째 서브 이미지 데이터를 삽입함으로써 구대의 영상 데이터가 동시에 처리되고 있음을 확인할 수 있다.

위와 같이 데이터 전송 Lane에 차동의 이미지 데이터를 디스플레이포트 링크 Tx에서 디스플레이포트 링크 Rx로 전송을 하며 디스플레이포트 링크 Rx는 Data Separator블록을 거치면서 각 링크 Rx(Sink Device)에 필요한 이미지 데이터만 뽑아내어 분리를 시키고 그림 6의 (b)와 같이 변형된 BS, BE, FS, FE, SR 심벌을 다시 그림 6의 (a)와 같이 원래대로 변형을 시켜 필요한 데이터는 링크 Rx에서 데이터를 가공 및 처리를 하여 DVI를 통해 디스플레이 장치에 출력을 시킨다.

그림 8은 Data Separator블록의 동작을 보여주며

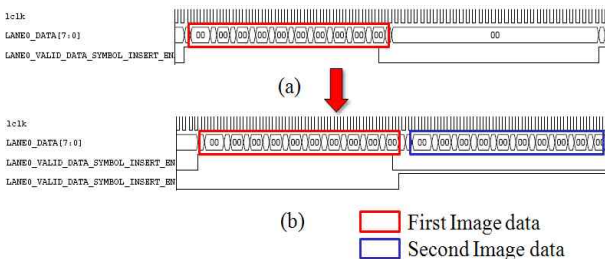


그림 7. Multiple Display Stream의 전송방식.
Fig. 7. Transmission method of Multiple Display Stream.

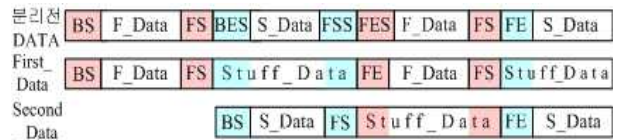
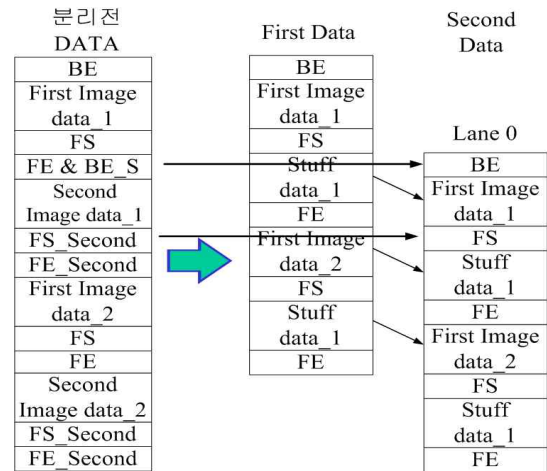


그림 8. 데이터 분리 및 심벌의 변형.
Fig. 8. Data separating and converting symbol.

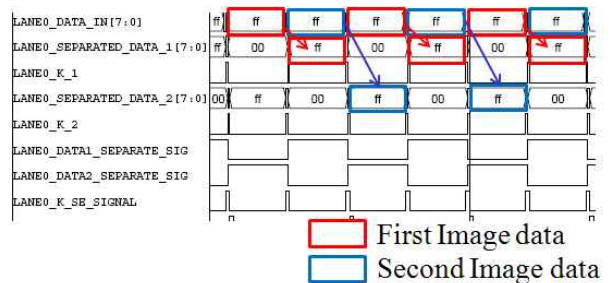


그림 9. Data Separator의 동작.
Fig. 9. working of Data Separator.

(Data Separator블록은 실제로는 플립플롭으로 구성되어 있기 때문에 클럭에 맞추어 첫 번째 데이터는 한 클럭 밀려서 나오고 두 번째 데이터는 두 클럭 밀려서 나오지만 설명의 편의상 딜레이는 없다고 가정한다.) 첫 번째 데이터는 각 타이밍에 맞는 데이터를 캐치하여 데이터를 구현한다. First_data는 BS, FS, FES, FS심벌을 사용하며 FES신호는 FE신호로 변환되고, 그 외에 BES, FES, FE심벌은 첫 번째 데이터에서 Stuff 데이터 구간에 나오는 심벌이기 때문에 00으로 변환시켜주어 출력 한다.

두 번째 이미지 데이터는 BES, FSS, FE 심벌을 사용하며 BES신호는 BS신호로 변환하고 FSS신호는 FS 심벌로 변환 되고, 그 외의 심벌은 두 번째 데이터에서 Stuff 데이터 또는 빈 구간에 나오는 심벌이기 때문에 00으로 변환시켜 출력 한다.

위와 같은 방법으로 분리 전 데이터를 디스플레이포트 형식에 맞는 심벌로 분리 해주는 역할을 하기 때문에 첫 번째 데이터와 두 번째 데이터는 같은 폼을 가진다. 실제적으로 원형으로 복귀된 첫 번째 데이터를 32 클럭 지연시켜 확인하면 두 번째 데이터와 같은 타이밍에 같은 심벌이 나오고 있음을 확인할 수 있다. 이는 두 번째 데이터 또한 디스플레이포트 형식과 같다는 것으로 링크 Rx에서 요구하는 디스플레이포트 데이터 폼으로 변화 되었다.

III. 멀티 디스플레이 송수신 장치 설계 검증

디스플레이포트 기반 멀티디스플레이 송·수신기의 통합 회로의 검증을 위한 구성은 그림 10과 같다. 송신기와 수신기는 별도의 보드에 존재해 직렬화기와 병렬화기를 거친 후 채널을 통한 연결과 두 개 이상의 DVI 출력 포트를 사용하여 동시에 영상을 출력되어야 하지만 검증을 용이하게 하기 위해 디스플레이포트 송·수신기는 단일 FPGA 보드 상에서 구현하였고 검증보드의 DVI출력 포트의 한계로 한 개의 영상에 대한 포트

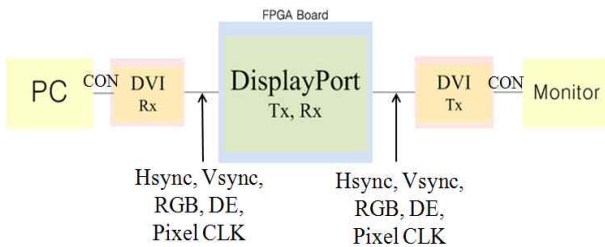


그림 10. 검증을 위한 통합 회로의 블록도
Fig. 10. Block Diagram for Verification.

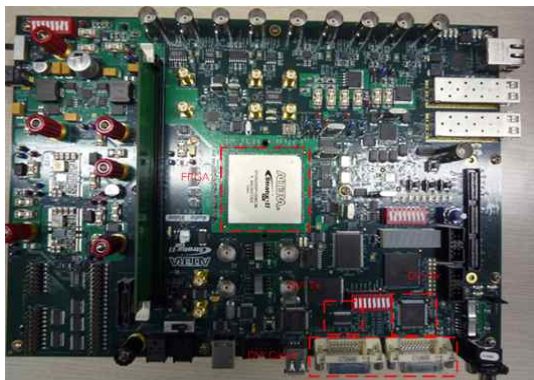
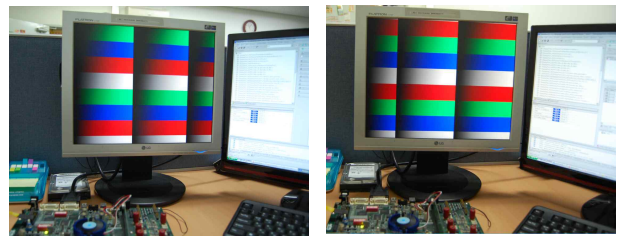


그림 11. 제안된 디스플레이포트 송·수신기 검증을 위한 개발 보드
Fig. 11. Development Board for Suggested DisplayPort Rx, Tx Verification.



(a) (b)

그림 12. (a)첫 번째 Sink Device의 출력
(b)두 번째 Sink Device의 출력.

Fig. 12. (a)First output of Sink Device.
(b)Second output of Sink Device.

표 3. 멀티플 비디오 스트리밍 송·수신기 성능 요약
Table 3. Multiple video streaming Summary.

Multi Display Controller Summary		
Logic utilization	ALUTs	6,222(10%)
	Register	6,686(9%)
Total Register		6,001
Total Block Memory bits		999,424 (20%)

를 출력하고 핀배열만 바꿔 두 번째 영상을 출력하여 두 번에 걸쳐서 검증을 진행하였다. 채널은 이상적인 채널이라고 가정하며, 직렬화기와 병렬화기도 이상적으로 동작한다고 가정하여 병렬 데이터만을 이용하여 데이터를 전송하였다.

하드웨어 검증은 Altera의 개발 보드인 Audio Video Development Kit, Stratix II GX edition[3][4]을 이용하여 상용 DVI Tx, Rx 칩에서 영상 데이터를 가져올 수 있도록 하였다. 그림 11은 검증을 위하여 사용한 개발 보드의 모습을 보여주고 있다.

그림 12는 디스플레이포트1.1a를 기반으로 하는 멀티플 비디오 스트리밍 송·수신기 IP를 FPGA 보드로 다운로드 받아 모니터에 출력한 모습을 보여주고 있다. 또한 Main Image와 Sub Image를 동시에 처리함으로써 각각의 영상을 따로 제어하고 있음을 확인하였으며 표 3에 디스플레이포트1.1a를 기반으로 하는 멀티플 비디오 스트리밍 송·수신기의 합성결과를 보여주고 있다. 합성한 결과 6,222 ALUTs와 6,686 레지스터, 999,424 비트의 메모리를 사용하였으며 최고 동작 속도는 203Mhz에서 동작이 가능하였다.

V. 결 론

기존의 디스플레이 포트는 Source Device와 Sink

Device간의 인터페이스만 지원을 하고 있어 확장성에 한계가 따른다. 하지만 제안하는 Multiple Display Controller는 Source Device가 두 개의 다른이미지 데이터를 동시에 처리하여 전송하며, Source Device와 Sink Device간 인터페이스뿐만 아니라 Sink Device와 Sink Device간의 인터페이스를 통해 그림 12와 같이 다수의 디스플레이 장치의 제어를 통해 확장성을 증대시킬 수 있다.

참 고 문 헌

[1] VESA, "VESA DisplayPort Stand version 1, Revision 1a", January 2008.
 [2] J. P. Kulkarni, K. J. Kim, and K. Roy, "A 160 mV robust schmitt trigger based subthreshold SRAM", IEEE Journal of Solid-State Circuits, vol. 42, no. 10, pp. 2303-2313, October 2007.
 [3] B. H. Calhoun and A. P. Chandrakasan, "A 256-kb 65-nm sub-threshold SRAM design for ultra-low-voltage operation", IEEE Journal of

Solid-State Circuits, vol. 42, no. 3, pp. 680-688, March 2007.
 [4] Z. Liu and V. Kursun, "Characterization of a novel nine-transistor SRAM cell", IEEE Transactions on Very Large Scale Integration Systems, vol. 16, no. 4, April 2008.
 [5] L. Chang, R. K. Montoye, Y. Nakamura, K. A. Baston, R. J. Eickemeyer, R. H. Dennard, W. Haensch, and D. Jamsek, "An 8T-SRAM for variability tolerance and low-voltage operation in high-performance caches", IEEE Journal of Solid-State Circuits, vol. 43, no. 4, pp. 956-963, April 2008.
 [6] E. Seevinck, F. J. List, and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells", IEEE Journal of Solid-State Circuits, vol. 22, no. 5, pp. 748-754, October 1987.
 [7] J. Wang, S. Nalam, and B. H. Calhoun, "Analyzing static and dynamic write margin for nanometer SRAMs", International Symposium on Low Power Electronics and Design, pp. 129-134, August 2008.

— 저 자 소 개 —



장 지 훈(학생회원)
 2009년 호서대학교 전자공학과 학사 졸업.
 2011년 인하대학교 전자공학과 석사 졸업.
 2011년~현재 페어차일드코리아 연구원.

<주관심분야 : High speed digital IC>

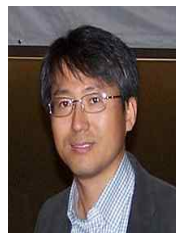


임 상 순(학생회원)
 2010년 인하대학교 전자공학과 학사 졸업.
 2010년~현재 인하대학교 전자공학과 석사과정.
 <주관심분야 : High speed Interface IC>



송 병 철(평생회원)
 1994년 한국과학기술원 전기 및 전자공학과 졸업 (학사).
 1996년 한국과학기술원 전기 및 전자공학과 졸업 (석사).
 2001년 한국과학기술원 전기 및 전자공학과 졸업 공학박사

2001년~2008년 삼성전자 디지털미디어연구소 책임연구원
 2008년~현재 인하대학교 전자공학부 교수
 <주관심분야: 영상 신호처리, 영상시스템/SoC>



강 진 구(정회원)
 1983년 서울대학교 공학사
 1990년 New Jersey Institute of Technology 전기 및 컴퓨터공학 석사
 1996년 North Carolina State University 전기 및 컴퓨터공학 박사

1983년~1988년 삼성전자(반도체)
 1996년~1997년 미국 INTEL Senior Design Engineer
 1997년 3월~현재 인하대학교 전자공학부 교수
 <주관심분야 : 고속 CMOS 회로 설계, Mixed IC 설계, PLL/DLL/CDR, High speed Interface IC, Display IC,>