

논문 2011-48SD-11-3

# IEEE 802.11n용 다중모드 layered LDPC 복호기

( Multi-mode Layered LDPC Decoder for IEEE 802.11n )

나영헌\*, 신경욱\*\*

( Young-Heon Na and Kyung-Wook Shin )

## 요약

본 논문에서는 IEEE 802.11n 무선 랜 표준의 3가지 블록길이(648, 1296, 1944)와 4가지 부호율(1/2, 2/3, 3/4, 5/6)을 지원하는 다중모드 LDPC 복호기를 설계하였다. 하드웨어 복잡도를 고려하여 layered 복호방식의 블록-시리얼(부분병렬) 구조로 설계되었으며, 최소합 알고리즘의 특징을 이용한 검사노드 메모리 최소화 방법을 고안하여 적용함으로써 기존방법에 비해 검사노드 메모리 용량을 47% 감소시켰다. Matlab 모델링과 시뮬레이션을 통해 고정소수점 비트 폭이 LDPC 복호기의 복호성능에 미치는 영향을 분석하고, 이를 통해 최적의 하드웨어 설계조건을 도출하여 반영하였다. 설계된 회로는 FPGA 구현을 통해 하드웨어 동작을 검증하였으며, 0.18- $\mu$ m CMOS 셀 라이브러리로 합성한 결과 약 219,100 게이트와 45,036 비트의 메모리로 구현되었고, 50 MHz@2.5V로 동작하여 164~212 Mbps의 성능을 갖는 것으로 평가되었다.

## Abstract

This paper describes a multi-mode LDPC decoder which supports three block lengths(648, 1296, 1944) and four code rates(1/2, 2/3, 3/4, 5/6) of IEEE 802.11n wireless LAN standard. To minimize hardware complexity, it adopts a block-serial (partially parallel) architecture based on the layered decoding scheme. A novel memory reduction technique devised using the min-sum decoding algorithm reduces the size of check-node memory by 47% as compared to conventional method. From fixed-point modeling and Matlab simulations for various bit-widths, decoding performance and optimal hardware parameters such as fixed-point bit-width are analyzed. The designed LDPC decoder is verified by FPGA implementation, and synthesized with a 0.18- $\mu$ m CMOS cell library. It has 219,100 gates and 45,036 bits RAM, and the estimated throughput is about 164~212 Mbps at 50 MHz@2.5v.

**Keywords :** LDPC, error correction code, IEEE 802.11n, WLAN, min-sum algorithm, layered decoding

## I. 서론

초고속 유·무선 통합 및 통신·방송 융합서비스를 창출할 것으로 예상되는 4세대(4G) 이동통신기술은 기존의 3세대 시스템 보다 더 높은 데이터 전송율과 높은 신뢰도를 필요로 한다. 무선통신에서는 무선채널의 잡음에 대응하기 위해 다양한 채널 부호화 기법을 적용한

오류정정이 요구된다. 기존의 3세대 시스템에서는 오류정정(error correction)을 위해 터보부호(Turbo code)가 주로 사용되어 왔으나, 4세대 통신시스템에서는 채널용량의 한계에 근접한 높은 성능과 고속 복호가 가능한 새로운 채널부호화 기법이 요구된다. 4세대 이동통신 시스템을 위한 차세대 오류정정 방식으로 LDPC(Low Density Parity Check) 부호가 많은 관심을 받고 있으며, LDPC 부호는 1962년 로버트 갤러거(R. Gallager)에 의해 제안된 채널부호화 기법이다.<sup>[1]</sup> 당시의 기술로는 구현이 어려워 관심을 받지 못하였으나 1990년대부터 재조명되고 있으며, LDPC 부호의 생성, 부호기 및 복호기에 대한 연구가 활발히 진행되고 있다.<sup>[2~9]</sup>

LDPC 부호는 유럽 디지털 위성방송 표준 DVB-

\* 정회원, (주)넥스트칩  
(Nextchip Co., Ltd.)

\*\* 정회원-교신저자, 금오공과대학교 전자공학부  
(School of Electronic Engineering, Kumoh National Institute of Technology)

※ 본 논문은 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음(No. 2010-0005589)  
접수일자: 2011년3월31일, 수정완료일: 2011년11월16일

S2<sup>[10]</sup>, 무선랜 표준 IEEE 802.11n<sup>[11]</sup>, 모바일 WiMAX 표준 IEEE 802.16e<sup>[12]</sup>, 10 Gbps 이더넷 표준(IEEE 802.3an)<sup>[13]</sup>, 중국의 지상파 디지털방송 표준 DTTB (Digital Television Terrestrial Broadcasting)<sup>[14]</sup> 등에서 LDPC 부호가 채택되고 있으며, 하드디스크 및 광(optical) 저장매체 등 다양한 분야에서도 표준 채택이 적극 검토되고 있다. 이와 같이, 4세대 이동통신 표준과 저장 시스템에서는 터보부호를 대신하여 LDPC 부호가 사용될 것으로 예상되며, 따라서 LDPC 부호 및 LDPC 복호기 설계기술은 차세대 고속통신 시스템 및 단말기 구현의 핵심기술이 될 것이다.

LDPC 부호의 복호는 기본적으로 반복복호를 기반으로 수행되며, 복호 알고리즘, 복호기 구조, 고정소수점 비트 수 등 다양한 요소들이 복호성과 하드웨어 복잡도에 영향을 미친다.<sup>[8,9]</sup> LDPC 복호기의 구조는 완전병렬(full-parallel) 방식<sup>[4]</sup>과 부분 병렬(partially parallel) 방식<sup>[5]</sup>으로 구분할 수 있다. 완전병렬 방식은 높은 처리량을 구현할 수 있으나, 하드웨어 복잡도가 크고 구조적 유연성이 떨어져 다중모드 구현에 적합하지 않으며, 연산을 간소화시켜 하드웨어 복잡도를 줄이면서 높은 처리량을 갖도록 연구되고 있다. 부분병렬방식은 처리량과 하드웨어 복잡도 사이의 절충이 가능한 유연성을 가지며, 다중모드 지원이 가능하여 가장 활발히 연구되고 있는 복호기 구조이다.

본 논문에서는 IEEE 802.11n 무선 랜 표준의 3가지 블록길이와 4가지 부호율을 지원하는 다중모드 LDPC 복호기를 최소화 알고리즘과 layered 복호방식을 적용

하여 설계하였으며, 검사노드 메모리 최소화 등 다양한 하드웨어 최적화 방법을 설계에 적용하였다.

II. LDPC 부호 및 복호 알고리즘

1. IEEE 802.11n 표준의 LDPC 부호<sup>[11]</sup>

LDPC 부호는 패리티검사행렬(parity check matrix: PCM) *H*에 의해 정의되는 선형 블록부호의 일종이며, PCM의 구성에 따라 여러 가지 형태로 구분된다. PCM *H*는 원소 대부분이 0으로 채워지고, 일부분만 1을 갖는다. 2008년 초에 공개된 차세대 무선 랜 표준 IEEE 802.11n Draft 3.0<sup>[11]</sup>에는 표 1과 같이 3가지 블록길이  $B_f = 648f$  (단,  $1 \leq f \leq 3$ )와 4가지의 부호율을 지원하도록 규정되어 있어 총 12가지의 동작모드를 갖는다. IEEE 802.11n에 정의된 LDPC 부호는 블록길이  $B_f$ , 부

표 1. IEEE 802.11n의 LDPC 부호 파라미터  
Table 1. LDPC code parameters of IEEE 802.11n.

Parameter	IEEE 802.11n			
블록길이 ( $B_f$ )	648f (단, $1 \leq f \leq 3$ )			
부행렬 크기 ( $z_f$ )	27f (단, $1 \leq f \leq 3$ )			
부호율 ( $R$ )	1/2, 2/3, 3/4, 5/6			
PCM의 부행렬 수 ( $N_G$ )	$j_R \times i_f$			
레이어당 부행렬 수 ( $i_f$ )	24 (단, $i_f = B_f/z_f$ )			
레이어 수 ( $j_R$ )	R=1/2	2/3	3/4	5/6
	12	8	6	4

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	
0	57				50		11		50		79		1	0											
1	3		28		0				55	7				0	0										
2	30				24	37			56	14					0	0									
3	62	53			53				3	35						0	0								
4	40				20	66			22	28							0	0							
5	0				8			42	50				8						0	0					
6	69	79	79					56	52				0							0	0				
7	65					38	57			72	27										0	0			
8	64					14	52			30			32									0	0		
9		45				70	0			77	9												0	0	
10																								0	0
11																									0
	24		61		60				27	51			16	1											

그림 1. IEEE 802.11n 표준의 LDPC 부호 PCM (블록길이: 1944, 부호율: 1/2)

Fig. 1. PCM of IEEE 802.11n LDPC code (block size: 1944, code rate: 1/2)

호율  $R$ 에 대해  $j_R = (1-R) \cdot i_f$  행과  $i_f = B_f/z_f$  열의 부행렬(sub-matrix)들로 구성되며, 각 부행렬은  $z_f \times z_f$ 의 크기를 갖는다. 그림 1은 IEEE 802.11n에 정의된 블록길이  $B_3 = 1,944$ , 부호율  $R = 1/2$ 인 경우의 PCM이며, 12행 $\times$ 24열의 부행렬로 구성되며, 각 부행렬은  $81 \times 81$ 의 크기를 갖는다. 회색 블록에 표시된 값은  $81 \times 81$  크기의 항등 행렬이 우측으로 순환 시프트(circular shift-right)되는 크기를 나타내며, 빈 블록은  $81 \times 81$  크기의 영(zero) 행렬을 나타낸다.

## 2. LDPC 부호의 복호 알고리즘

1981년 미국의 마이클 태너(Michael Tanner) 교수는 LDPC 부호가 태너 그래프로 효율적으로 표현될 수 있음을 보였다.<sup>[15]</sup> LDPC 부호의 복호는 개념적으로 태너 그래프(Tanner graph) 상의 검사노드(check node; CN)와 변수노드(variable node; VN) 사이에서 반복적인 정보전달 과정에 의해 이루어진다. 태너 그래프는 PCM의 행과 열을 태너 그래프의 CN와 VN로 매핑시킨 이분 그래프(bipartite graph)이며, VN와 CN 사이의 연결은 PCM에서 1의 위치에 의해 결정된다. LDPC 부호의 복호는 합곱 알고리즘(sum-product algorithm; SPA)<sup>[15]</sup>, SPA의 연산 복잡도를 감소시킨 LLR(log-likelihood ratio)-SPA<sup>[16]</sup>, LLR-SPA를 근사화하여 연산 복잡도를 더욱 감소시킨 최소합 알고리즘(min-sum algorithm; MSA)<sup>[17]</sup> 등 다양한 방법들이 제안되고 있다.

LDPC 부호의 복호는 변수노드 연산과 검사노드 연산으로 구성되며,  $q$ -번째 반복복호 과정에서 검사노드 연산과 변수노드 연산은 각각 식(1)과 식(2)로 표현된다. 식(1)에서의 함수  $\phi(x)$ 는 식(5)와 같이 주어지며,  $x$ 가 작을수록 매우 큰 값을 갖고,  $x$ 가 클수록 0에 근접하는 특성을 갖는다. 이와 같은 특성에 의해 함수  $\phi(x)$ 의 합은  $x$ 가 가장 작을 때 가장 큰 영향을 미치므로,  $\sum \phi(x) \approx \phi(\min(x))$ 로 근사화할 수 있다. 또한, 함수  $\phi(x)$ 는  $x > 0$ 일 때 역함수와 본 함수의 값이 같으므로  $\phi(\phi(\min(x))) = \min(x)$ 가 된다. 따라서 식(1)에서 함수  $\phi(\sum \phi(x))$ 는 식(6)과 같이 근사화될 수 있으며, 식(6)을 이용하여 식(1)을 식(7)로 근사화시키는 방법이 최소합 알고리즘이다.

(i) 검사노드 연산

$$L_{j \rightarrow i}^q = \left( \prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \quad (1)$$

(ii) 변수노드 연산

$$L_{i \rightarrow j}^q = z_i^{q-1} + \sum_{j' \in \Omega(i) \setminus \{j\}} L_{j' \rightarrow i}^q \quad (2)$$

여기서

$$\alpha_{ij}^{q-1} = \text{sign}(L_{i \rightarrow j}^{q-1}) \quad (3)$$

$$\beta_{ij}^{q-1} = |L_{i \rightarrow j}^{q-1}| \quad (4)$$

$$\phi(x) = -\log \left( \tanh \left( \frac{x}{2} \right) \right) = \log \left( \frac{e^x + 1}{e^x - 1} \right) \quad (5)$$

$$\begin{aligned} \phi \left( \sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) &\approx \phi \left( \phi \left( \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \right) \right) \\ &= \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \end{aligned} \quad (6)$$

$$L_{j \rightarrow i}^q \approx \left( \prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \left( \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \right) \quad (7)$$

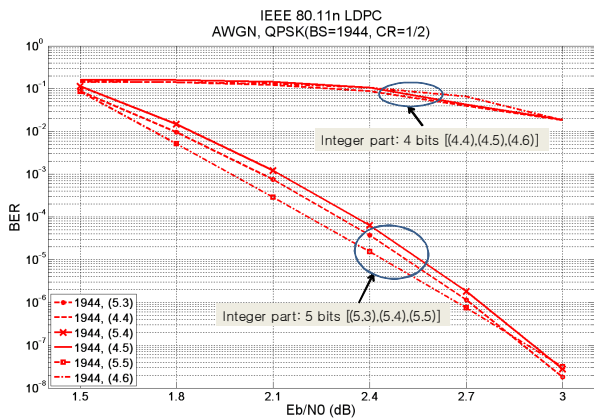
## III. 다중모드 LDPC 복호기 설계

IEEE 802.11n 표준의 3가지 블록길리와 각 블록길리에 대한 4가지 부호율을 지원하는 다중모드용 LDPC 복호기를 설계하였다. 최소합 알고리즘 기반의 layered 복호방식을 적용하였으며, 최적 설계조건 분석을 토대로 고정소수점 비트 폭을 8 비트(정수부분 5 비트, 소수부분 3 비트)로 설계하였다.

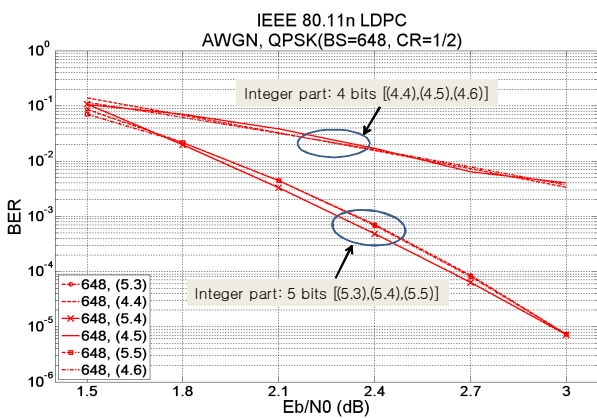
### 1. 고정소수점 모델링 및 시뮬레이션

LDPC 복호기의 최적 설계조건을 탐색하기 위해 최소합 알고리즘 기반 layered LDPC 복호기의 고정소수점(fixed-point) Matlab 모델을 개발하였다. 입력 데이터의  $E_b/N_o$ 를 1.5~3.0 dB 범위에서 0.3 dB 단위로 가변시키고, 고정소수점 비트 폭을 (4.4)~(6.4) 범위에서 가변시키며 시뮬레이션 하였다.  $(m,n)$ 의 표현에서  $m$ 은 정수부분의 비트 수를 나타내며,  $n$ 은 소수부분의 비트 수를 나타낸다. 최대 반복복호 회수를 8로 설정하였으며, 100 프레임의 데이터를 시뮬레이션에 사용하여 평균 BER를 구하였다.

그림 2는 부호율이 1/2이고, 블록길이가 1944 비트와 648 비트인 경우의 시뮬레이션 결과이다. 8~10 비트의 3가지 고정소수점 비트 폭에 대해, 정수부분이 5 비트인 (5.3), (5.4), (5.5)의 경우가 4 비트인 (4.4), (4.5), (4.6)의 경우 보다 복호성능이 월등히 우수하며,



(a) block length: 1944, code rate: 1/2



(b) block length: 648, code rate: 1/2

그림 2. 고정소수점 비트 폭에 따른 BER 성능  
Fig. 2. BER performance for fixed-point bit-widths.

나머지 블록길이와 부호율에 대해서도 유사한 결과가 얻어졌다. 이와 같은 결과를 토대로, 본 논문의 회로 설계에서는 고정소수점 비트 폭 (8.5)를 적용하였다.

## 2. 전체 구조 및 다중모드 구현

본 논문에서 설계된 LDPC 복호기 프로세서는 two-step 복호방식 보다 복호 수렴속도가 우수하며, 하드웨어 구조의 융통성이 좋은 layered 복호방식을 적용하였다. 내부구조는 그림 3과 같으며, 최소합 알고리즘 기반의 복호연산을 수행하는 DFU(Decoding Function Unit) 뱅크, PCM 정보를 저장하는 H-ROM, PCM에 따라 데이터를 순환 이동시키는 permuter, 검사노드 값을 저장하는 CN 메모리, 결정변수 값을 저장하는 APP 메모리, 그리고 제어블록으로 구성된다.

PCM을 구성하는 부행렬 중 많은 부분이 영(zero) 행렬로 이루어져 있으며, non-zero 부행렬의 수는 부호율에 따라 7~22개로 가변적이다. 영 행렬은 검사노드와

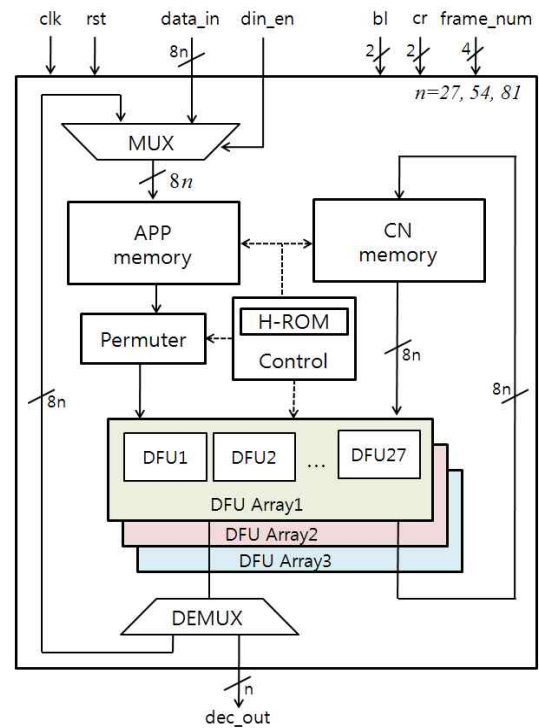


그림 3. 설계된 LDPC 복호기의 전체 구조  
Fig. 3. Architecture of designed LDPC decoder.

변수노드 사이에 정보를 전달하지 않아 연산이 존재하지 않으므로, 영 행렬을 효율적으로 무시하고 부호율에 따른 다중모드 동작을 효율적으로 구현하기 위해 부행렬 단위로 복호연산을 수행하는 블록-시리얼(block-serial) 구조로 설계하였다.

IEEE 802.11n 표준의 3가지 블록길이( $B_f=648, 1296, 1944$ )와 4가지 부호율( $R=1/2, 2/3, 3/4, 5/6$ )의 12가지 동작모드를 지원하는 가변구조로 설계하기 위해 고려해야 하는 요소는 (i) 블록길이에 따른 부행렬의 크기 3가지, (ii) 부호율에 따른 레이어 개수 4가지, (iii) 블록길이와 부호율에 따른 PCM 정보 12가지 등이다. 부행렬의 크기  $z_f=27f$  (단,  $1 \leq f \leq 3$ )는 블록길이에 따라  $z_1=27, z_2=54, z_3=81$ 이므로, 81개의 DFU를 3개의 DFU 뱅크로 분할하여 블록길이에 따라 DFU 뱅크가 선택적으로 동작하도록 설계하였다. 부호율에 따른 레이어 수( $j_R$ ) 4, 6, 8, 12는 단일 레이어 연산의 반복처리에 의해 구현되도록 설계하였다.

IEEE 802.11n 표준에 규정된 3가지 블록길이와 4가지 부호율에 따른 12가지의 PCM은 H-ROM에 저장된다. 그림 1에서 보는 바와 같이, PCM을 구성하는 부행렬들의 대다수가 영(0) 행렬로 이루어져 있으며, 예를 들어  $R=1/2$ 이고  $B_3=1944$  비트인 경우에는 202개의 영

행렬이 포함되어 있다. 본 논문에서는 PCM의 모든 정보를 저장하는 대신에, 영 행렬을 제외한 non-zero 부행렬들의 위치 정보와 순환 시프트 정보만을 H-ROM에 저장하는 방법을 적용함으로써 하드웨어가 최소화되도록 하였다.

### 3. DFU의 구조 및 동작

DFU는 오류가 포함되어 있는 입력 부호어의 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예측하는 기능을 수행한다. 본 논문에서는 최소합 알고리즘을 기반으로 DFU를 설계하였다. DFU의 구조는 그림 4와 같으며, 검사노드 값을 생성하는 CNV(Check Node Value) 블록, 최솟값 검출기, 부호비트 누산기, 데이터 지연을 위한 FIFO(First-In First-Out) 메모리, 덧셈기, 뺄셈기, 비교기, 수체계 변환기 등으로 구성된다. DFU에서 처리되는 LLR 값은 8비트로 근사화되어 연산되며, 부호와 크기를 분리하여 계산된다.

DFU는 다음의 과정으로 복호연산을 수행한다. MUX

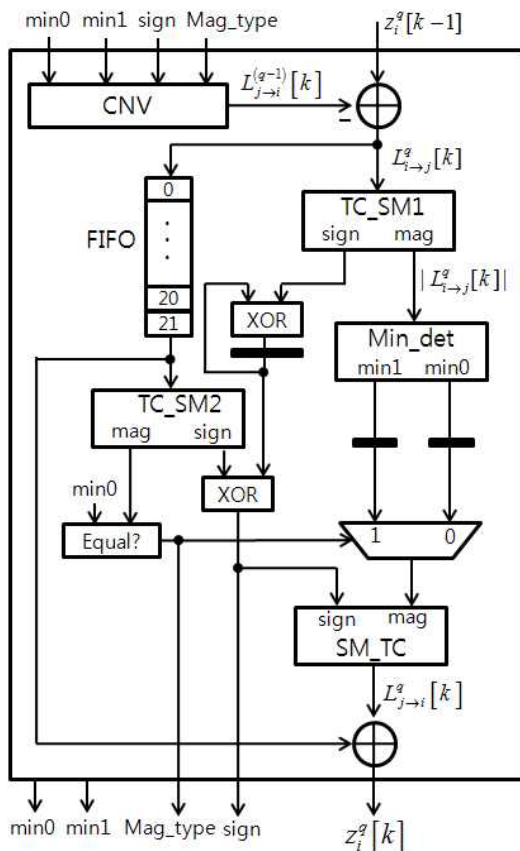


그림 4. 설계된 DFU의 구조  
Fig. 4. Architecture of designed DFU

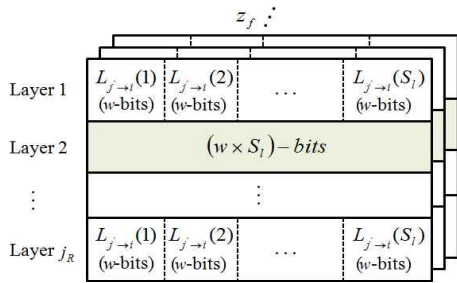
와 수체계 변환기로 구성되는 CNV 블록은 Mag\_type 신호에 의해 CNM 메모리에 저장된 최솟값(min0)과 준최솟값(min1) 중 하나를 선택하여 2의 보수 형태의 검사노드 값  $L_{j \rightarrow i}$ 으로 변환한다. 계산된 검사노드 값  $L_{j \rightarrow i}$ 와 이전 레이어의 결정변수 값  $z_i$ 는 뺄셈연산을 통해 변수노드 값  $L_{i \rightarrow j}$ 로 변환되며, 이는 수체계 변환기(TC\_SM1)를 통해 부호와 크기로 분리되고, 부호는 순차적으로 계산되는  $L_{i \rightarrow j}$ 의 부호들과 누적 곱셈된다. 변수노드 값의 크기  $|L_{i \rightarrow j}|$ 는 최솟값 검출기(Min\_det)를 통해 최솟값과 준최솟값으로 검출되어 레지스터에 저장된다. 한편, 변수노드값  $L_{i \rightarrow j}$ 는 순차적으로 FIFO에 누적되어 지연된 후 수체계 변환기(TC\_SM2)를 통해 부호와 크기로 분리된다. 분리된  $|L_{i \rightarrow j}|$ 는 비교기를 통해 검출된 최솟값 min0과 비교되어 두 값이 같으면 준최솟값 min1이 새로운 검사노드 값의 크기  $|L_{j \rightarrow i}|$ 로 결정되고, 다르면 최솟값 min0이 새로운  $|L_{j \rightarrow i}|$ 로 결정된다. 또한 부호의 누적 곱셈도 동일한 원리로 모든 부호를 누적 곱셈한 후,  $i$ 번째  $L_{j \rightarrow i}$ 의 부호를 한 번 더 누적 곱셈하여 갱신된다. 결정된  $L_{j \rightarrow i}$ 의 크기와 부호는 2의 보수 수체계 변환을 통해 새로운 검사노드 값  $L_{j \rightarrow i}$ 으로 갱신된다. 갱신된 검사노드 값  $L_{j \rightarrow i}$ 와 FIFO에 의해 지연된  $L_{i \rightarrow j}$ 는 덧셈연산을 통해 새로운 결정변수 값  $z_i$ 로 갱신된다. 검사노드 값의 부호와 Mag-type은 SM 메모리에 2 비트로 저장되고, 최솟값 검출기에서 얻어진 최솟값(min0)과 준최솟값(min1)은 CNM 메모리에 저장되어 다음번의 반복복호 연산에 사용된다.

### 4. 검사노드 메모리 최소화 방법

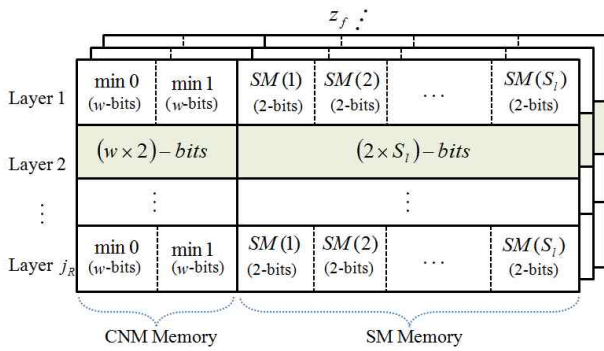
LDPC 복호기의 검사노드 메모리에는 검사노드 연산 결과  $L_{j \rightarrow i}$ 가 저장된다. 이 때,  $L_{j \rightarrow i}$ 의 크기  $|L_{j \rightarrow i}|$ 는 식 (7)에 의해  $\beta_{ij}$ 의 최솟값으로 갱신되며, 최솟값이 발생한 위치에는 최솟값을 제외한 준최솟값으로 갱신된다.

그림 5-(a)는 일반적인 검사노드 메모리 구조를 보이고 있다.  $w$ -비트의  $L_{j \rightarrow i}$ 를 유효 부행렬 개수인  $S_i$  만큼 저장하며, 각 레이어에는  $S_i$ 개의 최솟값/준최솟값들이 부행렬 크기  $z_f$  만큼 존재하므로,  $\{(w \times S_i) \times z_f\}$ -비트의 메모리 용량이 필요하다.

여기서 한가지 주목할 사항은,  $S_i$ 개의 검사노드 갱신 값들은 하나의 준최솟값과  $(S_i - 1)$ 개의 최솟값(이들은 모두 동일한 값임)으로 구성된다. 따라서  $(S_i - 1)$ 개의 동일한 최솟값을 저장하는 대신에 최솟값을 한번만 저



(a) conventional method



(b) proposed method

그림 5. 검사노드 메모리 저장방식의 비교  
Fig. 5. Comparison of check node memory contents

장하고, 각 유효 서브블록에 최소값과 준최소값을 구분할 수 있는 1 비트 신호를 할당하면 검사노드 메모리 크기를 효과적으로 감소시킬 수 있다.

본 논문에서는 이와 같은 고찰을 토대로, 검사노드 메모리의 크기를 줄이기 위해 그림 5-(b)와 같이 검사노드 메모리(CN memory)를 CNM(CN Magnitude) 메모리와 SM (Sign/Magtype) 메모리로 분할하여 구현하는 방법을 제안한다. CNM 메모리는 레이어별로 검출된 최소값과 준최소값 하나씩만 저장하며, SM 메모리는 최소값/준최소값을 구분하는 1 비트와 부호 1 비트를 2 비트의 용량으로 저장한다. 본 논문에서 제안되는 방식은 레이어당  $\{(w + S_i) \times 2z_f\}$  비트의 메모리 용량만 필요하여 검사노드 메모리를 크게 감소시킬 수 있다.

블록길이가 1944이고 부호율이 1/2인 경우에, 검사노드 값  $L_{j \to i}$ 의 비트 폭( $w$ )이 8 비트라면, 기존의 방법은  $55,728 (= w \times z_f \times S_H)$  비트의 검사노드 메모리가 필요하다. 여기서  $S_H = 86$ 은 non-zero 부행렬의 개수를 나타낸다. 본 논문에서 제안하는 방식에서는 SM 메모리 용량  $13,932 (= 2 \times z_f \times S_H)$  비트와 CNM 메모리 용량  $15,552 (= 2 \times w \times z_f \times j_R)$  비트를 합한 총 29,484비트의 메모리만 사용된다. 따라서 26,244 비트가 감소되어 검

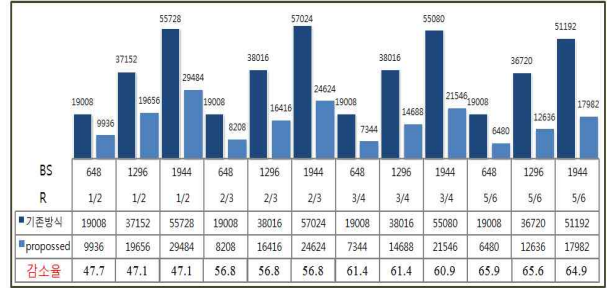


그림 6. 검사노드 메모리의 용량 비교  
Fig. 6. Comparison of check node memory size.

사노드 메모리의 용량을 약 47% 감소시킬 수 있다.

그림 6은 IEEE 802.11n 표준에 정의된 12가지 동작 모드에 대한 검사노드 메모리의 용량을 비교한 것이다. 부호율이 클수록 기존의 방법보다 메모리 용량이 현저히 감소된다. 복호연산을 수행하기 위해서는 Sign과 Mag\_type으로 구성된 신호를 2의 보수 형태로 변환하는 회로가 필요하나, 이에 의한 추가적인 하드웨어 부담은 매우 작다.

#### IV. 설계검증 및 성능평가

LDPC 복호기는 Verilog HDL로 설계되어 ModelSim을 이용한 기능검증과 FPGA 구현을 통해 하드웨어 동작을 확인하였다. 기능검증과 FPGA 구현검증을 위한 테스트 벡터는 Matlab을 이용하여 생성하였다. 설계된 복호기의 ModelSim 시뮬레이션 및 FPGA 구현 검증 결과를 고정소수점 Matlab 시뮬레이션 결과와 비교하여 설계된 복호기의 기능을 검증하였다.

##### 1. 기능검증

설계된 LDPC 복호기는 그림 7의 과정으로 기능을 검증하였으며, Matlab과 연동하여 복호성능을 평가하였

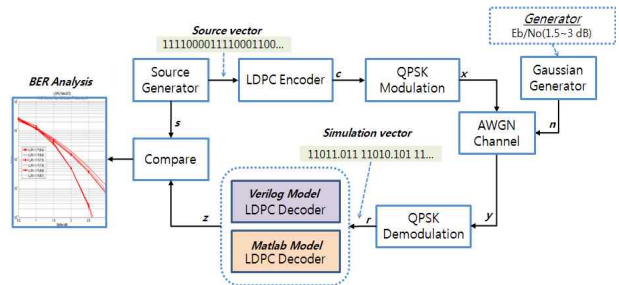
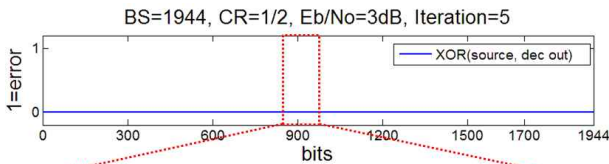
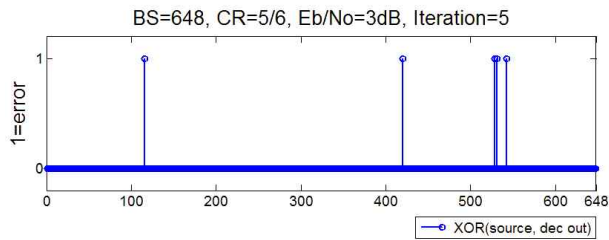


그림 7. 설계된 복호기의 기능검증 및 성능평가 방법  
Fig. 7. Functional verification and performance evaluation method of designed decoder.

다. Matlab을 이용한 랜덤 소스벡터 생성, LDPC 부호화, QPSK 변조, 채널잡음 삽입 그리고 복조 등을 통해  $E_b/N_0=1.5\text{ dB}\sim 3\text{ dB}$  (0.3 dB 간격)의 시뮬레이션 벡터를 생성하였다. 8 비트로 양자화된 시뮬레이션 벡터를 이용하여 설계된 복호기의 ModelSim 시뮬레이션을 수행하였으며, 소스벡터와의 비교를 통해 정정되지 못한 오류 비트들을 찾아 복호성능을 분석하였다.



(a) block size: 1944, code rate: 1/2



(b) block size: 648, code rate: 5/6

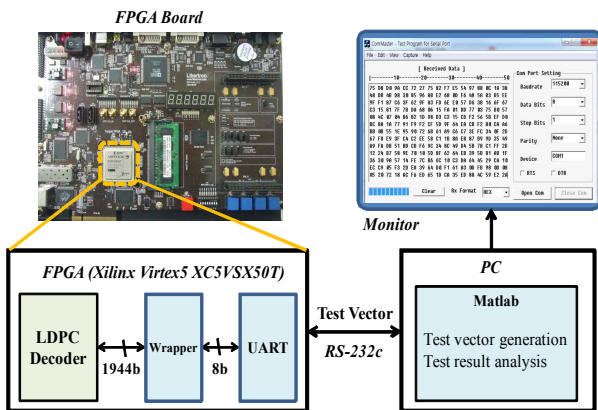
그림 8. 설계된 LDPC 복호기의 기능검증 결과 ( $E_b/N_0=3\text{ dB}$ , 반복복호=5회의 경우)

Fig. 8. Functional verification results. ( $E_b/N_0=3\text{ dB}$ , iteration=5)

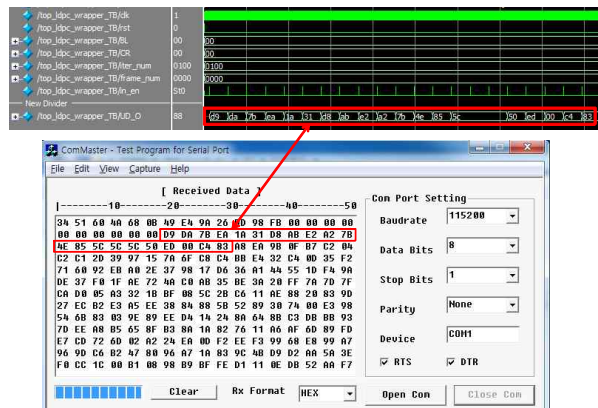
설계된 LDPC 복호기의 기능검증 결과 중 일부는 그림 8과 같다. 그림 8-(a)는 블록길이 1944, 부호율 1/2의 경우이며, 복호결과가 소스벡터와 일치하여 오류가 완전하게 정정됨을 볼 수 있다. 그림 8-(b)의 블록길이 648, 부호율 5/6인 경우는 정정되지 못한 에러 5개를 제외한 나머지 오류는 모두 정정되었다. 블록길이 648, 부호율 5/6인 경우에 반복복호 횟수를 6회로 증가시키면 모든 오류가 정정되었으며, 따라서 설계된 복호기가 정상적으로 작동함을 확인하였다.

## 2. FPGA를 이용한 하드웨어 구현 검증

설계된 복호기는 FPGA 구현을 통해 하드웨어 동작을 검증하였으며, 검증 시스템의 구성도는 그림 9-(a)와 같다. FPGA 디바이스는 Xilinx Virtex-5 XC5VX50T가 사용되었으며, RS-232c 직렬통신을 이용하여 PC와 연결된다. 테스트 벡터는 PC에서 Matlab으로 생성되어 RS-232c 통신을 통해 FPGA 보드로 보내지며, FPGA 내부에 구현된 UART 코어와 wrapper를 통해 설계된 복호기로 인가된다. 복호기에 의해 복호된 데이터는 다시 wrapper에서 8비트로 분할되어 UART 코어와 RS-232c 통신을 통해 PC로 보내진다. PC에서는 복호결과로부터 정정되지 못한 오류에 대한 분석결과를 모니터에 출력한다.  $E_b/N_0=3.0\text{ dB}$ 로 생성된 테스트 벡터를 복호기의 입력 데이터로 사용한 FPGA 검증결과는 그림 9-(b)와 같으며, 복호된 데이터가 ModelSim 시뮬레이션 결과와 일치하여 설계된 LDPC 복호기가 정상 동작함을 확인하였다.



(a) FPGA verification system



(b) FPGA verification result

그림 9. 설계된 LDPC 복호기의 FPGA 구현 검증

Fig. 9. FPGA verification of designed LDPC decoder.

### 3. 성능분석

기능검증이 완료된 LDPC 복호기는 0.18- $\mu\text{m}$  CMOS 셀 라이브러리를 이용한 논리합성을 통해 게이트 수와 동작 속도를 평가하였다. 논리합성 결과, 총 219,100개의 게이트와 45,036 비트의 RAM으로 구현되었다. 설계된 LDPC 복호기는 1.8 V 전원전압에서 50 MHz로 동작 가능할 것으로 평가되며, 약 164~212 Mbps의 성능을 가질 것으로 예상된다. 문헌에 발표된 LDPC 복호기들과 성능을 비교한 결과는 표 2와 같으며, 공정기술의 차이로 인해 참고문헌의 복호기들에 비해 동작 주파수가 낮게 평가되었으나, 0.13- $\mu\text{m}$  이하의 공정기술을 사용함과 아울러 DFU 내부에 파이프라인 레지스터를 삽입하여 동작 주파수를 높이면, 본 논문에서 제안된 적은 하드웨어 복잡도의 장점을 유지하면서 우수한 성능을 보일 것으로 예상된다.

표 2. LDPC 복호기 프로세서의 비교  
Table 2. Comparison of LDPC decoder processors.

	[18]	[19]	[20]	[21]	본 논문
블록길이	1944	648~1944	648~1944	648	648~1944
부호율	1/2	1/2~5/6	1/2~5/6	1/2	1/2~5/6
게이트	443.9K	231K	281K	313K	219K
메모리 (bits)	N/A	53,784	55,344	502K (gates)	45,036
주파수 (MHz)	111.1	240	500	200	50
출력율 (Mb/s)	250	136~355	541~1618	404	164~212
공정	0.13 $\mu\text{m}$	65 nm	0.13 $\mu\text{m}$	0.18 $\mu\text{m}$	0.18 $\mu\text{m}$

## V. 결 론

차세대 무선 랜 표준 IEEE 802.11n의 12가지 동작모드를 지원하는 LDPC 복호기 프로세서를 설계하고 검증하였다. 설계된 복호기는 최소합 알고리즘을 기반으로 layered 복호구조로 설계되었다. 최소합 알고리즘의 특성을 이용한 최적화 방법을 고안하여 적용함으로써 기존의 방법에 비하여 검사노드 메모리를 약 47% 감소시켰으며, PCM을 저장하는 ROM의 크기도 최소화되도록 하였다. 설계된 LDPC 복호기의 FPGA 구현을 통해 하드웨어 동작을 검증하여 실용성을 입증하였다.

## 감사의 글

반도체설계교육센터(IDEC)의 CAD Tool 지원에 감사드립니다.

## 참 고 문 헌

- [1] R. Gallager, "Low-Density Parity-Check Codes," IRE Trans. Info. Theory, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] D.J.C. MacKay and R.M. Neal, "Near Shannon limit performance of low density parity check codes," IEE Electronic Letter, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] T. Rihcardson and R. Urbanke, "Efficient Encoding of Low Density Parity Check Codes," IEEE Trans. Inform. Theory, vol. 47, pp. 638-656, Feb. 2001.
- [4] C. Zhang, Z. Wang, J. Sha, L. Li and J. Lin, "Flexible LDPC Decoder Design for Multi-gigabit-per-Second Applications," IEEE Trans. Circuits and Systems-I, vol. 57, no. 1, pp. 116-124, Jan. 2010.
- [5] X. Zhang and F. Cai, "Efficient Partial-Parallel Decoder Architecture for Quasi-Cyclic Nonbinary LDPC Codes," IEEE Trans. Circuits and Systems-I, vol. 58, no. 2, pp. 402-414, Feb. 2011.
- [6] 류혜진, 이종열, "DVB-S2 기반에서 다양한 부호화율을 지원하는 LDPC 복호기," 대한전자공학회 논문지, 제45권 SD편, 제2호, pp. 118-124, Feb., 2008.
- [7] 박주열, 이소진, 정기석, 조성민, 하진석, 송용호, "메모리 사용을 최적화한 부분병렬화 구조의 CMMB 표준 지원 LDPC 복호기 설계," 대한전자공학회 논문지, 제48권 SD편, 제1호, pp. 22-30, Jan., 2011.
- [8] T. Mohsenin and B. Bass, "Trends and Challenges in LDPC Hardware Decoders," 2009 Asilomar Conference on Signals, Systems and Computers, pp. 1273-1277, Nov. 2009.
- [9] 정수경, 박태근, "Quasi-Cyclic Low Density Parity Check 복호기의 다양한 설계관점에 대한 성능분석," 대한전자공학회 논문지, 제46권 SD편, 제11호, pp. 92-100, Nov, 2009.
- [10] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI
- [11] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer(PHY) specification: enhancements for higher



throughput, IEEE Std. P802.11n, 2008.

- [12] IEEE 802.16e, Part 16: Air interface for fixed and mobile broadband wireless access systems, IEEE std 802.16e-2005, Feb. 2006.
- [13] IEEE 802.3an Task Force, 2006. Available: <http://www.ieee802.org/3/an/index.html>
- [14] Framing structure, Channel coding and modulation for digital television terrestrial broadcasting system, R. P. China Standard Number: GB20600-2006 Std.
- [15] R. M. Tanner, "A Recursive Approach to Low Complexity Codes," IEEE Trans. Infor. Theory, vol. IT-27, no. 5, pp 533-547, sep. 1981.
- [16] M. Chiani, A. Conti, and A. Ventura, "Evaluation of low-density parity-check codes over block fading channels," 2000 IEEE Inter. Conf. on Comm., pp. 1183-1187, 2000.
- [17] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," IEEE Trans. Commun., vol. 47, pp. 673-680, May 1999.
- [18] X.-Y. Shih, C.-Z. Zhan, and A.-Y.(Andy) Wu, "A 7.39mm<sup>2</sup> 76mW (1944, 972) LDPC Decoder Chip for IEEE 802.11n Applications," IEEE Asian Solid-State Circuits Conference, pp. 3-5, Nov. 2008.
- [19] Massimo Rovini, Giuseppe Gentile, Francesco Rossi and Luca Fanucci, "A Minimum-Latency Block-Serial Architecture of a Decoder for IEEE 802.11n LDPC Codes," IFIP Int. Conf. on Very Large Scale Integration (VLSI-SoC 2007), pp. 236-241, 2007.
- [20] K. Gunnam, G. Choi, W. Wang and M. Yeary, "Multi-rate layered decoder architecture for block LDPC codes of the IEEE 802.11n wireless standard," IEEE Intern. Symp. on Circuits and Systems(ISCAS), pp. 1645-1648, May 2007.
- [21] W. Ji, Y. Abe, T. Ikenaga and S. Goto, "A high performance LDPC decoder for IEEE 802.11n standard," 2009 Asia and South Pacific Design Automation Conference, (ASP-DAC 2009), pp. 127-128, 2009.

---

— 저 자 소 개 —



나 영 현(정회원)

2009년 금오공과대학교 전자공학부  
(공학사)

2011년 2월 금오공과대학교 대학원  
전자공학과(공학석사)

2011년 2월~현재 (주)넥스트칩  
연구원

<관심분야 : LDPC, 집적회로 설계, SOC설계>



신 경 옥(정회원)-교신저자

대한전자공학회 논문지

제48권 SD편 제10호 참조