

논문 2011-48SD-12-8

멀티채널 기가비트 CMOS 광 송신기 회로

(A Multi-Channel Gigabit CMOS Optical Transmitter Circuit)

탁지영*, 김혜원*, 신지혜*, 이진주*, 박성민**

(Jiyoung Tak, Hyewon Kim, Jihye Shin, Jinju Lee, and Sung Min Park)

요약

본 논문에서는 0.18 μm CMOS 공정을 이용하여 초고속 디지털 인터페이스 응용을 위한 4-채널 광 송신기를 구현하였다. 특히 VCSEL 드라이버 회로 내에 피드포워드 기법을 사용하였고, 프리앰프 회로 내에 펄스 폭 컨트롤 기법을 사용함으로써, 채널 당 2.5-Gb/s 동작속도를 가지며, 4mA의 바이어스 전류 및 2~8mA_{pp}의 모듈레이션 전류를 구동하고, 펄스 폭 왜곡을 줄이는 효과를 갖는다. 4-채널 광 송신기 어레이 칩의 면적은 1.0 × 1.7mm²이며, 단일 1.8V 전원전압에서 최대전류 구동 시 채널 당 35mW의 낮은 전력을 소모한다.

Abstract

This paper presents a 4-channel optical transmitter circuit realized in a 0.18 μm CMOS technology for high-speed digital interface. Particularly, the VCSEL driver exploits the feed-forward technique, and the pre-amplifier employs the pulse-width control. Thus, the optical transmitter operates at the bias current up to 4mA and the modulation current from 2~8mA_{pp}, with the pulse-width distortion compensated effectively. The 4-channel optical transmitter array chip occupies the area of 1.0 × 1.7mm² and dissipates 35mW per channel at maximum current operations from a single 1.8V supply.

Keywords : CMOS, feed-forward, multi-channel, optical transmitter, pulse-width control

I. 서론

최근 디지털 멀티미디어 시스템이 큰 관심을 받고 있다. 이로 인해 컨슈머 전자기기 내 혹은 기기 간의 초고속 디지털 인터페이스의 다양한 표준 (예: LVDS, HDMI, DVI, DisplayPort, 등)이 제안되었다^[1]. 특히, DisplayPort의 경우 위와 같은 다양한 표준을 포함하면서 향후 수~수십 기가비트급의 광 인터페이스까지 가능하도록 제안되었으며, 낮은 가격과 시스템 복잡성을

낮추는 장점을 갖고 있다.

그림 1은 위에 언급한 멀티미디어 네트워크용 디지털 인터페이스의 예로서 이러한 인터페이스 표준들은 데이터 양의 기하급수적인 증가로 인해 넓은 대역폭을 요하게 된다. 따라서 기존의 구리전송선을 사용하기 보다는 넓은 대역폭, 매우 낮은 신호 손실 및 EMI, 낮은 crosstalk 및 낮은 신호왜곡 특성을 가지는 광섬유를 매체로 하는 초고속 디지털 인터페이스가 각광을 받게 된다^[2].

게다가, 이미 광 인터페이스 시스템은 고성능의 SAN (storage area networks)을 가능케 하는 Fibre Channel 및 기가비트 이더넷 (Gigabit Ethernet)에 사용되어 왔다^[3]. 이에 따라, 본 논문에서는 컨슈머 전자기기 내 및 기기 간의 초고속 디지털 인터페이스 응용을 목표로 하는 기가비트급 멀티채널 광 송신기 회로를 상용 0.18 μm CMOS 공정과 다양한 회로기법을 사용하여 구현하였다.

* 학생회원, ** 평생회원, 이화여자대학교 공과대학 전자공학과
(Department of Electronics Eng., Ewha Womans University)

※ 이 논문은 2011년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (과제 번호: 20110006559).

접수일자: 2011년9월28일, 수정완료일: 2011년12월2일

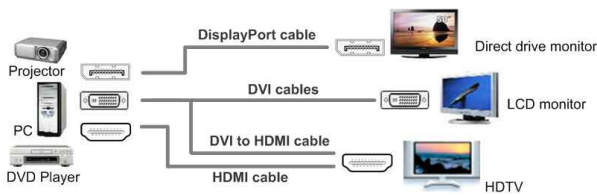


그림 1. 멀티미디어 네트워크용 디지털 인터페이스
Fig. 1. Digital interface for multimedia networks.

II. 본 론: 광 송신기 회로설계 및 칩 측정결과

일반적으로 VCSEL (Vertical Cavity Surface Emitting Laser) 다이오드의 입출력 특성으로 문턱전류 (I_{th}) 이하의 입력전류에 대해 출력 광 파워 (P_{out})은 거의 없으며, 결국 VCSEL은 레이저 다이오드로 동작하지 않게 된다. 즉, 문턱전류 이상의 입력전류에 대해서만 출력 광 파워가 나오며, 입력전류의 크기에 따라 선형적으로 변하게 된다. 여기서, 미분값 ($\partial P_{out} / \partial I_{in}$)은 VCSEL 다이오드의 slope efficiency로 정의한다.

VCSEL 드라이버의 출력 전류는 두 레벨 사이에서 스위칭하며, 이 때 각 레벨 사이의 비율을 extinction ratio로 정의한다. 이러한 VCSEL 다이오드의 slope-efficiency 및 extinction ratio는 시간과 온도에 따라 특성이 열화되는 경향이 있다^[4]. 따라서 VCSEL 드라이버의 설계에서는 바이어스 전류 및 모듈레이션 전류를 조절함으로써, 이와 같은 시간과 온도에 따른 성능열화를 보상할 수 있도록 해야 한다. 즉, VCSEL 다이오드의 문턱전류가 높아짐에 따라 바이어스 전류를 동시에 높여주고, 열화된 slope efficiency에 따라 모듈레이션 전류를 증가함으로써 동작이 안정화 되도록 해야 한다^[5].

1. 광 송신기 구조 및 VCSEL 드라이버 설계

그림 2는 설계한 광 송신기의 블록 다이어그램을 보여준다. 광 송신기는 입력버퍼단, 프리앰프단, VCSEL

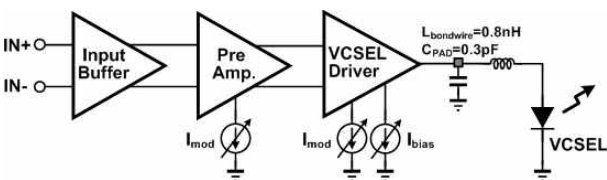


그림 2. 간단한 광 송신기의 블록 다이어그램
Fig. 2. Simplified block diagram of the optical transmitter.

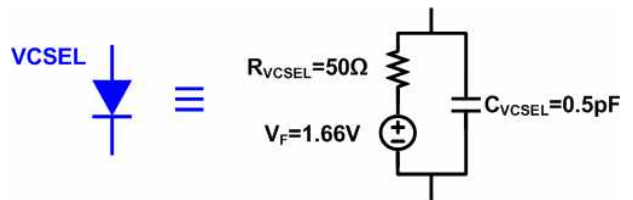


그림 3. VCSEL 다이오드의 전기적 등가회로
Fig. 3. Electrical equivalent circuit of VCSEL diode.

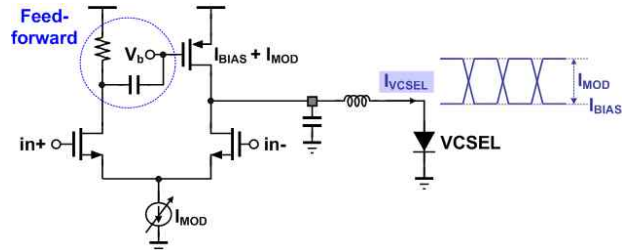


그림 4. VCSEL드라이버의 회로도
Fig. 4. Schematic diagram of the VCSEL driver.

드라이버단으로 구성되어 있으며, 특히 입력버퍼단은 TMSD 입력신호를 처리할 수 있도록 3.3V 전원전압으로부터 150~1200mV_{pp}의 차동 전압 레벨 스윙이 가능하게 설계하였다.

용이한 HSPICE 시뮬레이션 수행을 위해, VCSEL 다이오드는 그림 4와 같이 전기적 등가회로로 모델링하였다. 여기서 VCSEL 다이오드의 기생성분 (커패시턴스 및 저항 값)은 각각 0.5pF와 60Ω이며, 다이오드의 순 바이어스 (forward bias) 전압은 1.66V로 하였다.

그림 4는 본 논문에서 설계한 VCSEL 드라이버의 회로도를 보여준다. 일반적인 차동 전류 스위칭 회로구조이며, 모듈레이션 전류(I_{MOD})는 전류소스의 전류를 사용하고, 입력 트랜지스터의 스위칭 동작으로 인해 좌우로 I_{MOD} 가 흐르도록 한다. 이 때, 바이어스 전류(I_{BIAS})와 모듈레이션 전류의 합 ($I_{BIAS}+I_{MOD}$)이 PMOS 전류소스에 의해 공급되도록 설계하였다^[6]. 즉, 입력신호가 high (logic 1) 일 때, 드라이버 내 왼쪽 트랜지스터가 켜지고, 오른쪽 트랜지스터는 꺼지므로, 전류소스의 I_{MOD} 는 왼쪽 트랜지스터로 모두 흐르게 되며, 따라서 PMOS 전류소스에 의해 공급되는 I_{BIAS} 및 I_{MOD} 는 VCSEL 다이오드로 흐르게 된다. 한 편, 입력신호가 low (logic 0) 일 때, I_{MOD} 전류는 오른쪽 트랜지스터를 통해 흐르게 되고, 단지 I_{BIAS} 만 VCSEL 다이오드로 흐르게 된다. 따라서, VCSEL 드라이버의 최종 출력 전류 (I_{VCSEL})는 그림 5와 같이 0(VCSEL OFF: I_{BIAS}) 출력과 1(VCSEL ON: $I_{BIAS}+I_{MOD}$) 출력사이에서 스윙하는 것이다.

I_{MOD} 의 범위는 충분히 넓어서 고온 및 오랜 시간이 지난 저효율의 VCSEL 다이오드의 경우에도 최대 광 출력 파워를 낼 수 있도록 해야 설계한다. I_{BIAS} 는 항상 문턱전류보다 크게 잡혀 있어야 하며, 시간과 온도상승에 따른 문턱전류의 증가에 따라 I_{BIAS} 도 어댑티브하게 증가해야 한다. 그러므로 본 논문에서 설계한 VCSEL 드라이버는 $2mA_{pp} \sim 8mA_{pp}$ 모듈레이션 전류와 4mA의 바이어스 전류를 조절할 수 있도록 설계 하였다.

또한, VCSEL 드라이버는 주어진 입력전압에 따라 풀 스위칭 동작을 할 수 있도록 큰 면적의 트랜지스터가 필요하다. 게다가, VCSEL 드라이버의 출력단은 비교적 큰 전류로 동작되기 때문에, 사용한 공정의 electromigration 스펙을 만족할 수 있도록 인터커넥션 메탈 넓이를 두껍게 하고, 콘택트 면적을 크게 해야 한다. 이로 인해, VCSEL 드라이버의 스위칭 속도는 상당히 제한되는데, 이는 VCSEL 다이오드 자체의 기생 커패시턴스와 트랜지스터 및 넓은 메탈 인터커넥션의 기생 커패시턴스로 인한 결과이다.

이와 같이 제한된 스위칭 동작속도를 개선하기 위해, 본 논문에서는 피드포워드 회로기법을 사용하였다^[7-9] (그림 4 참조). 입력신호가 high (logic 1)에서 low (logic 0)로 전환될 때, 왼쪽 트랜지스터의 드레인 전압이 증가하며, 저항과 커패시터로 이루어진 HPF (high-pass filter)는 고주파 성분만 통과시키므로, PMOS 전류소스는 매우 짧은 시간동안만 전류를 공급하게 된다. 따라서 출력전류의 상승시간(rising time)이 빨라지는 것이다. 또한, 입력전류가 low (logic 0)에서 high (logic 1)로 전환될 때도 동일하게 적용된다.

그림 5는 피드포워드 회로기법이 있는 경우와 없는 경우의 VCSEL 드라이버에 대한 시뮬레이션 결과를 보

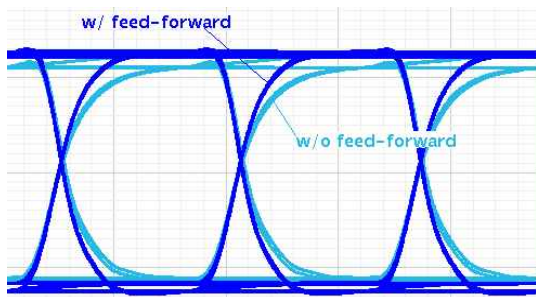


그림 5. 피드포워드에 따른 VCSEL 드라이버 출력시뮬레이션 결과 (2.5Gb/s $2^{31}-1$ PRBS 입력신호)

Fig. 5. Simulated results of the VCSEL driver w/ and w/o the feed-forward circuit.

여주며, 피드포워드 기법을 적용한 경우 rise/fall time을 줄어드는 효과를 가짐을 볼 수 있다.

2. 프리앰프 설계

그림 6은 VCSEL 드라이버를 선행하는 프리앰프의 회로도도를 보여준다. 일반적으로 VCSEL 드라이버는 모듈레이션 전류의 풀 스위칭 동작을 가능하게 하도록 트랜지스터의 사이즈를 크게 하기 때문에, 그 앞단의 프리앰프의 설계는 큰 커패시턴스 로드를 드라이브하고, 충분한 전압 스윙을 전달할 수 있도록 설계해야 한다. 이를 위해, 프리앰프단 내에 소스 디제너레이션 기법을 사용하였고, 커패시턴스로 인한 제한된 대역폭을 늘려 회로의 동작속도를 향상시켰다.

앞 절에서 언급한 바와 같이, VCSEL드라이버의 모듈레이션 전류는 전류소스로 컨트롤 하는데, 이 경우 입력 트랜지스터의 소스전압이 전류에 따라 값이 변하게 되고, 따라서 스위칭 하는 문턱전압이 변하게 되며, 이로 인해 낮은 모듈레이션 동작에서는 PWD (pulse-width distortion)가 발생하게 된다^[10]. 이러한

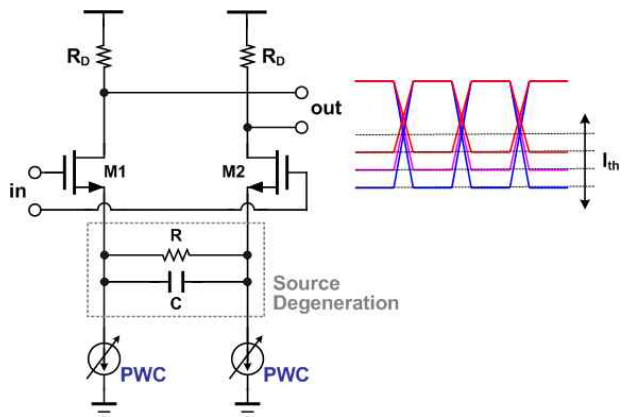


그림 6. 프리앰프의 회로도

Fig. 6. Schematic diagram of the pre-amplifier.

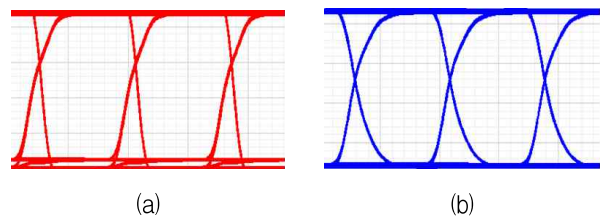


그림 7. 프리앰프의 시뮬레이션 결과: (a) 펄스폭 컨트롤 없는 경우, (b)펄스폭 컨트롤 있는 경우

Fig. 7. Simulated eye-diagrams of the pre-amplifier: (a) w/o pulse-width control and (b) w/ pulse-width control.

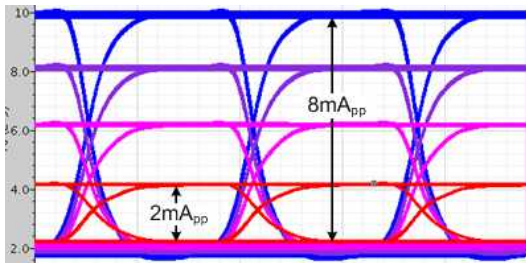


그림 8. 모듈레이션 전류조절 시뮬레이션 ((2.5Gb/s 231-1 PRBS 입력신호)
 Fig. 8. Simulated eye-diagrams of the VCSEL driver with modulation current control.

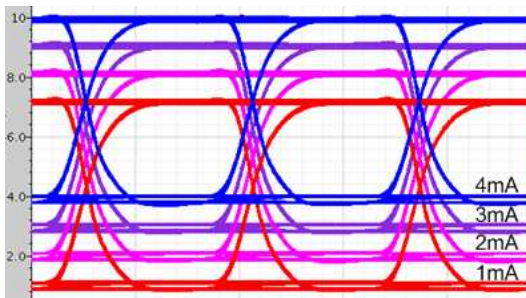


그림 9. 바이어스 전류조절 시뮬레이션 (2.5Gb/s 231-1 PRBS 입력신호)
 Fig. 9. Simulated eye-diagrams of the VCSEL driver at the different bias currents.

PWD를 보상하기 위해 본 논문에서는 PWC (pulse width control) 회로를 제안하였다 (그림 6 참조).

이는, 프리앰프단 내의 전류소스가 조절가능 하도록 하는 것이며, 프리앰프의 전류소스 전류 값이 I_{MOD} 에 따라 변하고 이로써 출력 전압스윙의 크기가 일정하도록 하는데, 따라서 스위칭 문턱 읍셋에 의한 PWD가 보상되는 것이다. 그림 7은 이러한 PWC가 있는 경우와 없는 경우에 대해 프리앰프의 시뮬레이션 결과를 보여준다.

그림 8은 VCSEL 드라이버의 모듈레이션 컨트롤 시뮬레이션 결과로서, I_{MOD} 가 2~ 8mA_{pp}로 조절될 경우의 출력 eye-diagram을 보여주며, 깨끗하고 PWD가 없는 것을 확인할 수 있다. 그림 9는 I_{BIAS} 가 4mA까지 변화할 때의 출력 eye-diagram을 보여준다.

3. 칩 제작 및 측정결과

위에서 제안한 4-채널의 광 송신기를 표준 0.18 μ m CMOS 공정을 사용하여 제작하였다. 그림 10은 칩 사진과 측정을 위한 PC-board의 레이아웃을 보여준다. 이 때, 칩 면적은 1.0 × 1.7mm²이다.

그림 11은 2³¹-1 PRBS 입력신호에 대하여 각각 다른 동작속도 (500Mb/s, 1Gb/s, 1.5Gb/s, 및 2Gb/s)에 따라 측정된 광 송신기 회로의 eye-diagram을 보여준다.

표 1은 본 연구에서 개발한 칩과 최근 발표된 낮은 기가비트급의 멀티채널 VCSEL 드라이버 칩 어레이와의 성능을 비교한 것이다. 그림 11과 표 1에서 보는 바

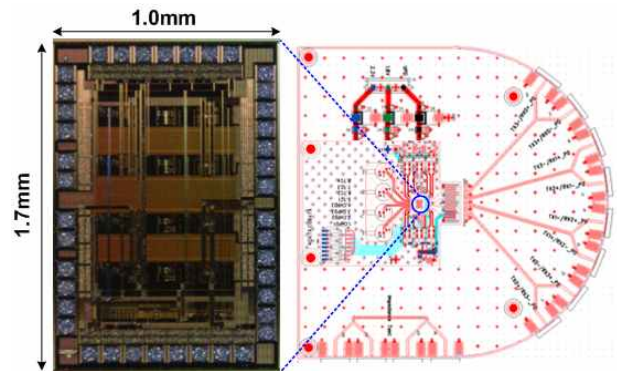
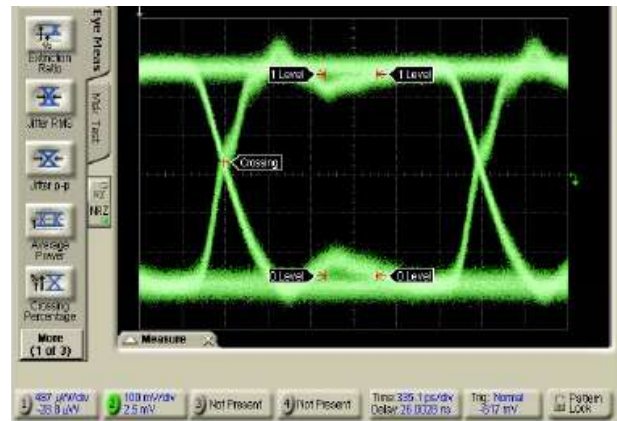
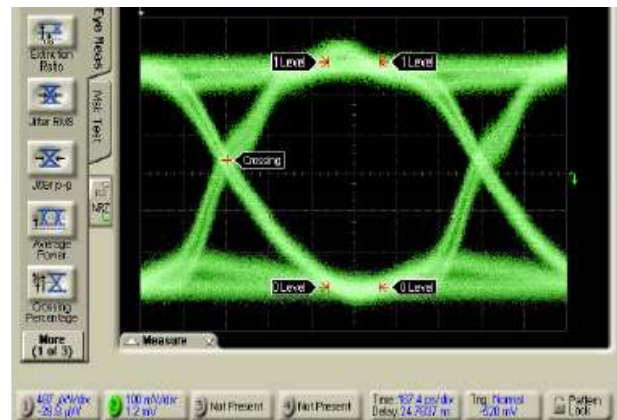


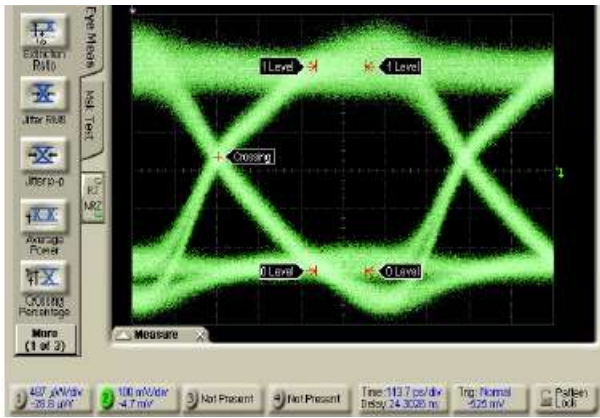
그림 10. 제작한 4-채널 광 송신기 칩 사진과 성능측정 보드
 Fig. 10. Chip microphotograph of the proposed 4-channel optical transmitter and its evaluation board.



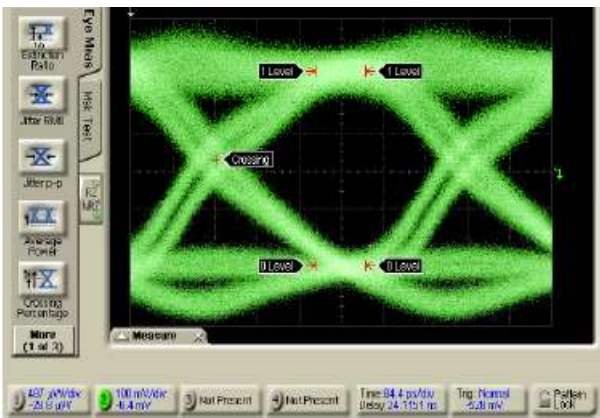
(a)



(b)



(c)



(d)

그림 11. 동작속도 변화에 따라 측정된 VCSEL 드라이버 출력: (a) 500Mb/s, (b) 1Gb/s, (c) 1.5Gb/s, (d) 2Gb/s

Fig. 11. Measured eye-diagrams of the VCSEL driver at different data rates of (a) 500Mb/s, (b) 1Gb/s, (c) 1.5Gb/s, and (d) 2Gb/s.

표 1. 최근 발표된 낮은 기가비트급 멀티채널 CMOS VCSEL 드라이버와의 성능 비교

Table 1. Comparison with the recently reported low-gigabit multi-channel CMOS VCSEL drivers.

parameters	[5]	[6]	This work
Technology	0.18um CMOS	0.5um SOS CMOS	0.18um CMOS
Configuration	CML	differential VCSELs	feed-forward
Measurements	electrical	optical	optical
No. of Channels	2	2	4
Operation Speed (Gb/s)	2.5	2	2
Supply Voltage (V)	1.8	3.3	1.8
Power Diss. Per Channel (mW)	100	50.3	35

와 같이, 본 논문에서 제안한 피드포워드 설계기법을 통해 송신단 각 채널 당 최대 모듈레이션 전류 ($8mA_{pp}$) 동작을 가질 때 2Gb/s의 안정적인 광 신호출력을 가지며, 35mW의 낮은 전력소모 특성을 보임으로써 향후 저전력 디지털 광 인터페이스에 적합하다고 할 수 있다.

III. 결 론

본 논문에서는 0.18 μ m CMOS 공정을 이용하여 기가비트급의 4-채널 광 송신기를 구현하였다. 구현한 VCSEL 드라이버는 바이어스 전류를 4mA까지, 모듈레이션 전류를 2~8mA_{pp}까지 구동하며, 2Gb/s급의 동작속도를 갖는다. 단일 채널의 광 송신기는 1.8V 전원 전압으로부터 최대전류 동작 시 35mW의 전력을 소모하며, 4-채널 광 송신기 칩 어레이의 면적은 1.0 x 1.7mm²이다. 결론적으로, 제안한 광 송신기는 초고속 디지털 인터페이스 응용에 대한 저전력 및 저가의 해결책을 제공할 수 있을 것으로 기대한다.

참 고 문 헌

- [1] K. Park et al., "A 4-channel 12.5Gb/s Common-Gate Transimpedance Amplifier Array for DVI/HDMI Applications", *IEEE Proc. of ISCAS*, pp.2192-2195, May 2007.
- [2] B. -Y. Choi et al., "A 1Gb/s Optical Transceiver Array Chipset for Automotive Wired Interconnects", *IEEE Proc. of ISCAS*, pp.181-184, May 2007.
- [3] S. M. Park and H. -J. Yoo, "1.25-Gb/s Regulated Cascode CMOS Transimpedance Amplifier For Gigabit Ethernet Application", *IEEE J. of Solid-State Circuits*, Vol. 39, No.1, pp.112-121, Jan. 2004.
- [4] B. Razavi, *Design of Integrated Circuits for Optical Communications*, Chapter 3, McGraw-Hill, New York, 2003.
- [5] J. -W. Han et al., "A 2.5-Gb/s ESD-Protected Dual-Channel Optical Transceiver Array", *IEEE Asian Solid-State Circuits Conference*, pp. 156-159, Nov. 2007
- [6] P. Gui et al., "A 2-Gb/s 0.5- μ m CMOS Parallel Optical Transceiver With Fast Power-On Capability", *IEEE J. of Lightwave Technology*, Vol. 22, No. 9, pp.2135-2148, Sept. 2004.
- [7] D. Kucharski et al., "A 20 Gb/s VCSEL Driver with Pre-Emphasis and Regulated Output Impedance in 0.13 μ m CMOS", *IEEE Tech. Digest of ISSCC*, pp. 222-594, Feb. 2005.
- [8] 이기혁, 성장경, 최우영, "위상검출기 출력을 이용

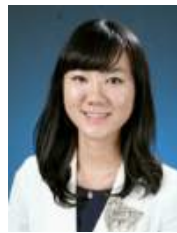
한 백플레인용 5Gb/s CMOS 적응형 피드포워드 이퀄라이저”, 전자공학회논문지 SD편, 제44권, 5호, 50-57쪽, 2007년.

- [9] 문용삼, “차동 연결된 Varactor를 이용한 6Gb/s CMOS 피드포워드 이퀄라이저”, 전자공학회논문지 SD편, 제46, 2호, 64-70쪽, 2009년.
- [10] E. Sackinger, *Broadband Circuits for Optical Fiber Communication*, John Wiley & Sons, New York, 2005.

— 저 자 소 개 —



탁 지 영(학생회원)
 2010년 이화여자대학교
 전자공학과 학사졸업.
 2011년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야 : RF 및 초고속 유
 선통신용 아날로그 회로설계>



신 지 혜(학생회원)
 2011년 이화여자대학교
 전자공학과 학사졸업.
 2011년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야 : 초고속 유선통신용
 아날로그 회로 및 PMIC 설계>



김 혜 원(학생회원)
 2010년 이화여자대학교
 전자공학과 학사졸업.
 2011년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야 : RF 및 초고속 유
 선통신용 아날로그 회로설계>



이 진 주(학생회원)
 2011년 이화여자대학교
 전자공학과 학사졸업.
 2011년 현재 이화여자대학교
 전자공학과 석사과정.
 <주관심분야 : 초고속 유선통신용
 아날로그 회로 및 PMIC 설계>



박 성 민(평생회원)
 1993년 한국과학기술원 전기및
 전자공학과 학사졸업.
 1994년 런던대학교 전자공학과
 석사 졸업.
 2000년 임페리얼 공대 전자공학과
 박사 졸업.

2011년 현재 이화여자대학교 전자공학과 부교수
 <주관심분야 : RF 및 초고속 아날로그 회로 설
 계>