논문 2011-48SD-12-7

800MHz~5.8GHz 광대역 CMOS 저잡음 증폭기 설계

(A 800MHz~5.8GHz Wideband CMOS Low-Noise Amplifier)

김 혜 원*, 탁 지 영*, 이 진 주*, 신 지 혜*, 박 성 민**

(Hyewon Kim, Jiyoung Tak, Jinju Lee, Jihye Shin, and Sung Min Park)

요 약

본 논문에서는 0.13㎛ CMOS 공정을 사용하여 800MHz~5.8GHz 대역 내 다양한 무선통신 표준을 포함하는 광대역 저잡음 증폭기(wideband-LNA)를 구현하였다. 저잡음 특성을 개선하기 위하여 제작한 LNA는 두 단으로 구성되었으며, 입력캐스코드 단 및 잡음신호만을 상쇄시키는 출력 버퍼단으로 구성하였다. 또한, 피드백 저항을 이용함으로써, 광대역 임피던스 매칭 효과 및 넓은 대역폭을 구현하였다. 측정결과, 811MHz~5.8GHz의 주파수 응답과 대역폭 내에서 최대 11.7dB의 전력이득 및 2.58~5.11dB의 잡음지수(NF)를 얻었다. 제작한 칩은 0.7×0.9mm^{2}의 면적을 가지며 1.2V의 전원전압에서 12mW의 낮은 전력을 소모한다.

Abstract

This paper presents a wideband low-noise amplifier (LNA) covering 800MHz~5.8GHz for various wireless communication standards by utilizing in a 0.13um CMOS technology. Particularly, the LNA consists of two stages to improve the low-noise characteristics, that is, a cascode input stage and an output buffer with noise cancellation technique. Also, a feedback resistor is exploited to help achieve wideband impedance matching and wide bandwidth. Measure results demonstrate the bandwidth of 811MHz~5.8GHz, the maximum gain of 11.7dB within the bandwidth, the noise figure of 2.58~5.11dB. The chip occupies the area of 0.7×0.9mm^2, including pads. DC measurements reveal the power consumption of 12mW from a single 1.2V supply.

Keywords : CMOS, LNA, noise cancellation, resistive feedback, wideband

Ⅰ. 서 론

최근 다양한 무선통신 표준대역을 포괄적으로 포함하는 송·수신기의 개발이 이루어지고 있다. 본 논문에서는 800MHz~5.8GHz의 주파수 대역 내에 있는 표준(예: GSM, GPS, WCDMA, WiBro, Bluetooth, WLAN 등, 그림 1 참조)을 포함하는 광대역 저잡음 증폭기(LNA)를 구현한다.

일반적으로, 무선통신 시스템 수신기의 안테나에 입력되는 신호는 매우 미약하므로, 수신단 회로의 잡음특성은 매우 중요한 성능요소이다. 특히, 수신기 첫 째단 회로인 LNA는 수신기의 전체 잡음특성을 결정하는 가장 중요한 역할을 한다. 하지만, 다양한 무선통신 표준대역을 포함하는 광대역 LNA 회로 자체가 기본적으로 넓은 대역폭을 갖기 때문에 높은 열잡음 특성이 있으며 이로 인해 여러 표준에 적용할 수 있는 저잡음 특성을 얻기는 매우 힘들다.

저항 피드백(resistive feedback) LNA는 기존의 광대역 LNA로 자주 사용되는 구조인데, 입력 임피던스 매칭이 수월하고, 대역폭이 넓으며, 전압이득이 다른 구조에 비해서 일정하게 나오는 장점이 있다.[1] 그러나 전력소비에 비해서 잡음특성이 높고 전압이득은 낮은 단점

* 학생회원, ** 평생회원, 이화여자대학교 공과대학 전자공학과
(Department of Electronics Eng., Ewha Womans University)

※ 이 논문은 2011년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (과제번호: 20110006559).
접수일자: 2011년5월28일, 수정완료일: 2011년12월2일

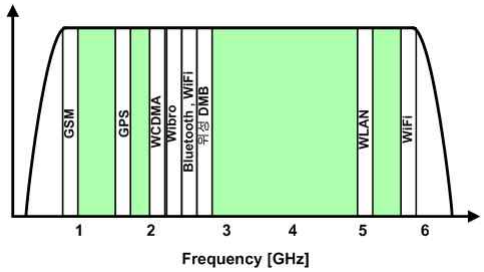

그림 1. 구현하는 광대역 LNA의 주파수 대역
Fig. 1. Frequency diagram for wideband LNA.

을 갖는다. 따라서 본 논문에서는 이 저항 피드백 구조를 사용하여 넓은 대역폭을 얻는 동시에, 낮은 전력소모에도 회로 내에서 발생하는 잡음이 상쇄될 수 있는 기법을 또한 사용하였다.[2]

Ⅱ. 본 론 : 광대역 LNA 회로 설계

그림 2는 본 논문에서 구현한 광대역 LNA의 회로도를 보여준다. 캐스코드 구조의 입력단을 통해 M_1의 C_{gd}(게이트-드레인 커패시턴스)로 인한 영향을 줄이도록 하였고, 출력버퍼단 내에 피드포워드 기법을 사용함으로써 잡음신호를 추출하여 저잡음 특성을 갖도록 하였다. 피드백 저항(R_f)은 입력 임피던스 50Ω 매칭을 돕는 역할을 하되, 피드백 저항 값은 입력 임피던스 매칭 및 전압이득 사이의 설계 tradeoff를 고려하여 정하였다. 커패시터(C_f)는 피드백 저항(R_f)과 직렬로 연결함으로써 입력단 및 출력단의 바이어스 전압이 각각 독립되도록 한다. 캐스코드 입력단 내 로드 저항(R_d)과 직렬로 인덕터(L_d)를 연결하는 인덕티브 피킹 기법을 이용함으로써 넓은 대역폭을 얻도록 하였다. 출력단의 커패시터(C_2) 값은 전체 대역폭의 저주파 차단 주파수가 800MHz가 되도록 정하였다.

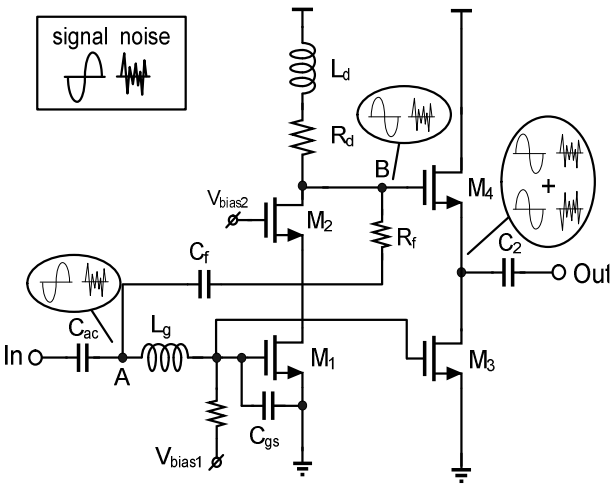

그림 2. 광대역 LNA의 회로도
Fig. 2. Schematic diagram of the wideband LNA.

1. 잡음 상쇄

일반적으로, N개의 단으로 구성된 직렬연결 시스템 구조에서 전체 잡음지수(Noise Figure)는 아래와 같다.[3]

$$NF_{tot} = 1 + (NF_1 - 1) + \frac{NF_2 - 1}{A_{p1}} + \cdots + \frac{NF_n - 1}{A_{p1} \cdots A_{p(n-1)}} \quad (1)$$

여기서 NF_n은 N번째 단의 잡음지수를 의미하고, A_{pn}은 N번째 단의 유효 전력이득을 나타낸다. 이 식에 따르면, 전체 잡음지수는 첫째 단에 가장 큰 영향을 받는다.

구체적으로 본 논문에서 구현한 그림 2 회로의 경우, 입력노드에 직접 연결된 트랜지스터(M1)의 채널 열잡음 (channel thermal noise)이 회로의 잡음지수에서 가장 유효하게 작용한다. 이처럼 전체 수신기 잡음지수에 가장 큰 영향을 주는 채널 열잡음을 출력노드에서 상쇄시켜 전체 잡음지수를 현저하게 줄이는 잡음상쇄 기법을 사용하도록 한다. 출력노드에서의 잡음상쇄를 위해서는 추가적인 회로가 필요하지 않고, 바로 다음 단인 버퍼단 M3의 게이트를 입력노드에 연결함으로써 잡음을 상쇄하는 구조이므로, 칩 면적 혹은 전력소모를 늘리지 않아도 되는 장점을 갖는다.[2]

이를 위해, 먼저 캐스코드 입력단 M_1의 채널 열잡음으로 인해 입력단에서 발생한 잡음전류를 I_n이라고 가정하자. 이 I_n으로 인하여 노드 A 및 B에 두 종류의 전압이 생성되는데, 이 두 노드 A, B에서 잡음전압의 위상은 같다. 물론, 신호전압의 위상은 180°차이가 난다. 이 때, 노드 A의 잡음 및 신호는 공통소스 형태의 증폭기로 인해 위상이 180° 차이를 가지고 출력단에 나타나지만, 노드 B의 잡음 및 신호는 소스 팔로워 형태의 버퍼단으로 인해 위상차 없이 출력노드에 나타난다. 즉, 이 두 전압을 출력노드에서 최종 출력하면, 신호전압은 같은 위상으로 나타나는 반면 잡음전압은 180° 위상차이가 나므로, 결국 잡음전압만이 서로 상쇄되는 효과를 얻게 되는 것이다.

위를 수식으로 표현하면, 먼저 노드 A와 B에 생기는 잡음전압은 아래와 같이 표현된다.

$$V_{A,n} = I_{ni} R_S \quad , \quad V_{B,n} = I_{ni}(R_S + R_f) \tag{2}$$

이때 V_{Bn}이 통과하는 소스 팔로워 버퍼의 전압이득을 a_2로 가정하면, 잡음전압은 다음과 같다.

$$V_{out,n} \cong V_{B,n} - A_{v2} V_{A,n} = I_{ni}(\alpha_2 R_S + \alpha_2 R_f - A_{v2} R_S) \tag{3}$$

만약 이 잡음전압을 상쇄하려면 V_{An}이 피드포워드 기법으로 통과하는 버퍼단 (M_3)의 전압이득을 공통소스 증폭기의 이득과 같이 설계해야 한다. 즉,

$$A_{v2} = \frac{g_{m3}}{g_{m4}} = \alpha_2 (1 + \frac{R_f}{R_S}) \tag{4}$$

따라서 잡음상쇄 정도는 버퍼단 M_3 및 M_4의 트랜스컨덕턴스(g_{m3}, g_{m4})의 비에 의해 조절이 가능하다.

2. 입력 임피던스 매칭 및 전압이득

그림 2의 광대역 LNA 회로는 기본적으로 저항 피드백 입력단을 갖기 때문에, 이 회로의 입력저항(R_{in}) 및 전압이득은 다음과 같다.

$$R_{in} = \frac{R_f}{1 + A} \quad , \quad A \approx g_{m1} R_d \tag{5}$$

위 식에서 g_{m1}은 M_1의 트랜스컨덕턴스로서, 이 식을 통해 회로의 이득(A)이 커질수록 입력저항은 줄어드는 것을 알 수 있다. 하지만, 본 논문에서 구현하고자 하는 LNA 회로의 원하는 주파수 대역은 800MHz~5.8GHz로써 5GHz에 달하는 매우 넓은 대역폭이므로, 이와 같은 광대역 주파수에 50Ω 입력 임피던스 매칭을 만족하는 것은 매우 어렵다.

특히, M_1의 소스단과 접지(GND) 패드에 기생적으로 발생하는 bond-wire 인덕턴스의 영향은 마치 인덕티브 소스-디제너레이션 기법과 동일하게 입력 임피던스(Z_i)에 영향을 미친다. 즉, M_1의 게이트에 추가한 인덕턴스(L_g) 영향과 함께 고려한 입력 임피던스는 아래와 같다.[4]

$$Z_i = s(L_g + L_s) + \frac{1}{s(C_{gs} + C_{gs1})} + \frac{g_{m1} L_s}{(C_{gs} + C_{gs1})} \tag{6}$$

여기서 C_{gs1}은 트랜지스터 M_1의 게이트와 소스사이의 커패시턴스를 나타내며, L_s는 접지 패드의 bond-wire 인덕턴스를 의미한다.

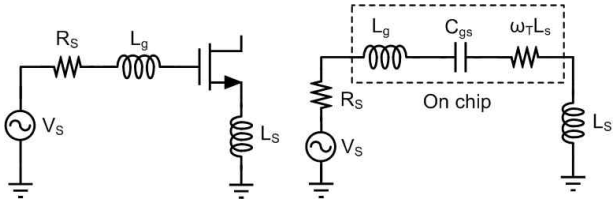

그림 3. 입력노드 회로 및 소신호 등가회로
Fig. 3. Small-signal equivalent circuit of the input stage.

또한, M_1의 게이트-소스 사이에 커패시터 C_{gs}를 추가함으로써 광대역의 입력 임피던스 매칭이 좀 더 수월하도록 하였다.

한편, 광대역 LNA의 전압이득을 구하기 위해 입력 캐스코드단의 전압이득(A_{v1})을 구하면 아래와 같다.

$$A_{v1} = \frac{v_B}{v_A} = -\left(g_{m1} - \frac{1}{R_f} \right)(R_d \parallel R_f) = \frac{1 - g_{m1} R_f}{1 + \frac{R_f}{R_d}} \tag{7}$$

피드포워드 기법을 사용한 공통소스 버퍼 (M_3)의 전압이득은 다음과 같다.

$$A_{v,cs} = -\frac{g_{m3}}{g_{m4}} \tag{8}$$

따라서 소스 팔로워 버퍼의 이득을 1로 가정할 경우, 광대역 LNA 회로의 전체이득(A_v)은 아래와 같다.

$$A_v = \frac{1 - g_{m1} R_f}{1 + \frac{R_f}{R_d}} - \frac{g_{m3}}{g_{m4}} \cong -\left(\frac{g_{m1} R_f}{1 + \frac{R_f}{R_d}} + \frac{g_{m3}}{g_{m4}} \right) \tag{9}$$

3. 잡음 분석

본 절에서는 광대역 LNA의 잡음지수를 분석한다. 일반적으로 커패시터 및 인덕터 소자에서 발생하는 잡음성분과 캐스코드단의 트랜지스터인 M_2의 잡음성분은 전체 회로의 잡음지수에서 차지하는 비중이 매우 작다. 따라서 구현한 광대역 LNA의 주요 잡음성분은 (1) 소스저항 R_s (50Ω)로 인한 열잡음전압, (2) M_1 및 M_3의 채널 열잡음 전류 성분, (3) 피드백 저항(R_f)과 로드 저항(R_d)의 열잡음 성분이라 할 수 있다. 이들을 고려하여 먼저 입력단만의 잡음지수를 구해보면 아래와 같다.

$$NF_1 = \frac{V_{n,out}^2}{A_v} \frac{1}{4kTR_S} \tag{10}$$

$$= 1 + \frac{R_f}{R_S}\left(\frac{1+g_{m1}R_s}{1-g_{m1}R_F}\right)^2 + \left(\frac{1}{R_S R_d} + \frac{2}{3}\frac{g_{m1}}{R_S}\right)\left(\frac{R_F + R_S}{1-g_{m1}R_F}\right)^2$$

단, M_1의 채널 열잡음 성분은 출력노드에서 상쇄된다. 따라서 전체 회로에 가장 민감한 잡음성분은 피드백 저항의 열 잡음성분이며, 따라서 회로전체의 잡음지수($NF_{overall}$)는 아래와 같다.

$$NF_{overall} \cong 1 + \frac{R_S\left(\frac{R_S+R_f}{R_{load}} + 1 + g_{m1}R_S\right)^2}{R_S\left(\frac{R_S+R_f}{R_{load}} - 1 - g_{m1}R_S\right)^2} \quad (11)$$

여기서 두 번째 단인 소스 팔로워 버퍼의 M_3 및 M_4의 잡음성분은 첫 번째 단에 비해 전체 잡음지수에 영향이 적기 때문에 무시할 수 있다. 또한 입력단에 연결되어 있기에 발생할 트랜지스터 M_3의 채널 열잡음 성분 또한 M_1의 채널 열잡음 성분과 함께 출력노드에서 상쇄되므로 위 식에 포함되지 않는다.

Ⅲ. 실 험 : 칩 제작 및 측정결과

위에서 설계한 광대역 LNA 회로는 0.13㎛ CMOS 공정으로 제작하였으며, 그림 4는 제작한 칩 사진을 보여준다. 칩 면적은 패드를 포함하여 0.7x0.9mm^{2}이다.

그림 5~그림 8은 구현한 광대역 LNA의 S-파라미터 및 잡음지수의 측정결과와 포스트-레이아웃 시뮬레이션 결과를 비교하여 보여준다. 먼저, S_{21} 측정결과 (그림 5 참조), 구현한 증폭기는 811MHz~5.8GHz까지 전체 5GHz 대역폭을 가지며, 대역폭 내 최대이득 11.7dB를 갖는다. 또한, 그림 6은 잡음지수의 측정결과로서 전 대역폭에 걸쳐 2.58dB~5.11dB 값을 갖는다.

그림 7과 그림 8은 입/출력 반사 손실(S11/S22)의 측정결과로서 입력 반사 손실(S11)은 대역폭 내에서 -3dB 보다 낮고, 출력 반사 손실(S22)은 -4.5dB 보다 낮음을 볼 수 있다. 다만, 입/출력 반사손실 측정값이 대역폭 내에서 포스트-레이아웃 시뮬레이션 결과와 약간의 차이를 보이고 있는데 이는 칩 성능 측정을 위해 제작한FR4 PCB 모듈 입/출력단의 트랜스미션 라인 등 인터페이스에서 발생한 기생성분으로 인한 것으로 추정된다.

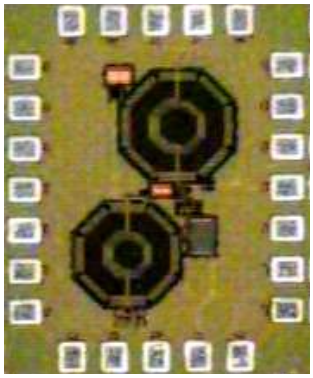

그림 4. 제안된 광대역 LNA 칩 사진
Fig. 4. Chip microphotograph of the wideband LNA.

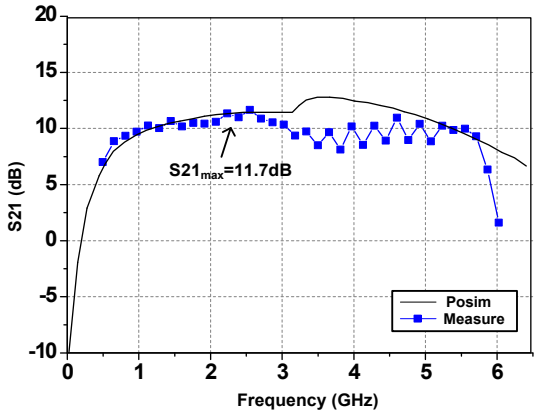

그림 5. 광대역 LNA의 S_{21} 측정결과
Fig. 5. Measured S_{21} of the wideband LNA.

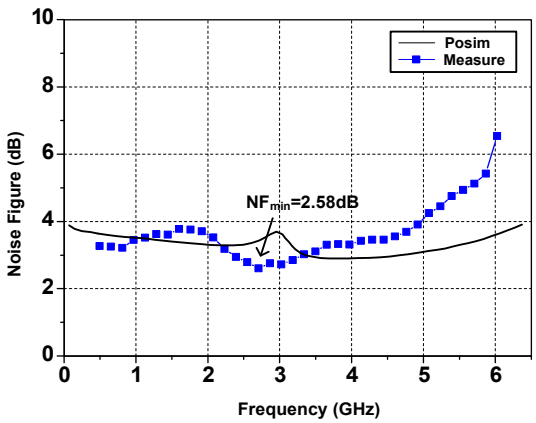

그림 6. 광대역 LNA의 잡음지수 측정결과
Fig. 6. Measured NF of the wideband LNA.

이 외에도 구현한 광대역 LNA 회로의 선형성을 몇 가지 표준별로 측정하였고, 그 결과 P1dB (1dB compression point)의 경우, 각 주파수 900MHz, 1.5GHz, 2.4GHz, 5.8GHz에 대해 -10.8dBm, -10.3dBm, -10.6dBm, -12.9dBm으로 측정되었다. 특히, 2.4GHz에서 IIP3 (third-order intercept point)를 측정하였고, 측

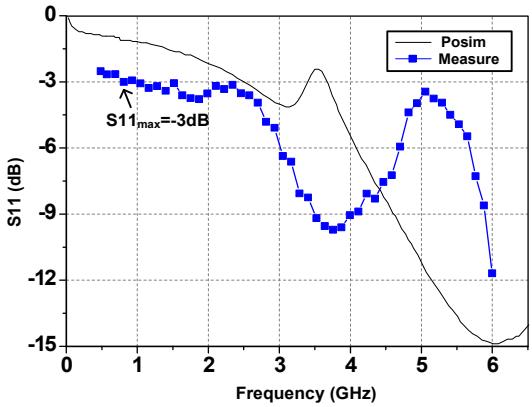

그림 7. 광대역 LNA의 S_{11} 측정결과
Fig. 7. Measured S_{11} of the wideband LNA.

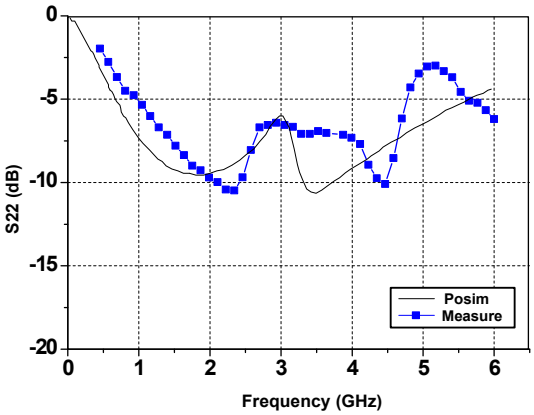

그림 8. 광대역 LNA의 S_{22} 측정결과
Fig. 8. Measured S_{22} of the wideband LNA.

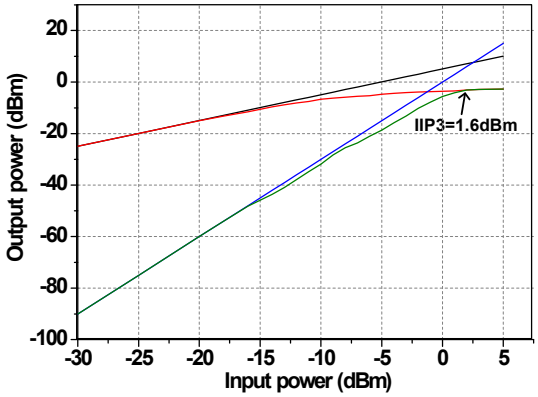

그림 9. 광대역 LNA의 IIP3 측정결과 (@2.4GHz)
Fig. 9. Measured IIP3 of the Wide-band LNA (@2.4GHz)

표 1. 구현한 광대역 LNA의 성능 요약
Table 1. Performance summary of the wideband LNA.

parameters	measured results
Bandwidth	811MHz~5.8GHz
S21(dB)	11.7 (max.)
S11 (dB)	-3~-9.6
S22 (dB)	-4.5~-10.8
Noise Figure (dB)	2.58~5.11
P1dB (dBm) @2.4GHz	-10.6
IIP3 (dBm) @2.4GHz	1.6
Power dissipation (mW)	12

표 2. 최근 발표된 CMOS 광대역 LNA와의 성능 비교
Table 2. Comparison with the recently reported CMOS wideband LNAs.

Ref.	Config.	Tech. (μm)	BW (GHz)	S21 (dB)	S11 (dB)	S22 (dB)	NF (dB)	P1dB (dBm)	IIP3 (dBm)	Power (mW)
[1]	저항 피드백	0.18	2-4.6	9.8	<-9	<-11	2.3-5.2	N/A	-7 @4.25GHz	12.6
[2]	인버터	0.25	0.2-1.6	13.7	<-8	<-12	<2.4	-9 @0.9GHz	0 @0.9GHz	35
[5]	공통 게이트	0.18	1.2-11.9	9.7	<-10	<-15	4.5-5.11	-16 @6GHz	-6.2 @6GHz	20
[6]	인버터	0.18	0-5.35	12-18	<-10	<-24	6.8-10.8	-11 @2.4GHz	-1.75 @2.4GHz	32.4
[7]	캐스코드	0.18	824-960 1.57-2.5	11.5-13	<-10	<-10	3.4-4.8	N/A	N/A	15
[8]	저항 피드백	0.13	5.9	16	<-9	<-8	4.7-5.7	-8	N/A	38
This Work	저항 피드백	0.13	0.8-5.8	11.7	<-3	<-4.5	2.58-5.11	-10.3 @2.4GHz	1.6 @2.4GHz	12

정결과 1.6dBm의 값을 얻었다 (그림 9 참조).

DC 측정결과, 구현한 광대역 LNA 회로에 흐르는 전체 DC 전류는 1.2V 전원전압으로부터 10mA이며, 즉 12mW의 낮은 전력소모 성능을 보여준다.

표 1은 구현한 칩의 성능을 요약하며, 표 2는 최근 발표된 CMOS 광대역 LNA와의 성능비교를 보여준다. 이로써, 본 논문에서 구현한 LNA는 저전력 저잡음 광대역 증폭기로서 다양한 무선통신 표준에 적용할 수 있는 가능성을 보였다고 할 수 있다.

Ⅳ. 결 론

본 논문에서는 0.13㎛ CMOS 공정을 이용하여 다양한 무선통신 표준을 포함하는 광대역 LNA를 구현하였다. 이 증폭기는 저항 피드백 구조를 사용하여 광대역 입력 임피던스 매칭을 하게 하였고, 구조적 단점인 나쁜 잡음특성을 개선할 수 있도록 입력단 트랜지스터의 채널 열잡음을 버퍼를 통해 상쇄시키는 피드포워드 기법을 사용하였다. 구현한 증폭기를 통해 광대역 증폭기를 저전력으로 구동할 수 있는 가능성을 보였으며, 잡음지수를 낮춤으로 향후 다양한 표준 주파수에 사용할 수 있는 가능성을 선 보였다.

참 고 문 헌

[1] C. -W. Kim et al., "An ultra-wideband CMOS low noise amplifier for 3.5-GHz UWB system," *IEEE J. Solid-State Circuits,* vol. 40, no. 2, pp. 544-547, Feb. 2005.

[2] F. Bruccoleri, E. A. M. Klumperink, and B. Nauta."Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," *IEEE J. Solid-State Circuits,* vol. 39, no. 2, pp. 275.282, Feb. 2002.

[3] T. Lee, '*The Design of CMOS Radio-Frequency Integrated Circuits*', Cambridge University Press, 2004.

[4] T. -K. Nguyen et al., "CMOS low noise amplifier design optimization techniques," *IEEE Trans. Microwave Theory Tech.*, vol. 52, no. 5, pp. 1433 - 1442, May 2004.

[5] C. -F. Liao and S. -I. Liu. "A broadband noise-canceling CMOS LNA for 3.1-10.6-GHz UWB receivers" *IEEE J. Solid-State Circuits*, vol. 42, no. 2, pp. 329 - 339, Feb. 2007.

[6] 박정민 et al., "서브샘플링 직접변환 수신기용 5.3GHz 광대역 저잡음 증폭기", *전자공학회 논문지*, 제44권 SD편, 제12호, 77-84쪽, 2007년 12월.

[7] 서미경 et al., "노치필터를 이용한 CMOS Selective 피드백 저잡음 증폭기", *전자공학회논문지*, 제46권 SD편, 제11호, 79-85쪽, 2009년 11월.

[8] R. Gharpurey, "A broadband low-noise front-end amplifier for ultra wideband in 0.13um CMOS," *in Proc. IEEE Custom Integrated Circuits Conf,* pp. 605-608, Oct. 2004.

저 자 소 개

김 혜 원(학생회원)
2010년 이화여자대학교
전자공학과 학사졸업.
2011년 현재 이화여자대학교
전자공학과 석사과정.
<주관심분야 : RF 및 초고속 유선통신용 아날로그 회로설계>

탁 지 영(학생회원)
2010년 이화여자대학교
전자공학과 학사졸업.
2011년 현재 이화여자대학교
전자공학과 석사과정.
<주관심분야 : RF 및 초고속 유선통신용 아날로그 회로설계>

이 진 주(학생회원)
2011년 이화여자대학교
전자공학과 학사졸업.
2011년 현재 이화여자대학교
전자공학과 석사과정.
<주관심분야 : RF 및 초고속 유선통신용 아날로그 회로설계>

신 지 혜(학생회원)
2011년 이화여자대학교
전자공학과 학사졸업.
2011년 현재 이화여자대학교
전자공학과 석사과정.
<주관심분야 : RF 및 초고속 유선통신용 아날로그 회로설계>

박 성 민(평생회원)
1993년 한국과학기술원 전기및 전자공학과 학사졸업.
1994년 런던대학교 전자공학과 석사 졸업.
2000년 임페리얼 공대 전자공학과 박사 졸업.
2011년 현재 이화여자대학교 전자공학과 부교수
<주관심분야 : RF 및 아날로그 회로 설계>