

논문 2011-48SD-12-5

# ESD 설계 마진을 위한 출력드라이버 ESD 내성 연구

( A Study on ESD Robustness of Output Drivers for ESD Design Window Engineering )

김 정 동\*, 이 기 두\*, 최 윤 철\*, 권 기 원\*\*, 진 정 훈\*\*

( Jung-Dong Kim, Gee-Du Lee, Yoon-Chul Choi, Kee-Won Kwon, and Jung-Hoon Chun )

## 요 약

본 논문은 0.13um CMOS 공정에서 적층출력드라이버 ESD 내성에 대하여 조사 하였다. 실제적인 I/O 시스템과 유사하게 프리-드라이버와 파워 클램프를 포함한 적층출력드라이버 회로를 구현하였다. 프리-드라이버 입력 연결 방법과 적층출력드라이버의 NMOS 크기에 따라 8가지 회로를 구성하였으며, TLP 실험을 통해서 HBM 내성을 조사하였다. 그 결과 프리-드라이버의 입력에 전원전압을 인가하고 적층출력드라이버는 가급적 유사한 크기로 진행한 조건이 다른 조건들 보다 높은 항복전류와 항복전압을 보여주었다. 이 테스트 결과를 토대로, 적층출력드라이버의 ESD 내성을 향상시킬 수 있는 설계 가이드를 제안하였다.

## Abstract

This paper investigates the ESD robustness of the stacked output driver with a 0.13um CMOS process. To represent an actual I/O system, we implemented stacked output driver circuits with pre-drivers and a rail-based power clamp. We implemented eight kinds of circuits varying pre-driver input connections and stacked driver size. The test circuits are examined with TLP measurements. It is shown that breakdown current and voltage can be increased by connecting the pre-driver input to a power supply and using stacked devices of a similar size. Based on the test results, design guideline is suggested to improve ESD robustness of the stacked output drivers

**Keywords :** ESD, Electrostatic discharge, HBM, TLP, staked drivers

## I. 서 론

최근 수년간 ESD 보호기술의 발전으로 반도체 공정 및 모듈과 세트 조립라인에서의 ESD 불량은 상당부분이 감소하였다. 반면, 공정기술의 발달과 더불어 회로의 소형화, 고집적화로 반도체 칩 소자의 ESD 내성은 낮아지고 있는 현실이다. 따라서 칩 내부에서의 적절한

ESD 보호대책을 통한 외부로의 정전기 방전이 더욱 중요해지면서 새로운 ESD 보호방법과 보호회로의 개발이 요구 되고 있다<sup>[1]</sup>. 특히 I/O 시스템에서 측방향 BJT의 트리거전압( $V_{t1}$ )이 계속 감소하고, 금속선 저항 증가에 따른 전압강하가 증가하면서 출력드라이버의 설계에 어려움을 주고 있다. 그 결과 적층출력드라이버(stacked output driver)의 연구를 통해 트리거전압( $V_{t1}$ )과 항복전압( $V_{t2}$ )을 향상시켜 ESD 설계 마진을 확대하는 연구가 계속 되어왔다<sup>[2~9]</sup>. 이번 연구는 적층출력드라이버의 Charged Device Model (CDM) ESD 내성 향상에 집중했던 기존연구<sup>[7]</sup>와 달리 Human Body Model(HBM)의 내성 측면에서 실험되었다. 또한 테스트 칩의 구성에 있어서 드라이버 입력부분 연결을 실제

\* 학생회원, \*\* 정회원, 성균관대학교 정보통신공학부 (School of Information & Communication Engineering, Sungkyunkwan University)

※ 이 논문은 2011년도 교육과학기술부의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2011-0014267)

접수일자: 2011년7월29일, 수정완료일: 2011년12월2일

칩 설계와 유사하게 진행하였다. 그 결과 독립된 하나의 소자관점에서 진행된 기존의 Human Body Model(HBM) 연구<sup>[10~11]</sup>와 달리 적층출력드라이버 자체에만 집중하지 않고 프리-드라이버, ESD 보호회로를 비롯한 주변 회로를 추가하여 실제적인 I/O 시스템을 대변하는 조건에서 실험이 진행 되었다.

### II. 테스트 회로 구현

그림 1이 이번 실험에서 구현한 테스트 구조로, 적층출력드라이버가 프리-드라이버에 의해 제어되며 ESD 보호 다이오드, 파워 클램프 그리고 디커플링 커패시터를 포함시켜 현실적인 I/O 시스템을 반영하도록 하였다. 실제적인 칩 설계에서는 프리-드라이버의 입력인 In1과 In2가 입력 데이터 경로로 연결되어지기 때문에 테스트 회로에서는 칩 내부의 저항을 이용하여 Vdd, Vss 파워 레일 중 하나에 연결하는 방법을 적용하였다. 또한 적층출력드라이버를 구성하는 NMOS 트랜지스터

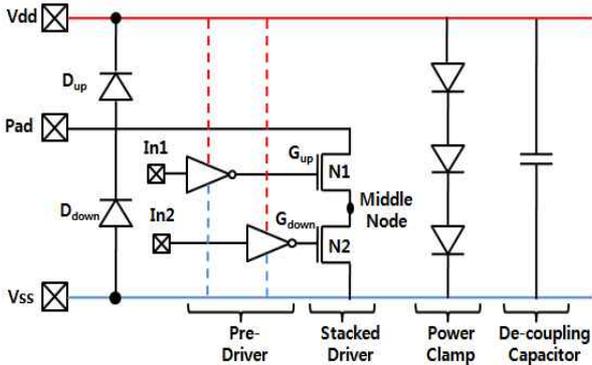


그림 1. 구현된 회로의 간략화된 개념도  
Fig. 1. Schematic of the implemented test circuit.

표 1. 테스트 회로 입력부 연결 요약  
Table 1. The summary of input configurations of the test circuit.

Type	Input connection of pre-driver		Output node of pre-driver under ESD event		Status of each MOS in stacked driver	
	In1	In2	G <sub>up</sub>	G <sub>down</sub>	N1	N2
1	Vdd	Vdd	Vss	Vss	off	off
2	Vdd	Vss	Vss	Vdd	off	on
3	Vss	Vdd	Vdd	Vss	on	off
4	Vss	Vss	Vdd	Vdd	on	on

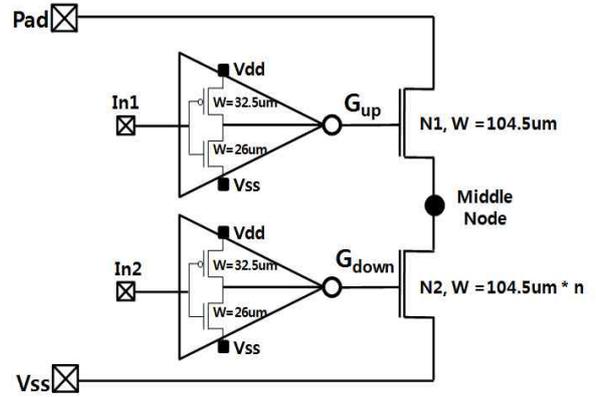


그림 2. 프리-드라이버와 적층출력드라이버의 상세구조. N2 크기는 두 가지로 구분(n = 1, 10)  
Fig. 2. Stacked driver and pre-driver structures. Stacked drivers have different N2 sizes (n = 1, 10).

N1과 N2의 크기 비율을 1:1, 혹은 1:10으로 분리 진행하여 실제로 설계될 수 있는 NMOS 크기 비율에 따른 영향을 검토 하였다. 프리-드라이버의 입력인 In1과 In2의 연결은 표1에 정리하였다. In1과 In2 연결의 모든 가능한 경우가 테스트 될 수 있도록 하였으며, 그 연결 상태에 따라 타입1은 'In1, In2'가 'Vdd, Vdd'로 연결되는 것으로, 타입2는 'Vdd, Vss', 타입3는 'Vss, Vdd', 마지막 타입4는 'Vss, Vss'로 연결되는 것으로 정의하였다.

파워 클램프는 Vdd와 Vss사이에서 다이오드를 직렬로 사용하여 구성하였다. 패드에 양의 ESD가 발생하여 그림 1의 Dup 다이오드를 통해 전류가 도통하여 Vdd의 전압이 상승하였을 때에, Vdd로부터 Vss로의 전류경로를 확보하여 Vdd 전압을 제어하기 위함이다. 그리고 디커플링 커패시터는 두꺼운 게이트 산화막을 갖는 MOS 커패시터를 사용하였다.

그림 2에서 프리-드라이버와 적층출력드라이버의 상세한 구조를 확인할 수 있다. 적층출력드라이버의 N1, N2 소자는 트리거전압 감소를 막기 위해서 분리된 확산 영역을 갖는 레이아웃으로 설계 하였다<sup>[7]</sup>.

### III. 실험 결과

#### 1. 평가 기술

Human Body Model(HBM)과 유사한 조건을 적용하기 위해, 100ns 펄스폭과 10ns의 상승시간을 갖는 Transmission Line Pulse(TLP)를 이용하였다. Vss를 기준으로 양의 펄스를 단계적으로 증가시키면서 패드에

인가하고 각 단계마다 펄스 제거 후 패드전압 0.3V 조건에서 누설전류를 측정하였다. 누설전류가 초기 값과 비교하여 급격히 증가하면 이 시점에서 ESD 불량이 발생한 것으로 판단하며, 이 시점의 패드전압과 패드전류를 항복전압( $V_{t2}$ ), 항복전류( $I_{t2}$ )로 정의한다.

## 2. 평가 결과

그림 3은 테스트 회로의 TLP 측정 전압-전류 곡선이며, 3개 이상의 시료를 동일 조건에서 평가하여 재현성 있는 결과임을 확인하였다. 결과적으로  $I_{n2}$ 가 Vdd에 연결되어 N2가 'off' 상태인 타입1과 타입3에서 상대적으로 높은 항복전압( $V_{t2}$ )과 항복전류( $I_{t2}$ )를 보여주었

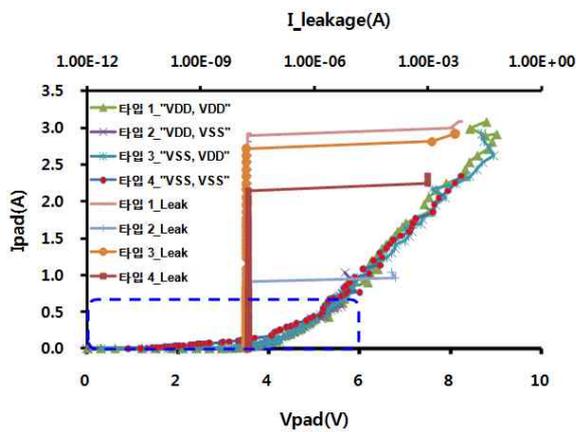
표 2. 측정 결과 요약

Table 2. The summary of the measurement results.

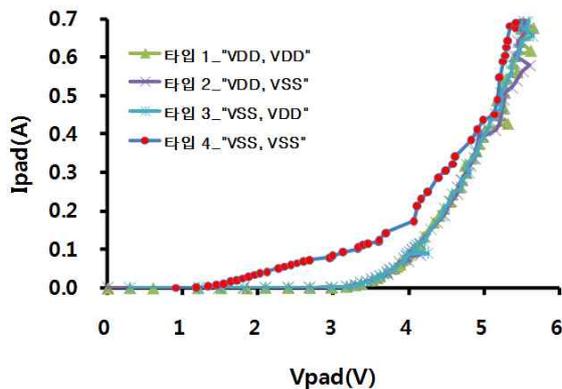
Type	Input connection of pre-driver		Size ratio			
			N1: N2 = 1:1		N1: N2 = 1:10	
	In1	In2	$I_{t2}$ [A]	$V_{t2}$ [V]	$I_{t2}$ [A]	$V_{t2}$ [V]
1	Vdd	Vdd	3.23	8.7	2.03	7.21
2	Vdd	Vss	0.9	5.71	1.01	5.59
3	Vss	Vdd	3.05	8.82	2.86	8.14
4	Vss	Vss	2.34	7.5	0.455	3.55

다. 이들 경우에 패드에서의 전압이 약 8.7V가 되어야 항복이 발생하였으며 다른 타입과 비교하여  $V_{t2}$ 는 1~3V 정도,  $I_{t2}$ 는 1.5~3배 정도 높은 결과를 가져왔다. 따라서 HBM ESD 내성의 높고 낮음은 적층출력드라이버를 구성하는 소자 중 아래쪽 NMOS의 'on', 'off' 상태에 의해 결정되는 것으로 확인된다. 표 2에 모든 타입의 항복전압( $V_{t2}$ )과 항복전류( $I_{t2}$ )를 정리하였다.

전체적인 테스트 회로의 동작과 타입별 항복전압( $V_{t2}$ )과 항복전류( $I_{t2}$ )가 결정되는 메커니즘은 그림3의 TLP 측정 결과를 토대로 다음과 같이 설명될 수 있다. 우선 ESD 스트레스가 인가된 상황에서 테스트 회로의 동작을 살펴보면, 패드 전압이 0.7V로 상승하기까지는 패드와 Vdd간 Dup 다이오드가 도통 되지 못해 내부로의 전류는 거의 발생하지 않으며, 패드 전압이 0.7V 이상으로 더 상승하면 Dup 다이오드가 도통 되고 디커플링 커패시터에 충전이 시작되면서 Vdd 전압이 상승하게 된다. 이때 Vdd에 연결된  $I_{n1}$  또는  $I_{n2}$ 의 전압은 상승 하겠지만 프리-드라이버를 구성하는 트랜지스터의 문턱전압에 미치지 못하여 프리-드라이버를 제대로 동작시킬 수는 없다. 결과적으로 모든 입력 조건에서 적층출력드라이버를 구성하는 소자는 유사한 상태가 되며 N1, N2의 게이트 전압이 문턱전압 이하이기 때문에 드라이버를 통한 전류는 발생하지 않는다. 이 부분은 그림 3에서 1.4V까지의 패드 전압범위에 해당되며, 이때 적층드라이버의 중간노드(middle node)는 플로팅 상태가 되고 그 전압은 N1과 N2의 커패시턴스 비에 의해 결정 될 것으로 판단된다. 패드 전압이 1.4V를 넘어가면, 적층드라이버의 입력 조건 중 N1, N2의 채널이 도통되는 조건인 타입4에서만 적층드라이버를 통한 전류가 발생하면서 나머지 타입과 구별되기 시작한다. 또한 적층드라이버의 중간노드 전압 관점에서도 차이가 발생하는 것이 예측 가능한데, 우선 타입1의 중간노드는 여



(a)



(b)

그림 3. 모든 테스트 회로의 TLP 측정 결과 (n=1). (a) 모든 경우의 항복현상 포함한 전압-전류 곡선 b) (a) 그림의 낮은 전류 부분을 확대

Fig. 3. TLP results of all test circuits (n=1) (a) All curves are shown up to  $V_{t2}$  and  $I_{t2}$  (b) The low-current region of Fig. 3(a) is enlarged.

전히 커패시턴스 비에 의해 결정되고, 타입2는 N2가 도통되어 중간노드는 V<sub>SS</sub>를 따라가게 된다. 그리고 타입3은 N1이 도통되어 중간노드 전압은 N1의 게이트 전압에서 문턱전압만큼 떨어진 상태가 된다. 반면 타입4는 N1, N2 모두 도통되기 때문에 중간노드 전압은 적층출력드라이버 상하 NMOS의 온저항 비에 의해서 결정되고 패드 전압을 따라 증가하게 된다. 이러한 경향은 파워 클램프가 도통되기 전까지 유지된다. 패드 전압이 증가하여 3V 이상이 되면 파워클램프가 도통되어 타입 1, 2, 3에서도 많은 전류가 흐르기 시작한다. 패드 전압이 5V 이상 상승하면 파워 클램프를 통한 전류가 전체 전류의 대부분을 차지하게 되어, 모든 타입이 유사한 전압-전류 기울기를 보이게 된다. 이때 파워 클램프의 V<sub>DD</sub>와 V<sub>SS</sub>간 전압과 적층출력드라이버의 게이트 전압이 더 이상 증가하지 않고 포화가 되는데, 그 결과 계속되는 패드전압의 상승으로 인한 ESD 스트레스는 적층출력드라이버에 주로 가해지고 적층출력드라이버 드레인과 소스간의 높은 전압차이로 인해 ESD 불량이 발생하게 되는 것이다.

다음으로 타입별 V<sub>t2</sub>와 I<sub>t2</sub>가 결정되는 메커니즘을 살펴보자. 타입1의 경우, 패드 전압 상승에 의하여 프리-드라이버를 동작시킬 수 있는 V<sub>DD</sub> 전압이 생성되면 N1과 N2모두 채널이 닫힌 상태가 된다. 이 경우 적층출력드라이버를 통한 전류 흐름은 없고, 그 결과 중간노드 전압은 N1과 N2의 커패시턴스 비에 의해 결정되기 때문에 패드 전압의 약 절반 정도로 중간노드 전압이 결정되어 높은 HBM ESD 내성을 보이게 된다. 타입2는 N1은 'off', N2는 'on' 상태인 경우로 중간노드 전압은 V<sub>SS</sub>에 근접하게 되고 모든 ESD 스트레스는 N1

에 가해져 상대적으로 낮은 HBM ESD 내성을 나타낸다. 타입3의 경우 N1은 'on', N2는 'off' 상태가 된다. 이때 N2는 'off' 상태로 높은 저항을 보이며 전류가 흐르지 않고 중간노드 전압은 N1의 게이트 전압보다 문턱전압만큼 낮은 전압을 갖게 된다. 그렇기 때문에 N2의 소스와 드레인간 걸리는 전압이 상대적으로 작아 타입1과 비슷한 수준의 높은 HBM ESD 내성을 보인다. 마지막으로 타입4는 N1과 N2 모두 'on' 상태로 중간노드 전압은 N1과 N2의 온저항 비에 의해 결정되어 ESD 스트레스는 N1과 N2에 나눠져서 가해지게 되어 타입2보다는 높고 타입1과 타입3보다는 낮은 수준을 갖는다.

그림 4는 N1과 N2의 크기 비가 1:10인 경우의 TLP 결과이다. N2의 크기가 커지면서 N2의 커패시턴스는 증가하고 온저항은 감소하기 때문에 V<sub>t2</sub>는 모든 타입에서, I<sub>t2</sub>는 타입2를 제외한 나머지 타입에서 감소하는 경향을 확인할 수 있다. 특히 타입4는 N2의 온저항이 N1과 비교해 뚜렷하게 작아져 N1에 대부분의 ESD 스트레스가 가해지게 되어 1:1 크기일 때의 결과와 비교하면 4V정도의 V<sub>t2</sub> 감소와 더불어 I<sub>t2</sub>는 1/4로 감소한 것을 확인할 수 있다. 반면에 N2의 커패시턴스와 온저항 변화가 동작 메커니즘에 미치는 영향이 미미한 타입2와 타입3은 의미 있는 V<sub>t2</sub>와 I<sub>t2</sub>의 변화를 볼 수 없다. N1과 N2의 크기 비에 따른 V<sub>t2</sub>, I<sub>t2</sub> 결과도 표 2에 함께 정리하였다.

모든 실험 결과를 종합해보면 ESD 발생 시 프리-드라이버의 입력이 V<sub>DD</sub>로 연결되게 하여 적층출력 드라이버가 'off'상태를 유지 하도록 하고, 동시에 적층 출력드라이버의 NMOS 크기를 유사하게 설계 하는 것이 우수한 HBM 내성을 얻을 수 있음을 알 수 있다.

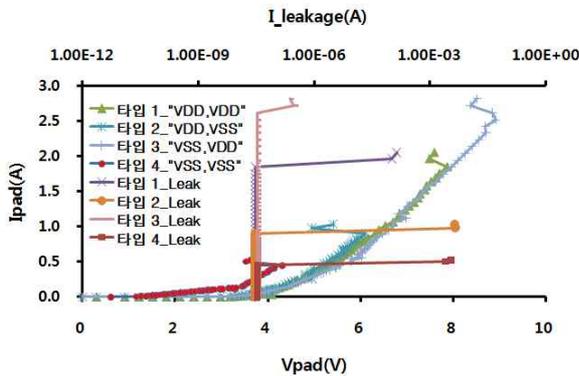


그림 4. 모든 테스트 회로의 TLP 결과 (n=10).  
 Fig. 4. TLP results of the entire test circuit (n=10).

#### IV. ESD 불량 발생 위치

그림 5(a)는 테스트 회로의 레이아웃으로 출력드라이버와 이와 연결된 ESD 다이오드, 파워 클램프 등을 확인할 수 있으며, 그림 5(b)에 드라이버 부분을 확대하여 도시하였다.

그림 6은 ESD 스트레스에 의한 과전류 불량 발생 위치를 확인할 수 있는 Hot Electron Analyzer (HEA)를 이용한 Emission Microscopy Analysis(EMA) 결과이다.

앞 실험 결과에서 예상했듯이 적층출력드라이버 중에서 ESD 스트레스가 더 많이 가해지는 소자인, 타입1

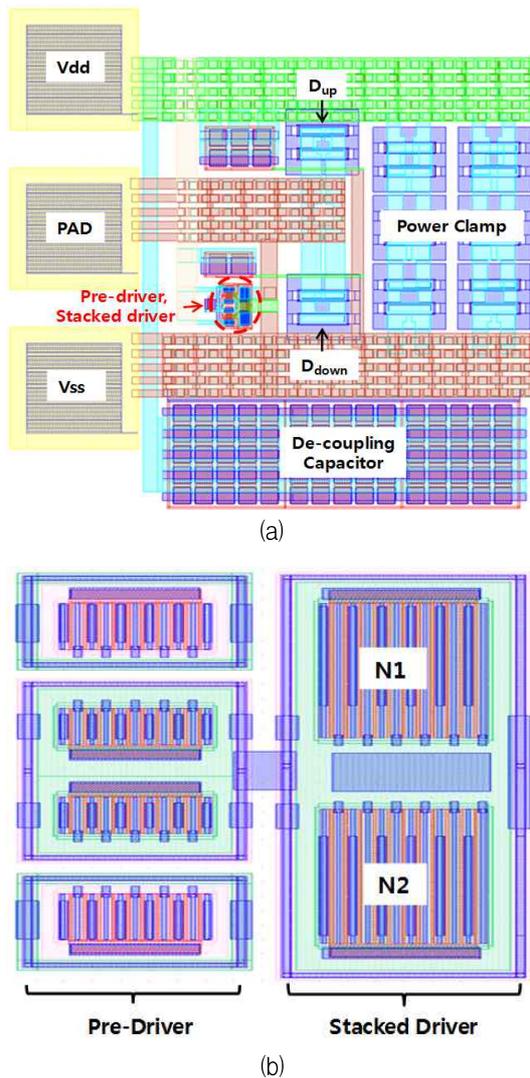


그림 5. 테스트 회로 레이아웃 (n=1)  
 (a) 전체 테스트 회로 레이아웃  
 (b) 드라이버 확대한 레이아웃  
 Fig. 5. Layout of the test circuit (n=1)  
 (a) Test circuit layout  
 (b) The driver region of Fig. 5(a) is enlarged.

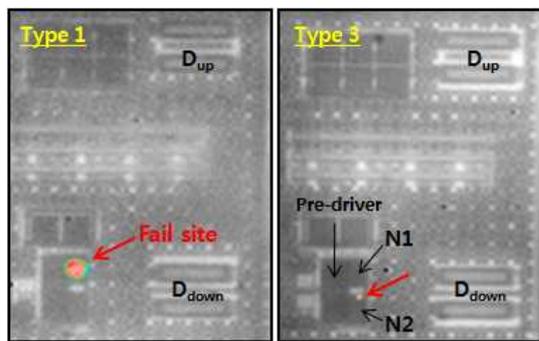


그림 6. 타입1과 타입3의 emission microscopy 분석 사진 (n=1)  
 Fig. 6. Emission microscopy analysis for Type1 and Type3 (n=1).

은 N1 타입3은 N2 NMOS에서 ESD 불량에 발생한 것을 확인할 수 있다.

### V. 결 론

이 연구는 기존의 적층출력드라이버 회로만을 통한 ESD 내성 연구들과 달리, 실제적인 I/O 시스템과 유사하게 프리-드라이버, ESD 로컬 다이오드, 파워 클램프 등을 삽입한 적층출력드라이버 구조를 구현하여 HBM과 유사한 조건인 TLP로 테스트 회로의 ESD 내성을 조사하였다. 실험 결과 프리-드라이버 입력 연결조건과 적층출력드라이버의 상하 소자 크기 비에 따라 1~3V의 항복전압 및 1~2A의 항복전류 차이를 보이며 HBM 내성에 많은 영향을 주고 있음을 확인 하였다. 추후 적층출력드라이버 구조 설계 시에 ESD 상황에서 프리-드라이버의 입력이 Vdd로 연결되도록 내부 회로를 구성함과 동시에 적층출력드라이버의 NMOS는 가급적 유사한 크기로 설계하여, 항복전압( $V_{t2}$ )과 항복전류( $I_{t2}$ )를 증가시켜 높은 HBM ESD 내성을 확보 할 것을 제안한다.

### 참 고 문 헌

- [1] O. Semenov, H. Sarbishaei, M. Sachdev, "ESD Protection Device and Circuit Design for Advanced CMOS Technologies," Springer, 2008.
- [2] W. R. Anderson and D. B. Krakauer, "ESD protection for mixed-voltage I/O using NMOS transistors stacked in a cascode configuration," Proc. of EOS/ESD Symposium, pp. 54-62, 1998.
- [3] J. W. Miller, M. G. Khazhinsky, J. C. Weldon, "Engineering the cascaded NMOS Output buffer for maximum  $V_{t1}$ ," Proc. of EOS/ESD Symposium, pp. 308-317, 2000.
- [4] S. Voldman, J. Never, S. Holmes, J. Adkisson, "Linewidth Control Effects on MOSFET ESD Robustness," Proc. of EOS/ESD Symposium, pp. 101-109, 1996.
- [5] K. Chatty, D. Alvarez, M. J. Abou-Khalil, C. Russ, J. Li and R. Gauthier, "Investigation of ESD performance of silicide-blocked stacked NMOSFETs in a 45nm bulk CMOS technology," Proc. of EOS/ESD Symposium, pp. 304-312, 2008.
- [6] T. Suzuki et al., "A study of ESD robustness of cascaded NMOS driver," Proc. of EOS/ESDSymposium, pp. 403-407, 2007.

[7] S. Cao, J.-H. Chun, E. Choi, S. Beebe, W. R. Anderson, R. W. Dutton, "Investigation on Output Driver with Stacked Devices for ESD Design Window Engineering," Proc. of EOS/ESD Symposium, pp. 1-8, 2010.

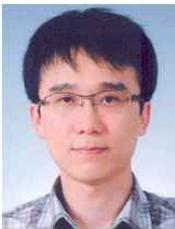
[8] V. Vashchenko, A. Concannon, M. Beek, P. Hopper, "Physical Limitation of the Cascoded Snapback NMOS ESD Protection Capability Due to the Non-Uniform Turn-Off," IEEE Transactions on Device and Materials Reliability, Vol. 4, No. 2, pp. 281-291, 2004.

[9] J.-H. Lee, J. R. Shih, Y. H. Wu, T. C. Ong, "The Failure Mechanism of High Voltage Tolerance IO Buffer under ESD," Proc. of International Reliability Physics Symposium, pp. 269-276, 2003

[10] 최진영, 송광섭, "HBM ESD 현상의 혼합모드 과도해석," 전자공학회논문지, 제 38권, SD편, 제1호, 1-12쪽, 2001년 1월

[11] 박재영, 송종규, "고전압 집적회로를 위한 래치업-프리 구조의 HBM 12kV ESD 보호회로," 전자공학회논문지, 제 46권, SD편, 제1호, 1-6쪽, 2009년 1월.

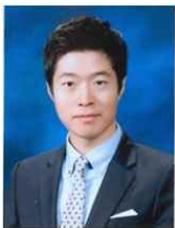
저 자 소 개



김 정 동(학생회원)  
 2002년 고려대학교 재료공학과  
 학사 졸업  
 2002년~현재 삼성전자(주)  
 QA팀 책임연구원  
 2010년~현재 성균관대학교  
 정보통신공학부 석사과정  
 <주관심분야 : 신뢰성 평가 연구 및 ESD>



이 기 두(학생회원)  
 1999년 한양대학교 물리학과  
 학사 졸업  
 2001년 한양대학교 물리학과  
 석사 졸업  
 2001년~현재 삼성전자(주)  
 제품기술팀 책임연구원  
 2010년~현재 성균관대학교  
 정보통신공학부 박사과정  
 <주관심분야 : ESD>



최 윤 철(학생회원)  
 2011년 성균관대학교 전자공학부  
 학사 졸업  
 2011년~현재 성균관대학교  
 정보통신공학부 석사과정  
 <주관심분야: ESD 및  
 high-speed serial link>



권 기 원(정회원)  
 2001년 Stanford Univ.  
 재료공학과 박사 졸업.  
 2001년~2006년 삼성전자(주)  
 DRAM개발실 수석연구원  
 2007년~현재 성균관대학교  
 정보통신공학부 부교수  
 <주관심분야 : 메모리IP, 아날로그/디지털 Mixed  
 mode 설계>



전 정 훈(정회원)  
 2006년 Stanford Univ.  
 전기공학과 박사 졸업.  
 2006년~2008년 Rambus Inc.  
 2008년~현재 성균관대학교  
 정보통신공학부 조교수

<주관심분야 : High-speed serial link,  
 Mixed-signal 설계, ESD 및 신뢰성 연구>