

논문 2011-48SD-12-2

고내압 전력 스위칭용 AlGaIn/GaN-on-Si HEMT의 게이트 전계판 구조 최적화에 대한 이차원 시뮬레이션 연구

(Two-dimensional Simulation Study on Optimization of Gate Field Plate Structure for High Breakdown Voltage AlGaIn/GaN-on-Si High Electron Mobility Transistors)

이 호 중*, 조 준 형**, 차 호 영***

(Ho Jung Lee, Chun-Hyung Cho, and Ho-Young Cha)

요 약

본 논문에서는 이차원 소자 시뮬레이션을 활용하여 주어진 게이트-드레인 간격에서 AlGaIn/GaN-on-Si HEMT (high electron mobility transistor)의 고향복전압 구현을 위한 게이트 전계판의 최적화 구조를 제안하였다. 게이트 전계판 구조를 도입하여 게이트 모서리의 전계를 감소시켜 항복전압을 크게 증가시킬 수 있음을 확인 하였으며, 이때 전계판의 길이와 절연막의 두께에 따라 게이트 모서리와 전계판 끝단에서 전계분포의 변화를 분석하였다. 최적화를 위하여 시뮬레이션을 수행한 결과, 1 μm 정도의 짧은 게이트 전계판으로도 효과적으로 게이트 모서리의 전계를 감소시킬 수 있으며 전계판의 길이가 너무 길어지면 전계판과 드레인 사이의 남은 길이가 일정 수준 이하로 감소되어 오히려 항복전압이 급격하게 감소함을 보였다. 전계판의 길이가 1 μm 일 때 최대 항복전압을 얻었으며, 게이트 전계판의 길이를 1 μm 로 고정하고 SiN_x 박막의 두께를 변화시켜본 결과 게이트 모서리와 전계판 끝단에서의 전계가 균형을 이루면서 항복전압을 최대로 할 수 있는 최적의 SiN_x 박막 두께는 200~300 nm 인 것으로 나타났다.

Abstract

The optimal geometry of the gate field plate in AlGaIn/GaN-on-Si HEMT has been proposed using two-dimensional device simulation to achieve a high breakdown voltage for a given gate-to-drain distance. It was found that the breakdown voltage was drastically enhanced due to the reduced electric field at the gate corner when a gate field plate was employed. The electric field distribution at the gate corner and the field plate edge was investigated as functions of field plate length and insulator thickness. According to the simulation results, the electric field at the gate corner can be successfully reduced even with the field plate length of 1 μm . On the other hand, when the field plate length is too long, the distance between field plate and drain electrode is reduced below a critical level, which eventually lowers the breakdown voltage. The highest breakdown voltage was achieved with the field plate length of 1 μm . According to the simulation results varying the SiN_x film thickness for the fixed field plate length of 1 μm , the optimum thickness range of the SiN_x film was 200 - 300 nm where the electric field strength at the field plate edge counterbalances that of the gate corner.

Keywords : AlGaIn/GaN-on-Si HEMT, breakdown voltage, electric field, field plate

* 학생회원, *** 정회원, 홍익대학교 전자전기공학부

(School of Electronic and Electrical Engineering, Hongik University)

** 정회원, 홍익대학교 조치원캠퍼스 전자전기공학과

(Department of Electronic and Electrical Engineering, Hongik University)

※ 이 논문은 2010년도 지식경제부의 재원으로 한국에너지기술평가원 (KETEP)의 지원을 받아 수행한 연구 과제임. (No. 20101020300470).

※ 이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임. (No. 2011-0004995)

접수일자: 2011년8월9일, 수정완료일: 2011년12월2일

I. 서 론

전력 스위칭소자는 고출력, 고효율 특성을 위해 높은 항복전압과 낮은 온 저항이 동시에 실현 되어야 한다. 이러한 면에서 볼 때 현재 전력시장에서 대부분을 차지하고 있는 실리콘 기반의 전력소자는 물질자체의 이론적인 한계에 다다라서 더 이상의 특성향상을 기대하기 힘들다. 넓은 에너지밴드갭을 가지는 물질은 이와 같은 실리콘 기반 전력반도체의 현실적 한계성을 타개할 수 있는 이상적인 방안으로 주목되어 왔다. 그 중에서 질화갈륨(GaN) 기반의 전력반도체는 높은 항복전계(3.4 MV/cm)를 가지고 있어 큰 항복전압을 구현할 수 있을 뿐 아니라 AlGaN/GaN 이중접합 구조의 계면에 높은 면전하밀도($>1 \times 10^{13} \text{ cm}^{-2}$)가 발생하여 온 저항이 작기 때문에 차세대 전력 스위칭 소자로 최근 집중적인 연구가 이루어지고 있다.^[1~3] 특히, GaN 전력소자의 시장 진입 가능성 측면에서 실리콘 기판을 활용한 AlGaN/GaN-on-Si 웨이퍼에 대한 연구가 활발하게 진행되고 있다.^[4]

AlGaN/GaN 이중접합 기반의 HEMT를 이용한 전력소자에서 높은 항복전압을 구현하고 역방향 게이트 누설전류의 감소를 위해 여러 가지 방안이 제안되었으며,^[5~8] 그 중 전계판을 이용한 방법은 게이트 아래에 국부적으로 집중되는 높은 전계를 전계판 아래로 분산시켜주는 효과를 이용하여 항복전압을 증가시키는 방법이다. 이는 소자의 채널 길이를 증가시키지 않고도 항복전압의 향상을 얻을 수 있다는 장점이 있지만 너무 길거나 짧은 전계판은 게이트 모서리에서와 전계판 아래에서의 전계를 효과적으로 분산시키지 못하기 때문에 세심한 구조적 최적화가 요구된다. 전계판 구조는 일반적으로 절연막 위에 놓이게 되는데 AlGaN/GaN HEMT의 경우 표면 passivation 용으로 SiN_x 막을 사용하는 경우가 많고^[9] 이를 전계판 공정에 활용할 수 있다. 이 때 절연막의 두께에 따라 전계판과 소자표면에 인가되는 전압차가 발생하게 되어 게이트 모서리의 전계감소 정도나 전계판 끝단에서의 전계분포가 변화하게 된다. 따라서 주어진 채널길이에서 전계판의 길이와 함께 절연막의 두께에 대한 최적화가 함께 요구된다.

본 논문에서는 게이트 모서리에서와 전계판 아래에서의 전계를 가장 효과적으로 분산시킬 수 있는 최적의 전계판 길이와 SiN_x 막 두께를 이차원 시뮬레이션을 수행하여 도출하였으며 분석을 위하여 표면근처에서의 일

차원 전계분포 뿐만 아니라 에피층 내부에서의 이차원 전계분포를 함께 비교하였다.

II. 시뮬레이션

1. 소자구조 및 시뮬레이션에 사용된 모델

그림 1은 본 연구에서 사용된 소자의 기본 구조를 나타낸다. 에피구조는 5 μm 두께의 GaN 버퍼층 위에 175 Å의 Al_{0.26}Ga_{0.74}N 장벽층이 있고, 그 위에 20 Å의 GaN 층이 존재하는 GaN/AlGaN/GaN 구조로 이루어져 있다. 소스와 드레인 전극은 모두 AlGaN/GaN 이중접합면에서 이차원 양자우물채널이 형성되는 부분에 맞닿아 오믹접촉이 이루어져 있으며 접촉저항은 무시하였다. 게이트는 표면 GaN 층 위에 게이트 전계판과 공통전극으로 연결되어 존재한다. 기판은 전도성이 있는 실리콘을 사용하였으며 에피층 성장을 위한 전이층으로 0.4 μm 두께의 AlN 층이 삽입되었다. 소스와 게이트 전극 사이의 거리(L_{sg})는 3 μm, 게이트 길이(L_g)는 2 μm, 게이트와 드레인 전극 사이의 길이(L_{gd})는 10 μm이다. 전계판 구조의 최적화를 위하여 전계판의 길이(L_{fp})는 0~5 μm까지 변화시켰으며 SiN_x 막의 두께는 120~700 nm 까지 변화시켰다.

본 연구는 상용 이차원 소자 시뮬레이터인 Silvaco-Atlas를 이용하였으며 사용된 주요모델은 다음과 같다. 전자이동도 모델은 강전계 효과에 의한 포화이동속도를 고려하기 위해 parallel electric field dependent mobility 모델을 기본적으로 적용 하였다. 재결합 모델은 Shockley-Read-Hall recombination 모델을 사용하

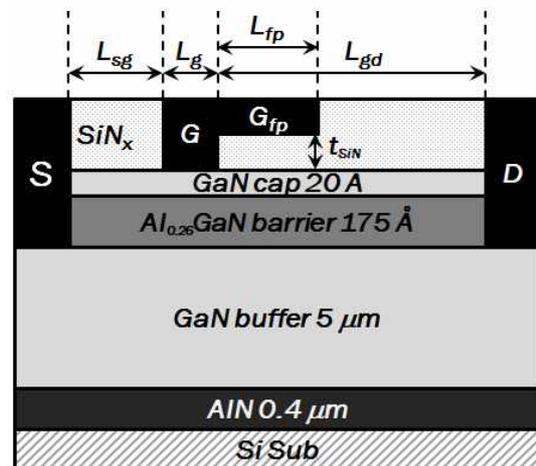


그림 1. 시뮬레이션에 사용된 AlGaN/GaN HEMT 소자의 구조

Fig. 1. AlGaN/GaN HEMT structure used in simulation.

였고 항복전압 특성 분석에서 중요한 impact 모델은 Selberherr impact ionization 모델을 사용하였다.

$$G = \alpha_n |\vec{J}_n| + \alpha_p |\vec{J}_p| \quad (1)$$

$$\alpha_n = AN \exp \left[- \left(\frac{BN}{E} \right)^{BN} \right] \quad (2)$$

여기서 G 는 impact generation rate, α_n 은 impact ionization coefficient이고 AN, BN, BN 은 상수이다.^[10]

GaN와 AlGaIn층의 격자상수 차이에 의해 AlGaIn 층에서 발생하는 분극현상(polarization effect)을 다음과 같이 고려하였다.

$$P_{tot} = P_{sp} + P_{pe} \quad (3)$$

$$P_{pe} = 2 \frac{a_s - a_0}{a_0} (E_{31} - \frac{C_{13}}{C_{33}} E_{33}) \quad (4)$$

여기서 P_{tot} 는 전체 분극, P_{sp} 는 자발분극, P_{pe} 는 압전분극이고 a_s 는 GaN층의 격자상수, a_0 는 AlGaIn

표 1. 시뮬레이션에 사용된 분극 파라미터
Table 1. Polarization parameters used in simulation.

| Polarization parameter | GaN | AlGaIn |
|-------------------------------|------------------------|------------------------|
| P_{sp} (C/cm ²) | -3.4×10^{-6} | -4.45×10^{-6} |
| a (Å) | 3.189 | 3.169 |
| E_{31} (C/cm ²) | -0.37×10^{-4} | -0.38×10^{-4} |
| E_{33} (C/cm ²) | 0.69×10^{-4} | 0.89×10^{-4} |
| C_{13} (GPa) | 106 | 104.2 |
| C_{33} (GPa) | 398 | 395.7 |

표 2. 시뮬레이션에 사용된 물질 파라미터
Table 2. Material parameters used in simulation.

| Material parameter | GaN | AlGaIn |
|---|------|--------|
| Electron affinity (eV) | 4.1 | 3.528 |
| Energy bandgap (eV) | 3.51 | 4.222 |
| Relative permittivity | 8.9 | 8.8 |
| Low field electron mobility (cm ² /V·s) | 1000 | 775 |
| Saturation velocity ($\times 10^7$ cm/s) | 2.0 | 1.5 |
| Conduction band density of states ($\times 10^{18}$ cm ⁻³) | 2.07 | 3.15 |
| Valence band density of states ($\times 10^{19}$ cm ⁻³) | 1.16 | 13.5 |

층의 격자상수이며 그 값은 표 1에 정리되어있다.^[11]

시뮬레이션에서 소스와 드레인 전극은 이상적인 오믹접촉으로 가정하였고 게이트 전극의 쇼트키 장벽은 1.2 eV로 가정하였다. 시뮬레이션에 사용된 전자친화도, 에너지 밴드갭, 유전율, 이동도, 전자 포화 속도, 유효상태밀도 등 물질 파라미터는 표 2에 정리되어있다.

2. 시뮬레이션 결과 및 토의

가. 게이트 전계판 길이에 따른 항복전압 특성

게이트 전계판의 길이에 따른 효과를 알아보기 위해 $L_{gd} = 10 \mu\text{m}$, $\text{SiN}_x = 300 \text{ nm}$ 에서 게이트 전계판의 길이를 0, 1, 2, 3, 4, 5 μm 로 변화시켜가며 시뮬레이션을 진행하였다. 소자의 off-state 항복특성을 알아보기 위하여 $V_{gs} = -10 \text{ V}$ 를 인가하여 핀치오프 시킨 상태에서 드레인 전압을 증가하면서 게이트 누설전류를 확인하였다. 그림 2는 전계판 길이에 따른 게이트 누설전류 특성을 나타내며 항복전압의 기준을 게이트 전류밀도가 1 mA/mm에 다다랐을 때로 가정하였을 때 전계판이 없는 소자의 경우 항복전압이 $V_{ds} = 400 \text{ V}$ 인데 비하여 1 μm 전계판을 도입하였을 때 최고 약 1200 V 정도까지 증가하는 것으로 나타났다. 그리고 전계판 길이가 3 μm 이상이 되면 항복전압이 눈에 띄게 감소되는 것으로 나타났다.

전계판 길이에 따른 항복특성의 변화를 분석하기 위하여 소자내부의 전계분포를 비교, 분석하였다. 그림 3은 $V_{gs} = -10 \text{ V}$, $V_{ds} = 400 \text{ V}$ 에서 게이트 전계판의 길이에 따라 AlGaIn/GaN 사이의 양자우물채널을 따라 형

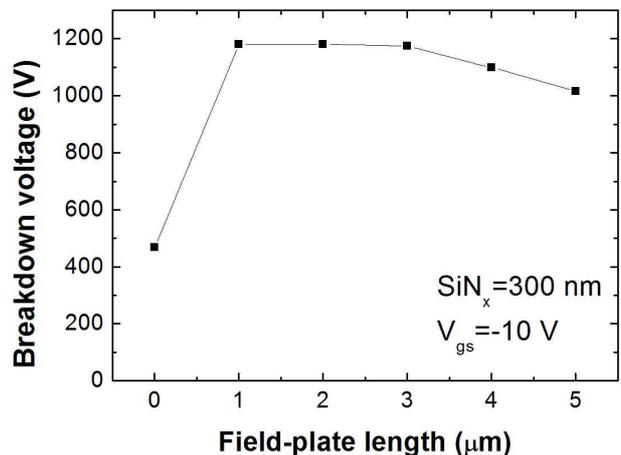


그림 2. 핀치오프 상태에서 게이트 전계판의 길이에 따른 항복전압의 변화

Fig. 2. Breakdown voltage as a function of field plate length.

성되는 일차원 전계분포의 변화를 보여준다. 게이트 전계판이 없는 경우 게이트 모서리에 국부적으로 매우 높은 전계가 인가되어 이미 항복현상이 발생할 것으로 예상된다. 반면에 게이트 전계판을 사용하는 경우 게이트 전계판이 존재하지 않는 구조와 비교하여 게이트 모서리에서의 전계가 감소되고 전계판의 끝단에 새로운 피크가 형성되는 현상이 나타난다. 이 때 게이트 모서리에서의 전계는 1 μm 의 짧은 전계판 길이에서도 매우 효과적으로 감소되는 것으로 확인되었다.

그림 2로부터 게이트 전계판의 길이가 1~3 μm 에서는 항복전압이 비슷하지만 3 μm 이상의 길이에서부터 항복전압이 감소하는 것을 확인 할 수 있다. 이것은 게이트 전계판의 길이가 증가하면서 게이트 전계판과 드레인 전극 사이의 거리가 감소하게 되어 좁은 공간에서 급격한 전위차가 발생하여 전계가 높아지기 때문이다. 이와 같은 현상은 소자내부의 이차원적 impact generation rate을 비교함으로써 명확하게 확인된다. 그림 4는 핀치오프 상태에서 $V_{ds} = 1000 \text{ V}$ 가 인가되었을 때 게이트 전계판의 길이에 따른 impact generation rate의 이차원적 분포를 보여준다. 게이트 전계판은 게이트와 공통전극으로 연결되어 있기 때문에 대부분의 전압이 게이트 전계판 끝단으로 부터 드레인 전극 사이에 인가된다. 따라서 앞서 언급하였듯이 좁은 간격에서 전압차가 급격하게 변하여 상대적으로 더 높은 전계가 발생하고 이로 인해 발생하는 높은 impact generation 이 항복전압 감소의 주된 원인이 된다.

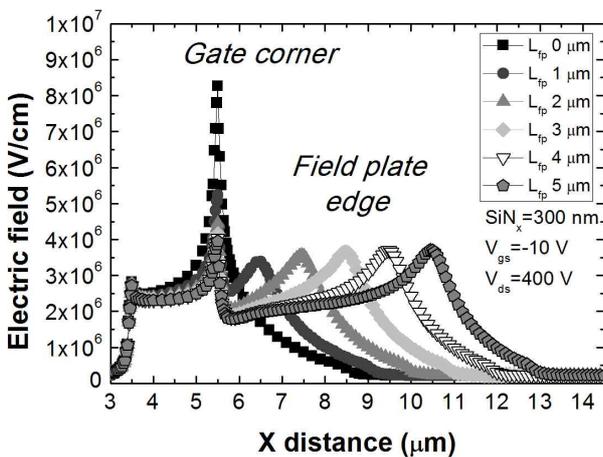


그림 3. $V_{ds} = 400 \text{ V}$ 에서 게이트 전계판의 길이에 따른 양자우물채널을 따라 형성되는 일차원 전계분포

Fig. 3. One-dimensional electric field distribution along the quantum well channel at $V_{ds} = 400 \text{ V}$ as a function of the gate field plate length.

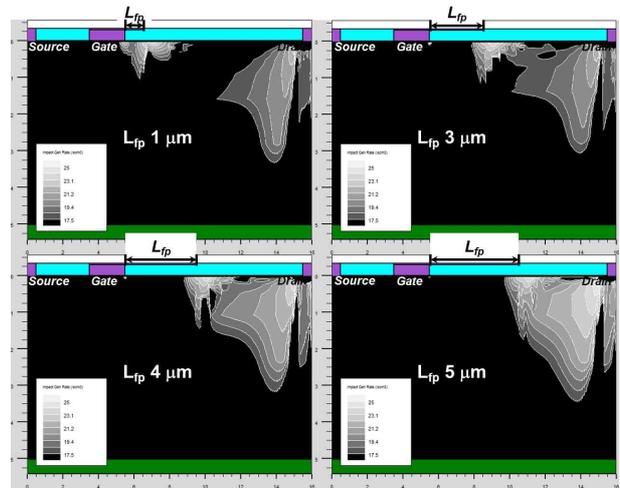


그림 4. $V_{gs} = -10 \text{ V}$, $V_{ds} = 1000 \text{ V}$ 에서 게이트 전계판 길이에 따른 이차원적 impact generation rate 분포.

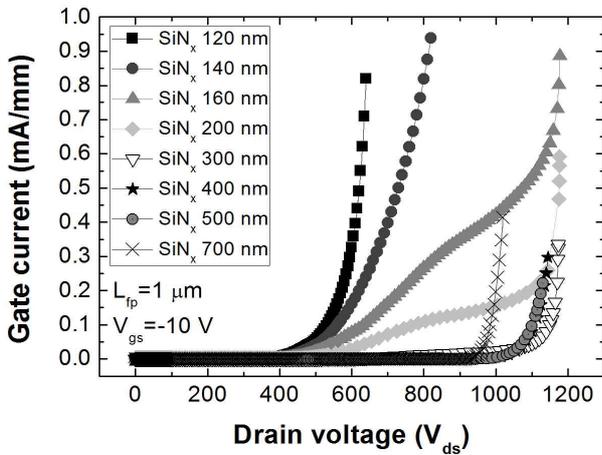
Fig. 4. Two-dimensional distribution of impact generation rate at $V_{gs} = -10 \text{ V}$ and $V_{ds} = 1000 \text{ V}$ as a function of the field plate length.

나. 절연막의 두께에 따른 항복전압 특성

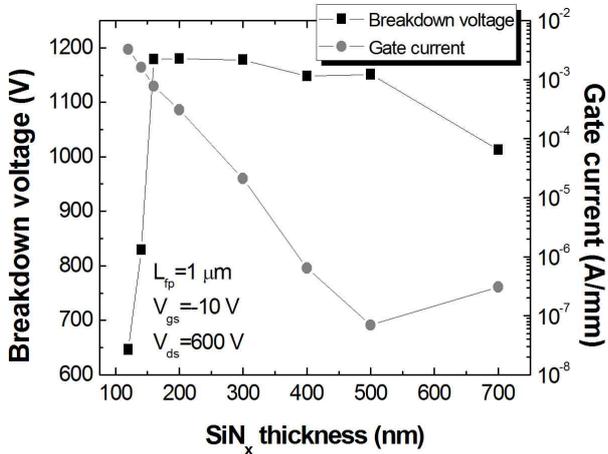
SiN_x 절연막의 두께에 따른 영향을 알아보기 위하여 게이트 전계판의 길이를 1 μm 로 고정시켜 놓은 상태에서 앞서 사용된 $V_{gs} = -10 \text{ V}$ 의 핀치오프 상태에서 SiN_x 절연막의 두께를 120~700 nm 까지 변화 시켜 가며 시뮬레이션을 진행하였다. 그림 5 (a)와 (b)는 SiN_x 절연막의 두께에 따른 게이트 누설 전류 특성을 보여준다. SiN_x 절연막 두께가 증가할수록 항복전압이 증가하다가 160 nm이상의 두께에서는 항복전압이 포화 되고 300 nm 이상이 되면서 약간 감소하기 시작하면서 500 nm 이상이 되면서부터 급격한 감소가 나타난다. $V_{ds} = 600 \text{ V}$ 에서 게이트 누설전류 역시 SiN_x 절연막의 두께가 증가할수록 감소하다가 500 nm 이상이 되면서 다시 증가하는 것으로 나타난다.

그림 6 (a)와 (b)는 각각 $V_{ds} = 650 \text{ V}$, 1150 V에서 양자우물채널을 따라 형성되는 전계분포를 보여주며 삽입된 그림은 게이트와 게이트 전계판 영역에서의 전계분포를 확대하여 보여준다. 그림으로부터 SiN_x 절연막의 두께가 증가 할수록 게이트 모서리에서의 전계는 증가하고 게이트 전계판 끝단에서의 전계는 감소하는 것을 확인 할 수 있다. 이는 SiN_x 절연막의 두께가 증가 하면서 게이트 전계판과 채널 사이의 간격이 증가하게 되어 게이트 전계판의 효과가 점점 약해지기 때문이다.

한 가지 눈여겨 볼 것은 그림 6 (a)와 (b)의 비교인데



(a)

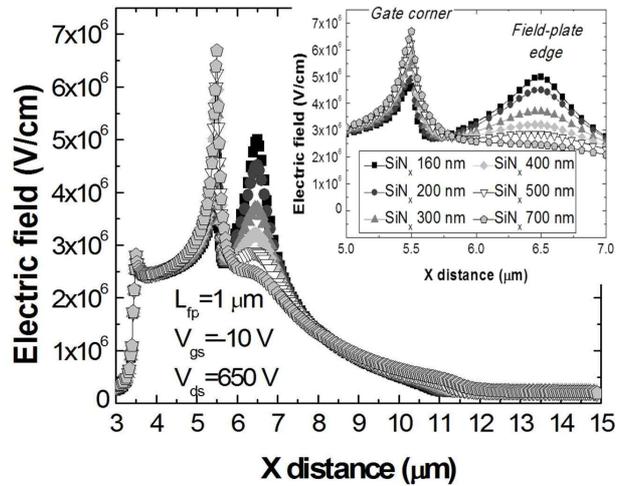


(b)

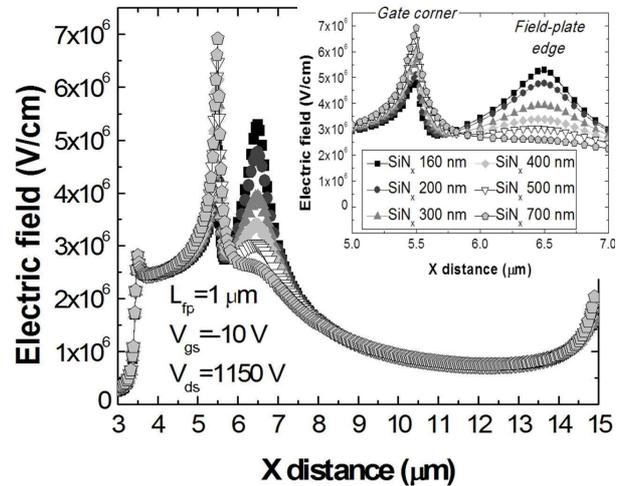
그림 5. 핀치오프 상태에서 SiNx 절연막 두께별 (a) 게이트 전류특성과 (b) 항복전압과 $V_{ds} = 600 V$ 에서의 게이트 누설전류

Fig. 5. (a) Gate current characteristic and (b) breakdown voltage and gate current at $V_{ds} = 600 V$ as a function of the SiNx film thickness under the pinch-off condition.

인가된 드레인 전압이 일정 수준 이상이 되어서 드레인 전극 부근의 전계가 증가하는 시점이 오면 게이트와 게이트 전계판에서의 전계는 거의 증가하지 않는 것으로 나타난다. 이러한 현상은 최적화된 길이의 게이트 전계판을 갖는 소자에 대하여 게이트나 게이트 전계판 부근의 전계를 임계전계 이하로 유지하게 되면 항복현상이 게이트나 게이트 전계판 아래에서가 아닌 드레인 전극 아래의 전계상승에 의해 발생하게 된다는 것을 의미한다. 여기서 SiNx 절연막의 두께가 너무 얇으면 게이트 전계판 아래에서의 전계가 높게 형성되면서 게이트 전계판 아래에서의 impact ionization 현상이 항복현상을 주도하게 된다. 즉, 드레인 부근의 전계가 상승하기 전



(a)



(b)

그림 6. SiNx 절연막의 두께에 따른 전계분포 (a) $V_{ds} = 650 V$ (b) $V_{ds} = 1150 V$

Fig. 6. Electric field distribution as a function of SiNx film thickness at (a) $V_{ds} = 650 V$ (b) $V_{ds} = 1150 V$.

에 전계판 아래에서 항복현상이 발생하게 되는 것이다. 반면에 SiNx 절연막의 두께가 너무 두꺼울 경우 게이트 전계판 아래의 전계는 낮아지고 게이트 모서리의 전계가 상승하게 된다. 이 때 증가된 전계가 임계전계를 넘어서게 되면 게이트 모서리에서 항복현상이 발생하게 되어 전계판의 효과가 사라진다. 따라서 적당한 SiNx 두께를 갖도록 하여 게이트 모서리와 게이트 전계판 끝단의 전계를 모두 임계전계 이하로 유지시켜서 드레인 전극 근처의 impact ionization이 항복현상을 주도하도록 설계하는 것이 바람직하다. 그림 5 (b)와 그림 6의 전계분포로 판단할 때 SiNx 절연막의 두께가 200~300 nm 일 때가 높은 항복전압과 낮은 누설전류를 동시에

만족하며 게이트 모서리와 게이트 전계판 끝단에서의 전계가 모두 임계전계 이하로 유지되어 있는 최적화 구조로 판단된다.

III. 결 론

본 연구에서는 고전압 전력 스위칭용 AlGaIn/GaN-on-Si HEMT에서 주어진 게이트와 드레인 전극 간격에서 가장 적절한 길이의 게이트 전계판과 SiN_x 절연막 두께를 알아내기 위한 이차원 소자 시뮬레이션을 수행하였다. 시뮬레이션 결과 게이트 전계판 구조를 추가 할 경우 게이트 모서리 부분에서 집중되는 전계를 효과적으로 분산시켜 주는 것을 확인하였다. 이때 항복 전압이 400 V에서 약 1200 V까지 크게 증가 하였다. 게이트 전계판의 길이를 1 μm 이상 늘리는 것은 항복 전압 측면에서는 더 이상의 개선이 나타나지 않으며 너무 긴 전계판을 사용할 경우 그 길이 자체보다는 전계판의 끝부분과 드레인 전극 사이의 남은 거리가 항복전압을 결정짓는 변수로 작용하는 것으로 나타났다.

1 μm 길이의 게이트 전계판을 갖는 소자에서 SiN_x 절연막의 두께가 증가함에 따라 게이트 누설전류가 감소하고 항복전압이 증가하였으나 160 nm 이상에서 포화되는 것으로 나타났다. 하지만 너무 두꺼울 경우 전계판 효과가 사라져서 항복전압이 감소되며 누설전류 또한 다시 증가하였다. 장시간 동작에 따른 소자의 신뢰성을 고려할 때 게이트 모서리와 게이트 전계판 끝단에서의 전계가 균형을 이루는 200~300 nm 정도가 최적 두께인 것으로 판단된다.

참 고 문 헌

[1] 오영해, 지순구, 서정하, “압전 및 자발 분극을 고려한 단채널 AlGaIn/GaN HEMT의 전류-전압 특성에 관한 해석적 모델” 전자공학회논문지, 제 43 권, SD편, 제 12호, 103-112쪽, 2005년 12월.

[2] 황대원, 하민우, 노정현, 박정호, 한철구, “고전압 GaN 쇼트키 장벽 다이오드의 완충층 누설전류 분석” 전자공학회논문지, 제 48권, SD편, 제 2호, 14-19쪽, 2011년 2월.

[3] S. Karmalkar, U.K. Mishra. “Enhancement of Breakdown Voltage in AlGaIn/GaN High Electron Mobility Transistors Using a Field plate” IEEE Trans. Electron Devics. Vol. 48, no. 8, pp. 1515-1521, Aug 2001.

[4] Ikeda. N. Niiyama. Y. Kambayashi. H. Sato. Y.

Nomura. T. Kato. S. Yoshida. S. “GaN Power Transistors on Si Substrates for Switching Applications” IEEE Proceedings. Vol. 98, no. 7, pp. 1151-1161, Jul 2010.

[5] S. Karmalkar, U.K. Mishra. “Very high voltage AlGaIn/GaN high electron mobility transistors using a field plate deposited on a stepped insulator” Solid State Electron., Vol. 45, pp. 1645-1652, 2001.

[6] N.-Q Zhang, S. Karmalkar, G.Parish, S.Heikman, S.P. DenBaars, U.K. Mishra. “High Breakdown GaN HEMT with Overlapping Gate Structure” IEEE Trans. Electron Devics Letters. Vol. 21, no. 9, pp. 421-423, Sep 2000.

[7] Eldad Bahat-Treidel, Oliver Hilt, Frank Brunner, Victor Sidorov, Joachim Würfl, and Günther Tränkle. “AlGaIn/GaN/AlGaIn DH-HEMTs Breakdown Voltage Enhancement Using Multiple Grating Field Plates (MGFPs)” IEEE Trans. Electron Devics. Vol. 57, no. 6, pp. 1208-1216 Jun 2010.

[8] Wataru SAITO, Yoshiharu TAKADA1, Masahiko KURAGUCHI1, Kunio TSUDA1, Ichiro OMURA and Tsuneo OGURA. “Design and Demonstration of High Breakdown Voltage GaN High Electron Mobility Transistor(HEMT) Using Field Plate Structure for Power Electronics Applications” Japanese Journal of Applied Physics, Vol. 43, no. 4B, pp. 2239-2242, 2004.

[9] S. Arulkumaran, “Surface passivation effects in AlGaIn/GaN HEMTs on high-resistivity Si substrate”, Physics of Semiconductor Devices, pp. 317-322 International Workshop on the Physics of Semiconductor Devices (IWPSD), Bombay, India, Dec 2007.

[10] Kunihiro. K, Kasahara. K, Takahashi. Y, Ohno. Y, “Experimental evaluation of impact ionization coefficients in GaN” IEEE Trans. Electron Device Letters. Vol. 12, no. 12, pp. 608-310, Dec 1999.

[11] Ambacher. O, Smart. J, Shealy. J. R, Weimann. N. G, Chu. K, Murphy. M, Schaff. W. J, Eastman. L. F, Dimitrov. R, Wittmer. L, Stutzmann. M, Rieger. W, Hilsenbeck. J, “Two-dimensional electron gases induced by spontaneous and piezoelectric polarization charges in N- and Ga-face AlGaIn/GaN heterostructures” Journal of Applied Physics, Vol. 85, no. 6, pp. 3222-3233, Mar 1999.

— 저 자 소 개 —



이 호 중(학생회원)
 2010년 홍익대학교 전자전기
 공학부 학사 졸업.
 2010년~현재 홍익대학교 전자정
 보통신공학부 석사과정.
 <주관심분야 : 반도체>



조 준 형(정회원)
 1996년 서울대학교 전기공학부
 학사 졸업.
 2001년 Auburn University,
 Department of Electrical
 and Computer
 Engineering, MS.

2007년 Auburn University, Department of
 Electrical and Computer Engineering,
 Ph.D.

2008년~2009년 충남대학교 연구교수
 2009년~현재 홍익대학교 조치원캠퍼스 전자전기
 공학과 조교수

<주관심분야 : 반도체>



차 호 영(정회원)-교신저자
 1996년 서울대학교 전기공학부
 학사 졸업.
 1999년 서울대학교 전기공학부
 석사 졸업.
 2004년 Cornell University,
 School of Electrical and
 Computer Engineering,
 Ph.D.

2004년~2005년 Post-doctoral Research
 Associate at Cornell University, USA
 2005년~2007년 Research Scientist at GE Global
 Research Center, USA
 2007년~현재 홍익대학교 전자전기공학부 조교수
 <주관심분야 : 반도체>