

논문 2011-48SD-12-1

나노와이어 junctionless 트랜지스터의 문턱전압 및 평탄전압 모델링과 소자설계 가이드라인

(Threshold and Flat Band Voltage Modeling and Device design
Guideline in Nanowire Junctionless Transistors)

김진영*, 유종근*, 박종태*

(Jin Young Kim, Chong Gun Yu, and Jong Tae Park)

요약

본 연구에서는 나노와이어 junctionless 트랜지스터의 문턱전압과 평탄전압을 위한 해석학적 모델링을 제시하였고 3차원 소자 시뮬레이션으로 검증하였다. 그리고 junctionless 트랜지스터의 소자설계 가이드라인을 설정하는 방법과 그 예를 제시하였다. 제시한 문턱전압과 평탄전압 모델은 3차원 시뮬레이션 결과와 잘 일치하였다. 나노와이어 반경과 게이트 산화층 두께가 클수록 또 채널 불순물 농도가 높을수록 문턱전압과 평탄전압은 감소하였다. 게이트 일함수와 원하는 구동전류/누설전류 비가 주어지면 나노와이어 반경, 게이트 산화층 두께, 채널 불순물 농도에 따른 junctionless 트랜지스터의 소자설계 가이드라인을 설정하였다. 나노와이어 반경이 작을수록 산화층의 두께가 얇을수록 채널 불순물 농도가 큰 소자를 설계할 수 있음을 알 수 있었다.

Abstract

In this work, an analytical models for the threshold voltage and flat band voltage have been suggested and proved using 3-dimensional device simulator. The method for device design guideline and its example in nanowire junctionless transistor and example of device design of was also presented. One can find that the suggested model for threshold voltage and flat band voltage agrees with 3-dimension simulation results. The threshold voltage and flat band voltage are decreased with the increase of nanowire radius, gate oxide thickness, and channel impurity doping concentration. When the work function of gate material and the ratio of ON and OFF current is given, the device design guide line for nanowire junctionless transistor has been proposed. It is known that the device with high impurity channel concentration can be fabricated with th decreased of nanowire radius and gate oxide thickness.

Keywords : Silicon nanowire, Junctionless transistor, Threshold voltage, Flat band voltage

I. 서론

반도체 산업체의 집적회로 CMOS의 소자 크기가 20nm 급으로 축소되면서 앞으로 더 작은 10nm 급

소자의 응용 가능성에 대한 관심이 높아지고 있다. CMOS 소자 크기를 10nm 급으로 축소하기 위해서는 리소그래피 등의 새로운 공정기술 개발이 필수적이지만 작은 소자의 스위칭 특성도 공정기술 못지않게 중요하다. CMOS 소자의 크기를 수십 나노미터 레벨로 축소하면 단채널 현상이 발생하여 소자의 스위칭 특성이 저하된다. 이런 성능 저하를 줄이기 위해 다양한 소자 구조와 공정에 관한 연구들이 발표되고 있다^[1~2]. 특히 소자 크기의 축소로 인한 문턱전압 roll-off를 줄이기 위해 채널의 불순물 농도를 높이고

* 정회원, 인천대학교 전자공학과
(Dept. of Electronics Engineering, University of Incheon)

※ 이 논문은 2011년도교과학부의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임
(2011-0021826)

접수일자: 2011년10월11일, 수정완료일: 2011년12월2일

있지만 이동도 저하 및 불순물 원자의 편차로 인해 소자의 특성 저하가 심하게 된다^[3]. 그리고 단채널 현상을 줄이기 위해 소스 및 드레인 접합 깊이를 수십 나노미터로 아주 얇게 하고 있지만 이는 소스 및 드레인 직렬저항의 증가로 이어지므로 소자의 특성 저하가 불가피하다^[4]. 직렬저항과 단채널 현상을 줄이기 위해 소스 및 드레인 접합 부위에서 불순물의 측면 확산을 줄이고 불순물 농도분포를 계단모양으로 하기 위해 이온주입 후 flash 열처리 공정을 하고 있지만 소자의 크기가 10nm 급으로 축소되면서 공정의 편차로 인한 소자의 특성 편차와 값비싼 공정 장비 등이 문제가 되고 있다^[5].

최근에는 CMOS 소자의 단채널 현상을 줄이기 위해 제안된 SOI(Silicon-on-Insulator) 기술을 바탕으로 한 새로운 소자구조인 MuGFET(Multiple-Gate MOSFET)에 대한 연구가 활발하다^[1~2]. MuGFET는 유효 게이트 수를 증가시키므로 채널 포텐셜을 효과적으로 제어할 수 있게 되어 문턱전압 roll-off, DIBL등의 단채널 현상을 줄일 수 있게 된다. 가장 이상적인 MuGFET 소자 구조는 GAA(Gate-All-Around) 또는 Surrounding-gate 소자이다. GAA 소자는 top-down 기술로 제작하기는 여러 가지 기술적인 어려움이 있지만 최근에 top-down 및 bottom-up 기술에 의한 나노와이어 구조의 CMOS 소자들에 관한 연구결과가 발표되고 있다^[6~7]. CMOS 소자에서 n-채널 MOSFET는 대부분 inversion mode를 사용하고 있으나 SOI 기술의 발달로 실리콘 박막 두께가 초박막으로 되면서 accumulation mode 소자의 특성이 inversion mode 특성과 유사하다는 연구결과가 발표되었으며 소자의 응용 가능성에 대한 연구가 많이 되고 있다^[8]. 최근에 J.P. Collinge 등은 accumulation mode를 변형하여 채널의 불순물 농도가 소스와 드레인과 같은 junctionless 트랜지스터를 처음으로 제안하여 소스 및 드레인 접합에 의한 단채널 현상을 줄이고 공정단가를 획기적으로 줄일 수 있게 되었다^[9]. Junctionless 트랜지스터는 SOI 기술을 바탕으로 한 것으로 실리콘 박막을 10~20nm 정도로 얇게 하면 게이트와 실리콘 박막의 일함수 차이로 실리콘 박막을 공핍시킬 수 있으므로 게이트 전압이 0V 일 때 소자를 OFF 시키는 “normally-OFF” 소자가 될 수 있다. 그리고 게이트에 문턱전압보다 더 큰 전압이 인가되면 박막의 중앙부터 소스와 드레인 사이에 캐리어 층이 연결되어 드레인

전류가 흐르게 된다. Junctionless 트랜지스터는 volume inversion을 이용하므로 단채널 현상을 줄일 수 있으며 accumulation mode 보다 누설전류 특성, subthreshold 특성, 유효 이동도도 높은 것으로 보고되고 있다^[10~11]. Junctionless 트랜지스터는 채널의 불순물 농도가 높을수록 박막을 공핍시키기 어려우므로 일반적인 소스 및 드레인 불순물 농도보다 낮은 채널 불순물 농도를 사용하고 있다. 그 결과로 소스 및 드레인의 직렬저항이 증가하는 단점이 있으나 일반적인 CMOS의 extension 게이트 공정을 이용하여 높은 불순물을 소스와 드레인에 한 번 더 이온 주입하여 큰 직렬저항을 줄일 수 있다는 연구결과도 발표되었다^[12].

Tri-gate 구조를 갖는 junctionless 트랜지스터의 해석학적 V_{TH} 모델에 관한 연구는 발표되었으나 나노와이어 구조를 갖는 junctionless 트랜지스터의 V_{TH} 모델에 관한 연구와 물리적인 현상을 고려한 V_{FB} 모델에 관한 연구는 발표된 것이 없는 것으로 사료된다^[13]. 해석학적인 V_{TH} 및 V_{FB} 모델을 이용한 소자 설계 가이드라인에 관한 연구도 발표된 것이 없다.

본 연구에서는 물리적인 현상을 고려한 나노와이어 junctionless 트랜지스터의 해석학적인 V_{TH} 및 V_{FB} 모델을 제안하고 소자 시뮬레이션으로 검증하는 연구를 수행하였다. 그리고 나노와이어 반경, 게이트 산화층 두께, 채널 불순물 농도에 따른 소자 설계 가이드라인에 대한 연구를 수행하였다.

II. 문턱전압 및 평탄전압 모델링

그림 1은 n-채널 나노와이어 junctionless 트랜지스터의 소자 모식도를 나타낸 것이다. 게이트는 P^+ 다결정 실리콘을 사용하고 게이트 산화층 두께는 T_{ox} 이며 채널과 소스/드레인 불순물 농도는 N_D , 나노와이어의 반경은 R 이다. Junctionless 트랜지스터의 게이트와 실리콘 박막의 일함수 차이로 박막이

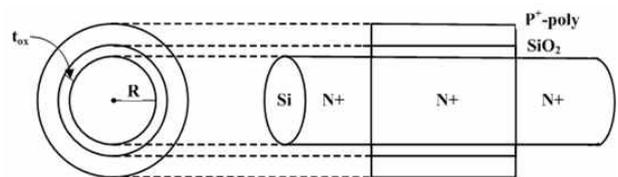


그림 1. 나노와이어 junctionless 트랜지스터 소자 모식도
Fig. 1. Schematic diagram of nanowire junctionless transistor.

공핍되므로 반경 R에 대한 Poisson 방정식을 식 (1)과 같이 나타낼 수 있다. 채널에서 전자의 농도는 적으므로 무시하였다.

$$\frac{1}{r} \frac{d\phi(r)}{dr} + \frac{d^2\phi(r)}{dr^2} = -\frac{qN_D}{\epsilon_{si}} \quad (1)$$

식 (1)의 일반해는 식 (2)와 같이 나타낼 수 있다.

$$\phi(r) = C_1 + C_2 \ln r - \frac{qN_D}{4\epsilon_{si}} r^2 \quad (2)$$

나노와이어 중심에서는 전계가 0인 조건과 실리콘 박막과 산화층 경계면에서 전계의 연속조건은 식 (3)과 (4)로 나타낼 수 있다.

$$\left. \frac{d\phi(r)}{dr} \right|_{r=0} = 0, C_2 = 0 \quad (3)$$

$$\epsilon_{si} \left. \frac{d\phi(r)}{dr} \right|_{r=R} = C_{ox} (V_{GS} - \Phi_{MS} - \phi(r)) \Big|_{r=R} \quad (4)$$

여기서 Φ_{MS} 는 게이트와 실리콘 박막의 일함수 차이이며 게이트 산화층 커패시턴스 C_{OX} 는 다음과 같다.

$$C_{ox} = \frac{2\epsilon_{ox}}{R \ln \left(1 + \frac{2T_{ox}}{R} \right)} \quad (5)$$

경계조건으로부터 나노와이어의 반경 R에 따른 포텐셜 분포는 최종적으로 식 (6)과 같이 나타낼 수 있다.

$$\phi(r) = V_{GS} - \Phi_{MS} + \frac{qN_D R^2}{4\epsilon_{si}} + \frac{qN_D R}{2C_{ox}} - \frac{qN_D}{4\epsilon_{si}} r^2 \quad (6)$$

1. V_{TH} 모델링

반경 R에 따른 실리콘 박막에서의 전자농도는 포텐셜 분포로부터 식 (7)과 같이 나타낼 수 있다.

$$n(r) = N_D \exp(q\phi(r)/kT) \quad (7)$$

Φ_{MS} 에 의해 게이트 전압이 인가되지 않는 상태에서 실리콘 박막이 완전히 공핍되었다가 게이트 전압이 증가하면 전자에 의한 채널이 형성되므로 $r=0$ 지점에서 전자의 농도가 불순물의 농도 N_D 와 같아지는 게이트

전압을 V_{TH} 로 정의하였다.

$$V_{TH} = \Phi_{MS} - \frac{qN_D R^2}{4\epsilon_{si}} - \frac{qN_D R}{2C_{ox}} \quad (8)$$

2. V_{FB} 모델링

게이트 전압이 증가하면 실리콘 박막의 전자 농도는 증가하므로 실리콘 표면 즉 $r=R$ 지점에서 전자의 농도가 N_D 와 같아지는 게이트 전압을 V_{FB} 로 정의하였다. 식 (7)로부터 V_{FB} 는 다음과 같이 나타낼 수 있다.

$$V_{FB} = \Phi_{MS} - \frac{qN_D}{2C_{ox}} R \quad (9)$$

III. 문턱전압 및 평탄전압 모델링

해석학적으로 구한 V_{TH} 과 V_{FB} 를 소자 시뮬레이션 결과와 비교하기 위해 ATLAS 소자 시뮬레이션을 수행하였다. 시뮬레이션에서 채널의 불순물 농도는 균일하며 전자와 홀 캐리어 모델, 드리프트-확산 모델, 불순물 농도와 전계에 따른 이동도 모델, 그리고 SRH 재결합/생성 모델을 사용하였다. 해석학적 모델에서 V_{TH} 과 V_{FB} 는 Φ_{MS} 의 크기에 따라 다르게 되므로 본 연구에서는 불순물의 고농도에 따른 energy band gap narrowing을 고려하여 $\Phi_{MS}=1.08V$ 를 사용하였다^[14].

그림 2는 시뮬레이션으로 구한 $I_{DS}-V_{GS}$ 특성과 V_{TH} 추출을 위해 트랜스 컨덕턴스를 게이트 전압으로 미분한 것을 정규화하여 나타낸 것이다. Junctionless 트랜지스터는 게이트 전압이 V_{TH} 보다 크고 V_{FB} 보다 작으면 채널의 전자에 의해 전류가 흐르고 게이트 전압이 V_{FB} 보다 크면 표면에 축적된 전자에 의해 전류가 흐르게 되므로 $I_{DS}-V_{GS}$ 특성 곡선에 V_{FB} 근처에서 기울기가 변하게 된다. 게이트 전압에 따라 트랜스 컨덕턴스를 미분하는 방법으로 V_{TH} 를 정의하는 방법이 많이 사용되고 있다. 특히 V_{FB} 와 V_{TH} 를 동시에 추출할 수 있으므로 junctionless 트랜지스터의 V_{TH} 과 V_{FB} 추출에는 좋은 방법이다. 그림 2로부터 V_{TH} 는 약 0.7V, V_{FB} 는 약 1.08V 정도임을 알 수 있다.

그림 3은 $V_{GS}=0V$ 와 $V_{GS}=V_{TH}$ 조건에서 식 (7)과 소자 시뮬레이션으로 구한 전자의 농도 분포를 비교한 것이다. 그림으로부터 $R=0$ 인 지점의 전자 농도가 약

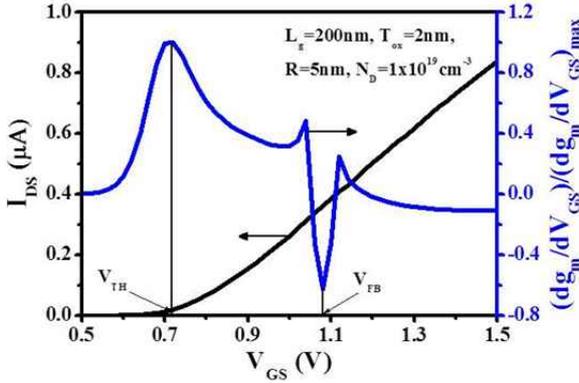


그림 2. 시뮬레이션 결과로부터 문턱전압 및 평탄전압 정의
 Fig. 2. The definition of threshold voltage and flat band voltage from simulation results.

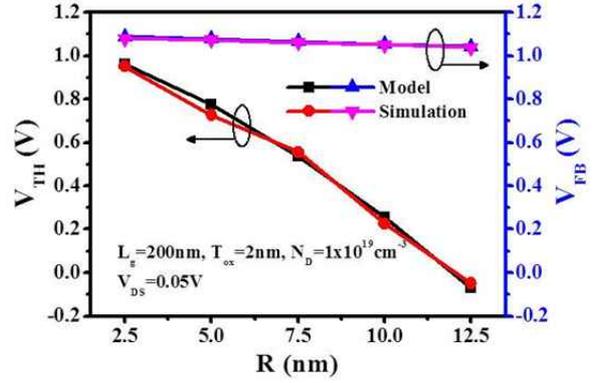


그림 4. 나노와이어 반경에 따른 문턱전압 및 평탄 전압
 Fig. 4. Threshold voltage and flat band voltage as a function of nanowire radius.

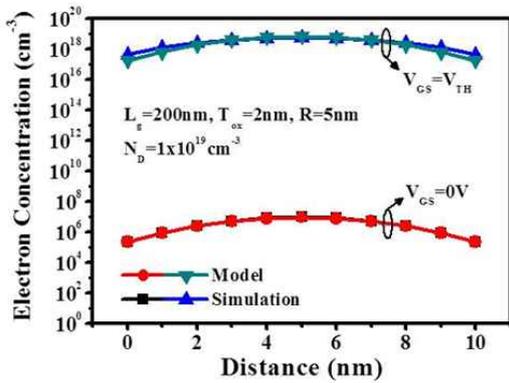


그림 3. $V_{GS}=0V$ 및 $V_{GS}=V_{TH}$ 에서 나노와이어의 전자농도 분포
 Fig. 3. Electron concentration profile of nanowire at $V_{GS}=0V$ and $V_{GS}=V_{TH}$.

10^6cm^{-3} 으로 $N_D=10^{19} \text{cm}^{-3}$ 보다 작으므로 $V_{GS}=0V$ 일 때 Φ_{MS} 로 인하여 실리콘 박막의 중심이 공핍되었음을 알 수 있다. 그리고 $V_{GS}=V_{TH}$ 조건에서는 $R=0$ 인 지점의 전자의 농도가 $N_D=10^{19} \text{cm}^{-3}$ 과 같음을 알 수 있다. 그림 2의 결과로부터 본 연구에서 제시한 V_{TH} 모델이 잘 일치함을 알 수 있다.

그림 4는 해석학적 모델과 시뮬레이션으로 구한 V_{TH} 와 V_{FB} 비교를 나노와이어의 반경에 따라 나타낸 것이다. V_{TH} 는 R 이 증가할수록 많이 감소하는 것을 알 수 있다. 이는 R 이 클수록 실리콘 박막이 완전히 공핍되지 않고 전자의 농도가 증가하기 때문이다. 즉 게이트에 낮은 전압이 인가되어도 채널 전류가 흐르게 되는 것을 의미한다. V_{FB} 는 R 이 증가하여도 크게 변하지 않음을 알 수 있다. 그림으로부터 해석학적

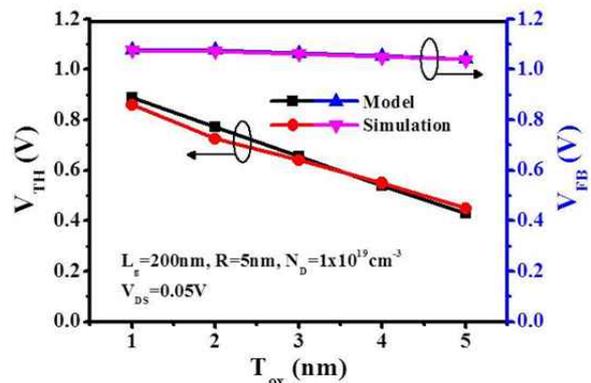


그림 5. 게이트 산화층 두께에 따른 문턱전압 및 평탄 전압
 Fig. 5. Threshold voltage and flat band voltage as a function of gate oxide thickness.

모델과 시뮬레이션 결과가 잘 일치함을 알 수 있다.

그림 5는 해석학적 모델과 시뮬레이션으로 구한 V_{TH} 와 V_{FB} 비교를 게이트 산화층 두께에 따라 나타낸 것이다. 그림으로부터 T_{ox} 가 증가할수록 V_{TH} 와 V_{FB} 은 감소하는 것을 알 수 있다. 이것은 T_{ox} 가 증가할수록 Φ_{MS} 에 의해 실리콘 박막이 완전히 공핍되지 않으므로 전자에 의해 전류가 증가하여 V_{TH} 가 감소한다.

그림 6은 해석학적 모델과 시뮬레이션으로 구한 V_{TH} 와 V_{FB} 의 비교를 채널 불순물 농도에 따라 나타낸 것이다. N_D 가 증가할수록 V_{TH} 와 V_{FB} 이 감소함을 알 수 있다. N_D 가 증가하면 Φ_{MS} 에 의해 실리콘 박막에 완전히 공핍되지 않으므로 전자에 의해 전류가 증가하므로 V_{TH} 이 낮게 된다. N_D 가 증가할수록 V_{FB} 역시 감소하는 것을 알 수 있다.

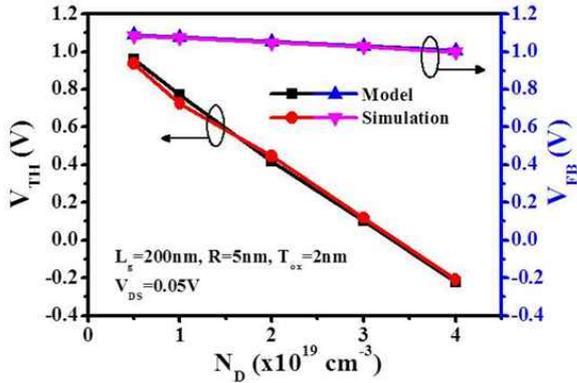


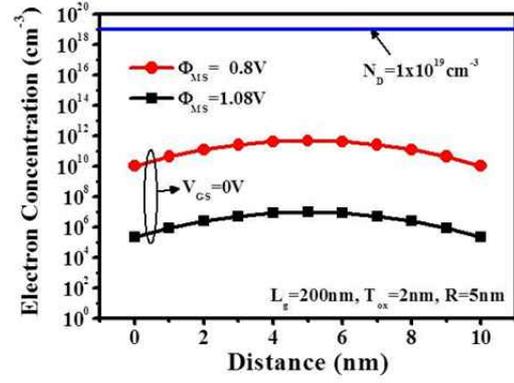
그림 6. 불순물 농도에 따른 문턱전압 및 평탄 전압
Fig. 6. Threshold voltage and flat band voltage as a function of impurity concentration.

IV. 소자설계 가이드라인

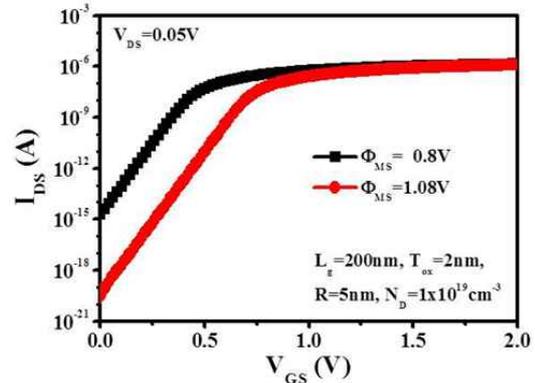
Junctionless 트랜지스터를 설계하기 위해서는 실리콘 박막을 완전히 공핍시켜야 하므로 소자 설계의 가이드라인 설정이 중요하다. 먼저 실리콘 박막이 완전히 공핍되는 조건을 정의하는 것이 필요하다. 소자의 I_{ON}/I_{OFF} 는 주로 채널에서의 전자농도에 의해 결정되므로 소자가 ON 되었을 때와 OFF 일 때의 전자농도 비를 결정하면 된다. ON 상태에서는 채널농도 N_D 가 전자의 농도가 되며 OFF 상태에서는 $R=0$ 에서 전자농도 $n(0)$ 로 정의 할 수 있다. 예로서 N_D 는 같고 Φ_{MS} 를 다르게 하면서 $n(0)$ 와 드레인 전류를 소자 시뮬레이션으로 계산하였다. 그림 7은 ON 전류는 같지만 $n(0)$ 가 10^4 배 차이가 있을 때 OFF 전류도 10^4 배 차이가 있음을 보여준다. 이런 결과로부터 $I_{ON}/I_{OFF} \propto N_D/n(0)$ 의 관계가 있음을 알 수 있다. 만일 P+ 다결정실리콘 게이트와 $N_D=10^{19}cm^{-3}$ 를 $I_{ON}/I_{OFF}=10^8$ 되는 소자를 설계하기 위해서는 $n(0)=10^{11}cm^{-3}$ 이 되어야 한다. $V_{GS}=0V$ 일 때 식 (6)과 식 (7)을 이용하면 junctionless 트랜지스터의 소자 설계 가이드라인을 설정할 수 있다. $V_{GS}=0V$ 일 때 식 (6)과 식 (7)를 결합하면 다음 식 (10)과 같이 된다.

$$\Phi_{MS} + \phi(0) = \frac{qN_D R^2}{4\epsilon_{si}} + \frac{qN_D R}{2C_{ox}} \quad (10)$$

식(10)을 이용하면 게이트 일함수와 원하는 I_{ON}/I_{OFF} 를 알고 있을 때 N_D , T_{ox} 및 R 에 따른 junctionless 트랜지스터의 소자 설계 가이드라인을 결정할 수 있다.



(a)



(b)

그림 7. 게이트 일함수에 따른 전자농도 (a) 및 전류-전압특성 (b)

Fig. 7. Electron concentration (a) and I-V characteristics (b)with gate work functions.

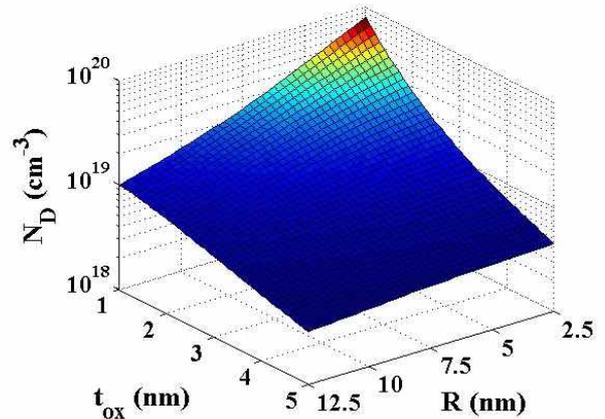


그림 8. 실리콘 박막이 완전히 공핍되기 위한 N_D , T_{ox} 및 R 의 상호 관계

Fig. 8. Correlation among N_D , T_{ox} , and R to deplete silicon film fully.

그림 8은 $N_D=10^{19}\text{cm}^{-3}$, $I_{ON}/I_{OFF}=10^8$ 이며 $\Phi_{MS}=1.08\text{V}$ 를 사용했을 때 실리콘 박막이 완전히 공핍되기 위한 N_D , T_{ox} 및 R 의 상호 관계를 나타낸 것이다. 그림으로부터 T_{ox} 와 R 이 작을수록 N_D 가 큰 junctionless 트랜지스터를 제작할 수 있음을 보여준다. 즉 junctionless 트랜지스터의 소스 및 드레인 저항을 줄이기 위해서 큰 N_D 를 사용할 경우는 t_{ox} 와 R 가 작은 소자를 제작해야 한다.

V. 결 론

물리적인 현상을 고려한 나노와이어 junctionless 트랜지스터의 해석학적인 문턱전압 및 평탄전압 모델과 소자 시뮬레이션의 결과는 일치함을 알 수 있었다. 나노와이어 반경과 게이트 산화층 두께가 클수록 그리고 채널 불순물 농도가 많을수록 V_{TH} 와 V_{FB} 은 감소하였다. 게이트 일함수와 원하는 ON 전류 및 OFF 전류비를 알고 있을 때 나노와이어 반경, 게이트 산화층 두께, 채널 불순물 농도에 따른 junctionless 트랜지스터의 소자 설계 가이드라인을 설정하였다. 소스 및 드레인의 저항을 줄이기 위해서는 많은 채널 농도가 요구되는데 이를 위해서는 나노와이어 반경이 작아야 하며 게이트 산화층은 얇아야 함을 알 수 있다.

참 고 문 헌

- [1] Jong Tae Park, and J. P. Colinge, "Multiple gate SOI MOSFETs :Device design guidelines," IEEE Trans. Electron Device, vol. 49, no.12, pp. 2222-2228, 2002.
- [2] J. P. Colinge, "Multiple-gate SOI MOSFETs," Solid-state Electronics, vol.48, no.6, pp.897-905, 2004.
- [3] R. Yan, D. Lynch, T. Cayron, D. Lederer, A Afzalain, C. W. Lee, and J. P. Colinge, "Sensitivity of trigate MOSFETs to random dopant incuded threshold voltage fluctuations," Solid-state Electronics, vol. 52, no.12, pp. 1872-1876, 2008.
- [4] D. J. frank, R. H. Dennard, E. Novak, P. M. Solomon, Y. Taur, and H. S. P. Wong, "Device scaling limits of Si MOSFET and their application dependence," Proc. IEEE, vol. 89, no. 3, pp. 259-288, 2001.
- [5] S. H. Jain, "Low resistance, low leakage ultrashallow p+ junction formation using millisecond flash anneals," IEEE Trans Electron Devices, vol. 52, no. 7, pp. 1610-1615, 2003.
- [6] N. J. Quitoriano, and T. I. Kamins, "Integratable nanowire transistors," Nano letters, vol. 8, no. 12, pp. 4410-4414, 2008.
- [7] P. Yang, R. Yan, and M. Fardy, "Semiconductor nanowire: what's next?," Nano Letters, vol. 11, no. 10, pp. 1529-1536, 2010.
- [8] M. Masahara, K .Endo, Y. Liu, T. Matsukawa, S. Ouchi, K. Ishii, E. Sugimata, E. Suzuki, "Demostration and analysis of accumulation-mode double-gate metal oxide semiconductor field effect transistor," Jpn J. Appl. Phys., vol. 45, no. 4b, pp. 079-3083, 2006.
- [9] J. P. Colinge, C. W. Lee, A. Afzalain, N. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistors without junction," Nature Nanotechnology, vol. 5, no. 3, pp. 225-229, 2010.
- [10] C. W. Lee, A. N. Nazarov, I. Ferain, N. Dehdashti, R. Yan, P. Razavi, R. Yu, Rodrigo T. Doria, J. P. Colinge, "Low subthreshold slope in junctionless multiplegate transistors," Appl. Phys. Lett. vol. 96, pp. 102106, 2010.
- [11] J. P. Raskin, J. P. Colinge, I. Ferain, A. Kranti, C. W. Lee, N. Dehdashti, R. Yan, P. razavi, R. Yu, "Mobility improvement in nanowire junctionless transistors by uniaxial strain," Appl. Phys. lett., vol. 97, pp. 042114, 2010.
- [12] C. W. Lee, I. Ferain, A. Afzalain, R. Yan, N. D. Akhavan, P. Razavi, J. P. Colinge, "Performance estimation of junctionless multiple gate transistors," Solid-state Electronics, vol. 54, no. 2, pp. 97-103, 2010.
- [13] R. D. Trevisoli, M. A. Pavanello, R. T. Doria, M. de Souza, C. W. Lee, I ferain, N. D. Akhavan, R. Yan, P. Razavi, R. Yu, A. Kranti, and J. P. Colinge, "Analytical model for the threshold voltage of junctionless nanowire transistors," Proceeding of EUROSIOI Workshop pp. 67-68, 2011.
- [14] N. lifshitz, "Dependence of the work-function difference between the polysilicon gate and silicon substrate on the doping level in polysilicon," IEEE Trans Electron Devices vol. 325, no. 3, pp. 617-621, 1985.

저 자 소 개

김 진 영(정회원)
대한전자공학회 논문지
제47권 SD편 제9호

유 종 근(정회원)
대한전자공학회 논문지
제48권 SC편 제2호

박 종 태(정회원)-교신저자
대한전자공학회 논문지
제40권 SD편 제9호