

논문 2011-481E-4-3

공정변화에 따른 LDO 레귤레이터의 특성 분석

(Characteristic Analysis of LDO Regulator According to Process Variation)

박 원 경*, 김 지 만**, 허 윤 석**, 박 용 수***, 송 한 정****

(Won Kyeong Park, Ji Man Kim, Yun Seok Heo, Yong Su Park, and Han Jung Song)

요 약

본 논문에서는 LDO 레귤레이터의 공정변화에 따른 특성변화를 1 μm 20 V 고 전압 CMOS 공정을 사용하여 시뮬레이션 하였다. 공정변화에 따른 3종류의 SPICE 파라미터(문턱전압과 실효채널길이가 평균적인 Typ(typical), 평균 이하인 FF(fast), 평균 이상인 SS(slow) 파라미터)를 LDO 레귤레이터 시뮬레이션에 활용하였다. 시뮬레이션 결과, SS 파라미터 사용의 경우, 라인 레귤레이션이 3.6 mV/V, 부하 레귤레이션이 0.4 mV/mA, 부하전류 변화에 따른 출력전압이 안정화되는 시간이 평균 0.86 μs 였다. 그리고 Typ 파라미터 사용의 경우, 라인 레귤레이션이 4.2 mV/V, 부하 레귤레이션이 0.44 mV/mA, 부하전류 변화에 따른 출력전압이 안정화되는 시간이 평균 0.62 μs 였다. 마지막으로 FF 파라미터 사용의 경우 라인 레귤레이션이 7.0 mV/V, 부하 레귤레이션이 0.56 mV/mA, 부하전류 변화에 따른 출력전압이 안정화되는 시간이 평균 0.27 μs 였다. 향후, 이러한 공정변화에 따른 회로 특성의 변화를 고려한 효율적 회로설계가 필요할 것으로 사료된다.

Abstract

In this paper, we have examined electrical characteristics of LDO regulator according to the process variation using a 1 μm 20 V high voltage CMOS process. The electrical analysis of LDO regulator have been performed with three kind of SPICE parameter sets (Typ : typical, FF : fast, SS : slow) by process variation which cause change of SPICE parameter such as threshold voltage and effective channel length of MOS devices. From simulation results, we confirmed that in case of SS type SPICE parameter set, the LDO regulator has 3.6 mV/V line regulation, 0.4 mV/mA load regulation and 0.86 μs output voltage settling time. And in case of Typ type SPICE parameter set, the LDO regulator has 4.2 mV/V line regulation, 0.44 mV/mA load regulation and 0.62 μs output voltage settling time. Finally, in the FF type SPICE parameter set, the LDO regulator has 7.0 mV/V line regulation, 0.56 mV/mA load regulation and 0.27 μs output voltage settling time.

Keywords : LDO regulator, SPICE parameters, Semiconductor process, Simulation

* 학생회원, **** 정회원, 인제대학교 나노공학부
(Department of Nano Engineering, Inje University)

** 학생회원, 인제대학교 나노시스템공학과
(Department of Nano System Engineering, Inje University)

*** 정회원, 충청대학교 전기전자학부
(Department of Electronics, Chung Cheong University)

※ 본 논문은 IDEC(IC Design Education Center)의 CAD 프로그램 지원 및 2011년도 정부(교육과학기술부)의 재원으로 정보통신산업진흥원 IT/SW 창의연구과정(중소기업연계형) 지원을 받아 수행된 것임.(20110598)

접수일자: 2011년10월4일, 수정완료일: 2011년12월11일

I. 서 론

휴대폰, PDA, 노트북, 카메라 등 저 전력으로 동작하는 제품들이 증가하고, 이러한 전자기기들이 다기능화 고집적화 됨으로써 각각의 성능이 보다 더 정밀한 동작을 요하게 되었다. 또한 이러한 기기들이 사용 중이거나 대기 중에도 더 많은 전력을 소모하게 되면서, 에너지절약과 배터리 수명에 있어서 모바일용 전자기기들의 전력관리가 중요한 문제로 부상하고 있다[1,2]. SoC기술의 발전으로 인하여 모바일용 시스템의 주전원 기능들

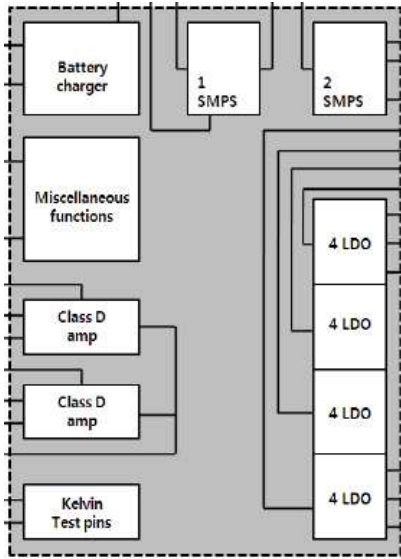


그림 1. 일반적인 PMIC 블록도
Fig. 1. Common PMIC block diagram.

을 싱글칩으로 만든 PMIC(Power Management Integrated Circuit)의 중요성이 크게 부각되고 있다^[3].

그림 1에 일반적인 PMIC 구조도를 나타내었다. 일반적인 PMIC에는 충전회로, 보호회로와 여러 가지 레귤레이터로 이루어져 있다. 여기서 레귤레이터에는 출력 전압을 일정하게 조정하는 회로로써, 조정하는 방식에 따라 선형 방식의 레귤레이터와 스위칭 방식의 DC-DC 컨버터로 나누어진다. 스위칭 방식의 DC-DC 컨버터는 효율이 좋지만, 잡음특성이 떨어지고, 선형 방식의 레귤레이터인 LDO 레귤레이터(Low Drop-Out Regulator)는 효율은 떨어지지만 잡음 특성이 좋기 때문에 더 정밀하고 안정한 전압공급을 할 수 있다. LDO 레귤레이터는 저잡음 특성은 무선 송신기, 수신기, 마이크와 같은 RF 및 오디오 어플리케이션에 필수적이다. 또한 이것은 상대적으로 낮은 레벨의 전류를 소모하기 때문에 저전력화가 가능해 LDO 레귤레이터에 대한 연구가 지속되고 있다^[4~5].

LDO 레귤레이터 뿐 만이 아니라 모든 회로의 동작은 트랜지스터의 구조(게이트 길이, 산화막 두께, 채널 등)에 따라 달라진다. 따라서 트랜지스터의 공정 파라미터들의 변화는 회로의 동작에 영향을 주게 되고, 결과 값 또한 영향을 받게 된다^[6]. 본 논문에서는 이러한 공정 변화에 따른 LDO 레귤레이터의 전기적 특성 변화를 분석하였다. II장에서 LDO 레귤레이터의 동작원리를 설명하고, III장에서 공정변화에 따라 3종류의 SPICE 파라미터 세트를 이용하여 LDO의 전기적 특성을 분석한다. 마지막으로 IV장에서 결론을 내린다.

II. LDO 레귤레이터의 동작원리

기본적인 구조의 LDO 레귤레이터 회로도 는 그림 2과 같다.

LDO 레귤레이터는 오차증폭회로(Error Amplifier), 기준전압회로와 파워 트랜지스터, 저항, 커패시터로 구성된다. LDO 레귤레이터의 출력 전압은 파워 트랜지스터로 사용된 NMOS에 의해서 전압 강하되어 출력된다. 출력 전압의 일부는 저항 R1과 R2의 전압분배에 의해 오류증폭기로 귀환하여 들어가게 되고, 기준전압과 비교하여 그 차이만큼 증폭된 신호를 출력한다. 그 차이만큼 증폭된 신호가 파워 트랜지스터를 제어하여 출력 전압을 일정하게 만든다. 또한 커패시터는 출력전압을 일정하게 유지시킨다.

그림 2의 출력전압 관련 식은 다음과 같다.

$$V_{OUT} \cong \left(1 + \frac{R_1}{R_2}\right) V_{REF} \tag{1}$$

본 논문에서 LDO 레귤레이터 회로를 구성하는데 사

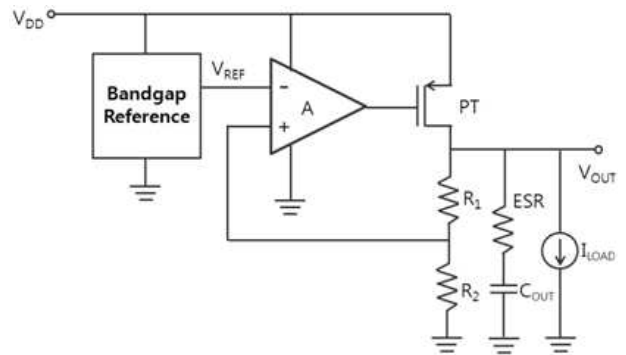


그림 2. 기본적인 LDO 레귤레이터 회로도
Fig. 2. Basic LDO regulator block diagram.

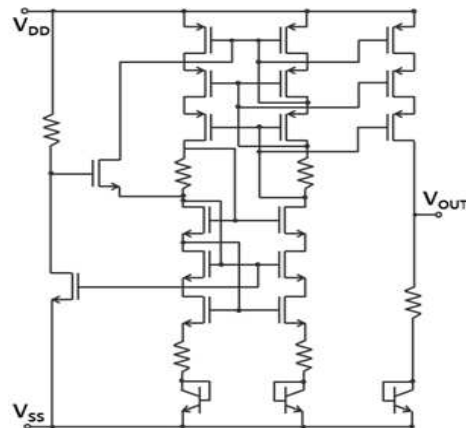


그림 3. 기준 전압 발생 회로도
Fig. 3. BGR (Band-Gap Reference) circuit.

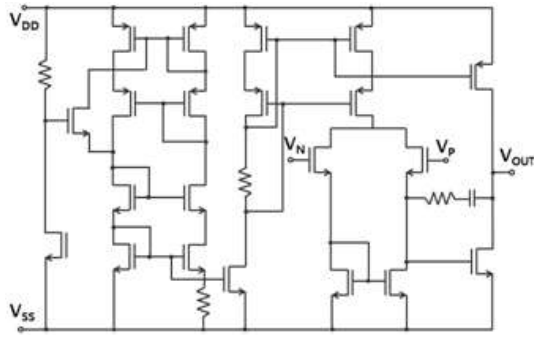


그림 4. 오차증폭기 회로도
Fig. 4. Error amplifier circuit.

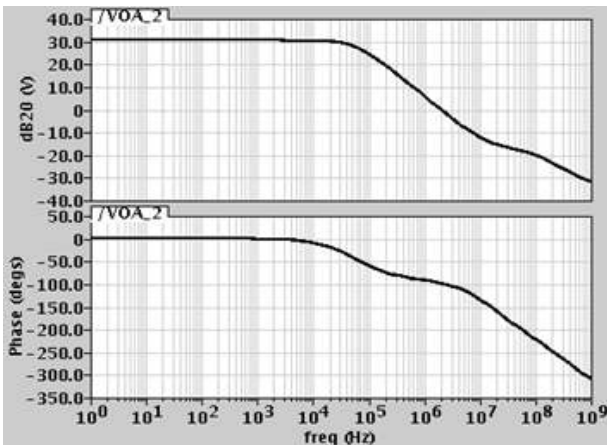


그림 5. 오차증폭기의 주파수 특성
Fig. 5. Frequency analysis of error amplifier.

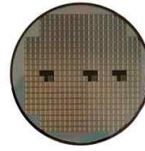
용한 기준 전압 발생 회로도(BGR ; Band-Gap Reference)를 그림 3에 나타내었다.

그림 4는 오차증폭기 회로도로서 특성은 그림 5와 같다. 오차증폭기의 특성은 약 31 dB이고, 위상마진은 약 80°이다.

III. 공정변화에 따른 LDO 레귤레이터의 SPICE 시뮬레이션 결과

본 논문에서의 SPICE 시뮬레이션은 1μm 20 V 고전압 CMOS 공정을 사용하였다.

그림 6은 공정변화에 따라 달라진 SPICE 파라미터 세트들을 3 종류로 구분하였다. 이러한 공정변화는 BJT 소자의 경우, V_{BE}, 최대 순방향 전류 등의 변화를 가져오고, MOS 소자의 경우 문턱전압 및 실효 채널길이 변화를 가져온다. 그림 6에 보이듯이, MOS 실효 채널길이 및 BJT V_{BE} 변화에 따라 FF(fast), Typ(typical), SS(slow) type으로 나뉜다.



Parameter	BJT(NPN)			
	FF	Typ	SS	Unit
Base-emitter voltage	600	630	660	mV
Maximum forward current gain	350	900	1450	-

Parameter	NMOS				PMOS			
	FF	Typ	SS	Unit	FF	Typ	SS	Unit
Threshold voltage short channel	0.60	0.80	1.00	V	0.75	0.95	1.15	V
Effective channel length	1.10	1.35	1.60	um	1.2	1.6	2.0	um
Saturation current	110	150	190	uA/um	45	65	85	uA/um

그림 6. 공정변화에 따른 3종류의 SPICE 파라미터 세트

Fig. 6. Three kind of SPICE parameters sets according to process variation.

$$PV = \frac{T_{em}(ss) - T_{em}(ff)}{T_{em}(Typ)} \times 100\% \quad (2)$$

식 (2)에서 공정 오차(Process Variation)를 구하는 식을 나타내었다.

LDO 레귤레이터의 성능은 주로 라인 레귤레이션(Line Regulation)과 부하 레귤레이션(Load Regulation)에 따라 결정된다. 두 값이 작을수록 출력 전압이 안정적이다.

3.1 LDO 레귤레이터의 라인 레귤레이션 특성변화
라인 레귤레이션은 입력 전압의 변화로 생기는 출력 전압의 변화를 보는 성능지표이다. 라인 레귤레이션의 계산식은 다음과 같이 표현된다.

$$\text{Line Regulation} = \frac{\Delta V_{OUT}}{\Delta V_{IN}} \quad (3)$$

그림 7은 공정변화에 따른 라인 레귤레이션을 나타

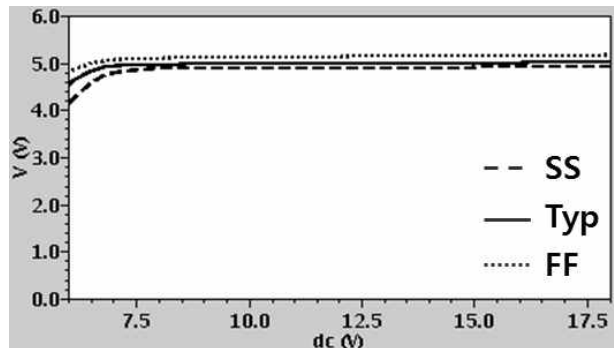


그림 7. 공정변화에 따른 라인 레귤레이션
Fig. 7. Line regulation according to process variation.

내었다. 입력전압이 8 V에서 18 V로 변화할 때, SS type에서는 출력전압이 4.86 V에서 4.90 V로 변화한다. 이 때 라인 레귤레이션은 3.6 mV/V이다. 그리고 Typ type에서는 출력전압이 4.95 V에서 5.00 V로 변화하며, 이때의 라인 레귤레이션은 4.2 mV/V이다. 마지막으로 FF type에서는 출력전압이 5.08 V에서 5.15 V로 변화하며, 라인 레귤레이션은 7.0 mV/V이다.

3.2 LDO 레귤레이터의 부하 레귤레이션 특성변화

부하 레귤레이션은 부하전류의 변화로 생기는 출력전압의 변화를 보는 성능지표이다. 부하 레귤레이션의 계산식은 다음과 같이 표현된다.

$$\text{Load Regulation} = \frac{\Delta V_{OUT}}{\Delta I_{OUT}} \quad (4)$$

공정변화에 따른 부하 레귤레이션을 그림 8에 나타내었다. 부하전류가 0 A에서 50 mA로 변화할 때, SS type에서 출력전압은 4.90 V에서 4.88 V로 변화하며, 이때의 부하 레귤레이션은 0.4 mV/mA이다. Typ type에서 출력전압은 5.00 V에서 4.97 V로 변화하며, 이때의 부하 레귤레이션은 0.44 mV/mA이다. 마지막으로 FF type에서 출력전압은 5.15 V에서 5.13 V로 변화하며, 부하 레귤레이션은 0.56 mV/mA이다.

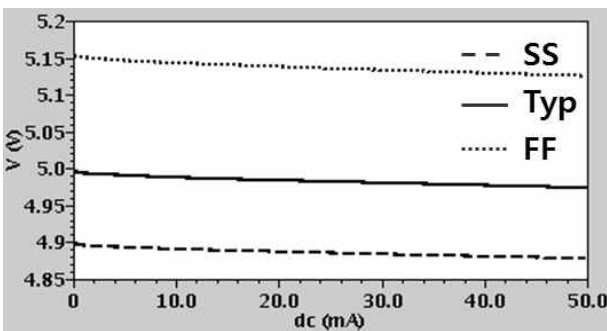


그림 8. 공정변화에 따른 부하 레귤레이션
Fig. 8. Load regulation according to process variation.

3.3 부하전류급격한 변화에 따른

LDO 레귤레이터의 출력변화

모든 전자기기의 부하응답에 크게 영향을 받는다. LDO 레귤레이터에서 부하전류의 변화는 오류증폭기가 파워 트랜지스터를 부하전류의 변화에 따라 구동함으로써 변화값을 보상할 수 있게 될 때까지 LDO 레귤레이터의 출력전압 수준을 변화시킨다. 이 기간 동안에 LDO 레귤레이터 출력부에 전압 스파이크들이 생성되

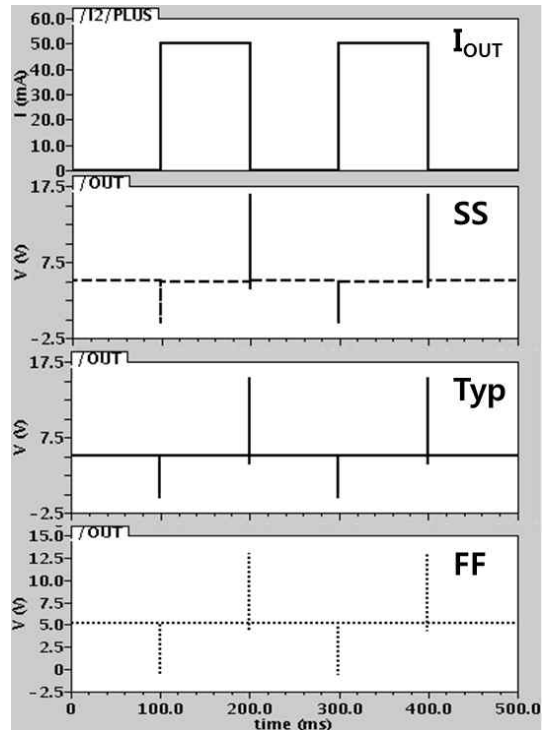


그림 9. 부하전류 변화에 따른 출력전압 변화
Fig. 9. Output voltage changes due to changes in load current.

는데, 본 논문에서는 이러한 스파이크들이 공정에 따라 어떻게 변화하는지를 연구하고자 한다.

부하전류는 동작 상태에 따라 변할 수 있다. 전자기기에서 사용 중일 때와 대기 중일 때의 부하전류가 다를 수 있기 때문이다. 이러한 부하전류의 변화에도 출력전압이 빠르게 응답할 수 있어야 한다.

그림 9는 부하전류 변화에 따른 출력전압의 변화를 나타낸 것이다. 인가되는 펄스 부하전류는 0 mA ~ 50 mA로 주기 200 ms를 가지고 변화한다.

그림 10과 그림 11은 그림 9를 확대한 그래프이다. 부하전류가 상승할 때 SS type에서는 5.47 V의 피크전압을 가지는 오버슈트 파형을 볼 수 있고, 출력전압이 안정화되는데 걸리는 시간은 0.69 μs이다. Typ type에서는 5.66 V의 피크전압을 가지고, 0.44 μs가 걸린다. 마지막으로 FF type에서는 5.69 V의 피크전압을 가지고, 0.21 μs가 걸린다. 또한 부하전류가 하강할 때는 언더슈트 파형을 가지는데, SS type에서는 12.27 V의 피크전압을 가지고 전압이 안정화되는데 걸리는 시간은 1.03 μs이다. Typ type에서는 11.48 V의 피크전압을 가지고, 0.8 μs의 시간이 걸린다. 그리고 FF type에서는 피크전압이 8.48 V이고, 0.33 μs만에 출력전압이 안정화된다.

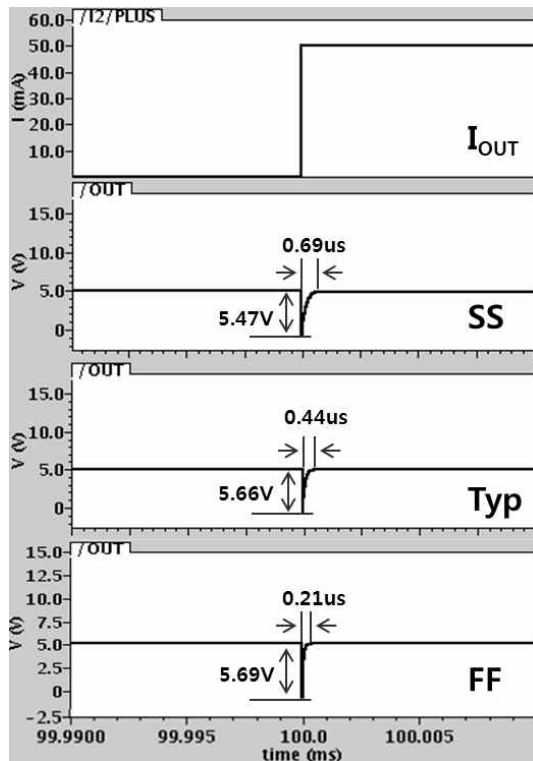


그림 10. 부하전류가 상승할 때 언더슈트 파형
 Fig. 10. Undershoot in case of load current rising.

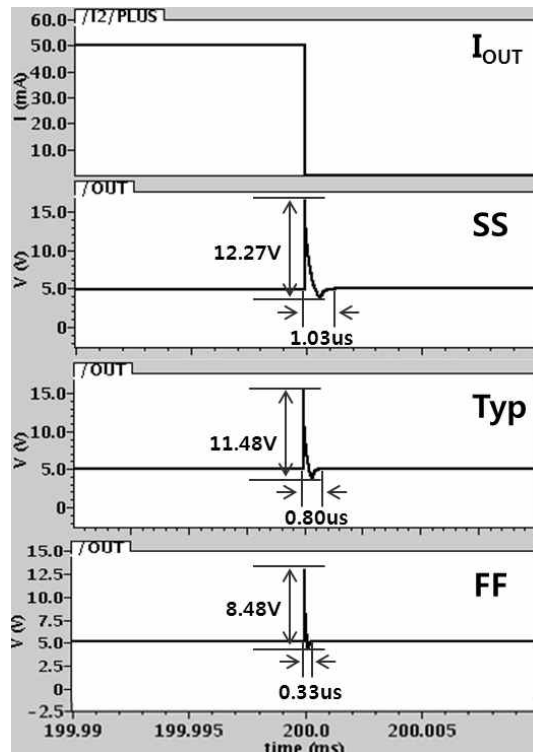


그림 11. 부하전류가 하강할 때 오버슈트 파형
 Fig. 11. Overshoot in case of load current falling.

시뮬레이션 결과는 표 1과 같이 정리하였다.

표 1. 공정변화에 따른 LDO 특성변화 비교

Table 1. SPICE simulation results of LDO regulator according to process variation.

Electrical parameters	Unit	SPICE para. stes		
		SS	Typ	FF
Line regulation	mV/V	3.6	4.2	7.0
Load regulation	mV/mA	0.4	0.44	0.56
Undershoot	V	5.47	5.66	5.69
	μ s	0.69	0.44	0.21
Overshoot	V	12.27	11.48	8.48
	μ s	1.03	0.8	0.33

IV. 결 론

본 논문에서 LDO 레귤레이터의 특성을 $1\mu\text{m}$ 20 V 고전압 CMOS 공정을 사용하여 SPICE 시뮬레이션 하였다. 세 가지 공정 변화에 따른 특성변화를 본 결과 SS type에서는 라인 레귤레이션이 3.6 mV/V, 부하 레귤레이션이 0.4 mV/mA, 부하전류 변화에 따른 출력전압이 안정화되는 시간이 평균 0.86 μ s였다. 그리고 Typ type에서는 라인 레귤레이션이 4.2 mV/V, 부하 레귤레이션이 0.44 mV/mA, 부하전류 변화에 따른 출력전압이 안정화되는 시간이 평균 0.62 μ s였다. 마지막으로 FF type에서는 라인 레귤레이션이 7.0 mV/V, 부하 레귤레이션이 0.56 mV/mA, 부하전류 변화에 따른 출력전압이 안정화되는 시간이 평균 0.27 μ s였다. 이와 같이 공정변화에 따라 공정오차가 약 4 %에서 109 %까지 나오는 것을 알 수 있다. 따라서 회로 설계 시 일반적인 특성 뿐 만이 아닌 공정변화에 따른 변화 또한 고려해야 할 것이다.

참 고 문 헌

- [1] Mohammad Al-Shyukh, Hoi Lee and Raul Perez, "A Transient-Enhanced Low-Quiescent Current Low-Dropout Regulator With Buffer Impedance Attenuation," IEEE J. Solid Stage Circuit, vol. 42, no.8, pp.1732-1742, Aug. 2007.
- [2] Hoi Lee, T. Karnik, Philip K. T. Mok, Ka Nang Leung, "A design of low-power analog drivers based on slew-rate enhancement circuits for cmos low-dropout regulators," IEEE. J. Solid - State Circuit, Vol.52, No.9, pp.563-567, September, 2005.
- [3] Man Siu, Philip K. T. Mok, Ka Nang Leung, Yat-Hei Lam, Wing-Hung Ki, "A voltage-mode pwm buck regulator with end-point prediction," IEEE TCAS II, vol. 53, no. 4, pp. 294-298, April

2006.

[4] P. Hazucha, T. Karnik, A. Bloechel, C. Parsons, D. Finan, S. Borkar, "Area-efficient linear regulator with ultra-fast load regulation," IEEE.J. Solid-State Circuit, Vol.40, No.4, pp. 933 -940, April, 2005.

[5] Kaiwei Yao, Kisun Lee, Ming Xu, and Fred C. Lee, "Optimal design of the active droop control method for the transient response," Applied Power Electronics Conference and Exposition, vol. 2, pp. 718-723, Feb. 2003.

[6] S. Mukhopadhyay, and K. Roy, "Modeling and Estimation of Total leakage Current in Nano-scaled CMOS Devices Considering the Effect of Parameter Variation," International Symposium on Low Power Electronics and Design 2003, pp.172-175, Seoul, Korea, Aug. 2003.

— 저 자 소 개 —



박 원 경(학생회원)
 2011년 현재 인제대학교
 나노공학부 재학 중.
 <주관심분야 : 반도체 회로설계,
 소자>



김 지 만(학생회원)
 대한전자공학회 논문지
 제 46권 IE편 제4호 p.15 참조
 2011년 현재 인제대학교 나노
 시스템 공학과 재학 중.
 <주관심분야 : 반도체 회로설계,
 소자>



허 윤 석(학생회원)
 2011년 현재 인제대학교 나노
 시스템 공학과 재학 중.
 <주관심분야 : 반도체 회로설계,
 소자>



송 한 정(정회원)-교신저자
 대한전자공학회 논문지
 제46권 IE편 1호, p.22 참조
 2011년 현재 인제대학교
 나노공학부 부교수
 <주관심분야 : 반도체소자 신뢰성
 및 회로설계>



박 용 수(정회원)
 대한전자공학회 논문지
 제46권 IE편 1호, p.22 참조
 2011년 현재 충청대학교
 전기전자학부 부교수
 <주관심분야 : 반도체 테스트 및
 회로설계>