

플립칩의 매개변수 변화에 따른 보드레벨의 동적신뢰성평가

김성걸⁺, 임은모⁺⁺

(논문접수일 2011. 08. 01, 수정일 2011. 08. 29, 심사완료일 2011. 08. 31)

Dynamic Reliability of Board Level by Changing the Design Parameters of Flip Chips

Seong Keol Kim⁺, Eun Mo Lim⁺⁺

Abstract

Drop impact reliability assessment of solder joints on the flip chip is one of the critical issues for micro system packaging. Our previous researches have been showing that new solder ball compositions of Sn-3.0Ag-0.5Cu has better mechanical reliability than Sn-1.0Ag-0.5Cu. In this paper, dynamic reliability analysis using Finite Element Analysis (FEA) is carried out to assess the factors affecting flip chip in drop simulation. The design parameters are size and thickness of chip, and size, pitch and array of solder ball with composition of Sn1.0Ag0.5Cu. The board systems by JEDEC standard including 15 chips, solder balls and PCB are modeled with various design parameter combinations, and through these simulations, maximum yield stress and strain at each chip are shown at the solder balls. It is found that larger chip size, smaller chip array, smaller ball diameter, larger pitch, and larger chip thickness have bad effect on maximum yield stress and strain at solder ball of each chip.

Key Words : Flip chip(플립칩), Drop impact reliability(낙하 충격 신뢰성), Mechanical reliability(기계 신뢰성), Chip size(칩 크기), Array(배열), Ball size(볼 크기), Pitch(피치), Chip thickness(칩두께)

1. 서론

휴대폰 및 카메라 등 휴대용 전자제품의 기기 내부에 탑재되는 칩 패키지(package)와 같은 초소형 전자부품의 기계적 신뢰성 평가가 현재 중요한 문제로 부각되고 있다⁽¹⁾. 패키지의 접합부에 사용되는 솔더(solder) 조성은 환경에 유해한 영향을 미치는 유연 솔더에서 보다 환경에 무해한 무연 솔더로 변화함에 따라, 새롭게 개발된 무연 솔더 조성들을 대상으로 기계적 신뢰성 평가 연구가 수행되었다⁽²⁾. 그러나 플립 칩의 매개 변수들의 변화에 따른 신뢰성 평가 연구는 전무하다⁽³⁾. 따라서 본 연

구에서는 유한 요소 해석 프로그램인 ANSYS를 이용하여, JEDEC(국제 반도체 표준화 기구) 시험규격⁽⁴⁾에 명시된 보드레벨 낙하 시험에 대한 사항을 준수하여 플립 칩의 매개변수 변화에 따른 보드레벨 낙하 시뮬레이션을 수행하고자 한다.

보드레벨 낙하 시뮬레이션은 유한요소 해석 프로그램을 이용하여 칩 패키지를 설계하고 낙하 시험과 동일하게 조건을 설정하여 일정한 순간 가속도의 충격량을 가하는 방식으로 진행하였다. 플립 칩의 매개변수로 솔더 볼의 지름, 솔더 볼의 배열, 플립 칩의 두께, 칩의 크기, 솔더 볼의 간격(pitch) 등의 매개변수 값들을 변화시켜 낙하 충격 시 솔더 볼이 받는 최대 응력을

+ 주저자, 서울과학기술대학교 기계설계자동화공학부 (rhett@seoultech.ac.kr)
주소: 139-743 서울시 노원구 공릉2동 172
++ 서울과학기술대학교 기계설계자동화공학부

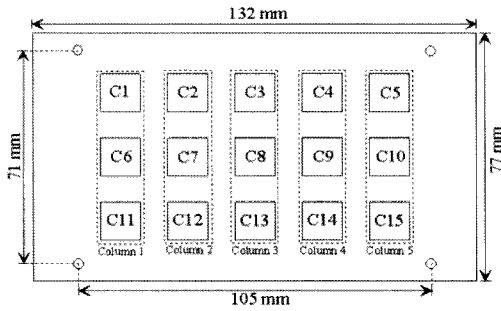


Fig. 1 Schematic of configuration of PCB for drop simulation

계산하고자 하며, 전체 모델에서 파단이 예상되는 솔더 볼의 위치와 순서를 파악하고 변화시킨 매개 변수의 중 최적의 조건을 구하고자 한다.

2. 낙하해석(Drop simulation)

본 해석을 위해, PCB 및 칩의 기하학적 크기와 모양은 Fig. 1과 같으며, 이 형상 및 크기는 JEDEC 기준(standard)에 따라 PCB 및 칩 그리고 무연 솔더 볼 등이 제작되었다.

2.1 내재적 방법에 의한 해석(Implicit method)

내재적 방법은 실제 낙하와 등가의 조건으로 4개의 고정점을 갖는 보드시스템에 대해 0.05ms 동안 1,500g의 가속도 충격을 칩, 무연 솔더 볼 그리고 보드 등에 가하고, 그 후 일정 시간 동안 모든 절점에서 해석결과를 얻을 수 있어 해석 시간은 외재적 방법에 의한 해석보다 거의 1/10 정도로 줄 일 수 있다⁽⁵⁾.⁽⁶⁾ 본 방법을 사용한 해석에서 필요한 값은 각 모드에서의 감쇠비인 ζ_{mr} ⁽⁷⁾이며, 다음과 같이 구할 수 있다.

$$\zeta_{mr} = \frac{\alpha}{2\omega_r} + \frac{\beta}{2}\omega_r \quad (1)$$

위 식에서 α (friction damping)은 0에 가까운 매우 작은 값을 가지므로 생략되고 아래와 같이 단순하게 표현할 수 있다.

$$\zeta_{mr} = \frac{\beta}{2}\omega_r \quad (2)$$

β (modal damping ratio)와 ω_r (natural frequency)값은 모드 형상에 따라 달라지는데 여기서는 1차 모드를 사용하였다.⁽⁸⁾

2.2 해석방법

해석을 위한 프로그램은 상용 CAE 프로그램인 ANSYS 11.0이다. PCB 보드 전체를 모델링할 경우, 해석 수행시 많은

데이터 용량과 해석시간을 요구 하여 본 논문에서는 시간의 효율성 및 해석 모델의 기하학적 대칭성을 고려하여 전체 시스템을 1/4 크기로 모델을 사용하였다. 또한, Fig. 2와 같이 대칭 경계 선상에 4개의 칩과 내부에 2개의 칩 등 6개로 모델링하였으며, 칩, 솔더 볼 그리고 PCB 모두 ANSYS에서 제공하는 Solid 45 요소를 사용하였다.

내재적 방법을 이용한 시간이력해석(transient analysis)을 수행하였으며, 해석을 위해 필요한 입력 값들을 Table 1에 제시하였다.

Table 2에서는, 본 해석에서 사용된 모델들을 보여주고 있으며, 각각 무연 솔더 볼의 지름, 솔더 볼의 배열, 플립칩의 두께, 칩의 크기, 그리고 무연 솔더 볼의 간격 등의 플립칩의 매개변수의 변화를 나타내고 있다. 이런 매개변수들의 변화는 국내 마이크로 시스템 패키징 회사인 N사로부터 솔더 볼 설계 시 적용할 수 있는 매개변수들의 조합으로 구성되어 있다.

각 모델에 대한 경계조건은 본 해석에서 사용된 1/4 모델의 경우 1개의 구멍(hole)이 고정되어 있으므로 구멍 내부의 모든 자유도를 구속하였으며, 대칭 경계조건을 사용하였다. 시간이력을 적용한 낙하해석의 결과로, PCB, 칩 그리고 무연 솔더 볼 등에서의 굽힘(bending)과 최대 응력(maximum von-Mises

```

ANTYPE, 4           ! Transient analysis
TRNOPT, FULL       ! Full solution method

!At time equals 0.00005s
DELTIM, 0.00005   ! Specifies the time step sizes
TIME, 0.00005     ! Sets time to 0.00005 seconds

KBC, 0             ! Ramped load step

OUTRES, ERASE     ! Write every substep
OUTRES, ALL, ALL

BETAD, 0.0001432  ! Sets Damping Ratio to 1.432

!At time equals 0.00025s
TIME, 0.00025     ! Sets time to 0.001 second
KBC, 0             ! Ramped load step
ACEL, 0, 0, 14700000,
LSWRITE, 5,
    
```

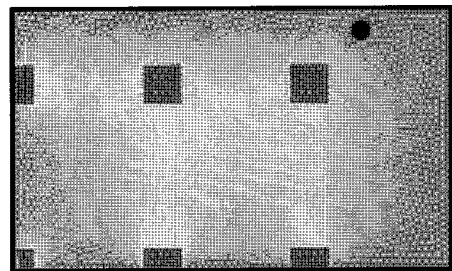


Fig. 2 Quarter modeling of PCB packaging

Table 1 Input parameters including damping ratio and analysis time for drop simulation

damping ratio	analysis time	load steps
0.0001432	0s ~ 0.03s	12

Table 2 Modified design parameters of solder balls

	Size	Array	Ball	Pitch	Chip thickness
Original	5.6	14*14	0.25	0.4	0.3
Model 1	5.6	12*12	0.25	0.4	0.3
Model 2	5.6	14*14	0.35	0.4	0.3
Model 3	5.6	14*14	0.3	0.4	0.3
Model 4	5.6	14*14	0.2	0.4	0.3
Model 5	5.6	14*14	0.15	0.4	0.3
Model 6	5.6	14*14	0.25	0.4	0.5
Model 7	5.6	14*14	0.25	0.4	0.4
Model 8	5.6	14*14	0.25	0.4	0.2
Model 9	6	14*14	0.25	0.4	0.3
Model 10	6	12*12	0.25	0.5	0.3
Model 11	6	12*12	0.35	0.5	0.3

Table 3 Material properties of board

Elastic modulus(MPa)		Poisson ratio	Density (kg/m ³)
Solder	Sn1.0Ag0.5Cu-0.05Ni	33,400	0.3
	Silicon	131,000	0.278
	PCB-FR4	22,000	0.28

stress)의 크기 순서 및 위치 등을 구하였다.

본 해석을 위해 사용된 재료의 물성치는 Table 3과 같으며, 새로운 조성의 무연 솔더 볼에 대한 물성치 등은 국내의 N사에서 제공하였다.

2.3 해석 결과

플립 칩의 설계 매개변수의 변화에 대한 해석결과는 각 매개 변수에 따라 다르게 나타내었다. 결과 값은 각각의 매개변수마다 구분하였고, 기존의 기본모델과 비교하여 각 매개변수가 각각의 칩에 미치는 영향에 대해서 조사하였다.

2.3.1 무연 솔더 볼의 배열 변화해석

Table 4에서 볼 수 있듯이 무연 솔더 볼의 배열을 작게 하면, C3, C8, C9 등 대칭 경계조건 주변에 있는 칩들에서는 최대 응력이 다소 증가하였으나, C4, C5, C10 등 고정되는 구멍 근처의 칩들에서는 최대 응력이 감소하여 서로 다른 경향을 나타내었다. 기존 연구 결과와 같이 최대 응력이 발생하는 위치는 모든 칩에서 솔더 볼과 PCB 사이에서 발생되었으며, 각 칩에서의 최대 응력의 크기 순서는 고정 구멍과 가장 가까운 C5에서 최대로, 그 다음 순서로는 보드 가운데 위치한 C8에서, 그 다음으로는 C3, C9, C4 그리고 C10 순서로 최대응력 값을 나타내었다.

Table 4 Result of drop simulation by changing solder ball array

	Original	Model 1
	Array 14*14	Array 12*12
	Maximum stress (MPa)	Maximum stress (MPa)
C5	207.385	208.311
C8	129.274	120.928
C3	119.523	116.257
C9	104.620	100.800
C4	83.046	88.042
C10	57.339	63.265

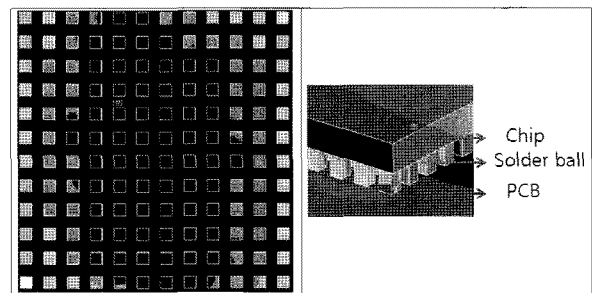


Fig. 3 Distribution of von-Mises stress in chip #4 of model 2

Table 5 Result of drop simulation by changing solder ball size

	Model 2	Model 3	Model 4	Model 5
	Ball size (mm)	Ball size (mm)	Ball size (mm)	Ball size (mm)
	0.35	0.3	0.2	0.15
	Maximum stress (MPa)	Maximum stress (MPa)	Maximum stress (MPa)	Maximum stress (MPa)
C5	100.000	179.809	248.265	386.372
C8	97.745	114.975	152.832	241.050
C3	84.972	94.358	147.074	207.267
C9	64.578	82.259	114.105	187.548
C4	61.983	80.055	110.879	177.443
C10	39.708	49.673	76.233	110.194

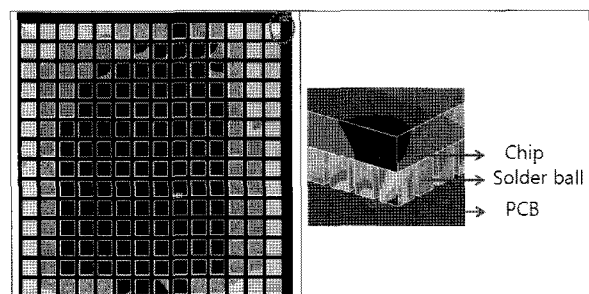


Fig. 4 Distribution of von-Mises stress in chip #5 of model 3

2.3.2 무연 솔더 볼의 크기 변화해석

Table 5의 모델 2에서 5까지의 결과 값들은 솔더 볼의 크기를 0.35mm에서 0.15mm로, 순차적 감소시킨 것에 대한 결과이다. 솔더 볼의 크기가 감소할수록 칩과 PCB사이에 나타나는 최대 응력값이 매우 증가함을 확인 할 수 있었다. 따라서 솔더 볼의 크기가 증가하면 각 칩에서의 최대 응력이 매우 감소하였다. 각 칩에서의 최대응력 크기 순서는 이전 해석과 동일하였다.

2.3.3 칩 두께 변화해석

Table 6은 칩의 두께 변화에 따른 해석결과를 나타내고 있으며, 칩의 두께가 줄어들수록 각 칩에서의 최대 응력값도 상대적으로 크게 감소하여 그 영향이 작지 않음을 알 수 있었다.

2.3.4 칩 크기와 피치 크기 변화해석

Table 7의 결과에서 알 수 있듯이 칩 크기가 5.6mm*5.6mm인 기본 모델(original model)과 비교하면, 모델 9와 모델 10에서는 각 칩에서의 최대 응력이 증가하였으나, 모델 11에서는 각각의 칩에서 감소하였다. 또한, 솔더 볼 사이의 피치 크기 변화에 대한 해석결과를 기본 모델과 비교해보면, 피치 크기가 증가한 모델 10에서는 각 칩에서의 최대 응력이 증가 하였으

Table 7 Result of drop simulation by changing chip size and pitch size

	Model 9	Model 10	Model 11
	chip size 6 mm	chip size 6mm array 12*12 pitch 0.5mm	chip size 6mm array 12*12 ball size 0.5mm pitch 0.5mm
	Maximum stress (MPa)	Maximum stress (MPa)	Maximum stress (MPa)
C5	233.274	235.051	162.413
C8	134.198	140.121	101.750
C3	128.848	128.723	96.363
C9	98.441	117.335	72.147
C4	89.080	104.513	78.549
C10	66.096	67.322	52.428

Table 6 Result of drop simulation by changing chip thickness

	Model 6	Model 7	Model 8
	chip thickness (mm)	chip thickness (mm)	chip thickness (mm)
	0.5	0.4	0.2
	Maximum stress (MPa)	Maximum stress (MPa)	Maximum stress (MPa)
C5	229.001	179.544	134.131
C8	143.263	113.544	92.131
C3	128.856	81.551	75.444
C9	114.237	75.557	68.554
C4	95.612	61.111	54.366
C10	63.726	55.668	37.121

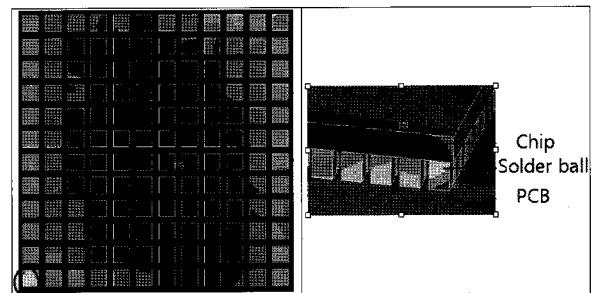


Fig. 6 Distribution of von-Mises stress in chip #4 of model 11

나, 솔더 볼의 매개변수들을 다양하게 변화시키면서 기본모델에 비해 피치를 증가한 모델11에서는 감소함을 알 수 있었다.

2.3.5 해석결과의 검토 및 토의

플립칩의 설계 매개변수 변화에 따라 최대 응력의 크기 및 순서가 변화 하는 것을 알 수 있다. 대부분의 해석에서는 칩이 C5 > C8 > C3 > C9 > C4 > C10의 순서로 von-Mises 응력의 크기가 작아지는 것으로 나타났다. 또한, 플립칩의 설계 매개변수에 상관없이 각 칩에서의 von-Mises 응력의 최대크기는 모두 모서리(edge) 부분의 솔더 볼에서 발생 하였으며, PCB와 솔더 볼 사이의 접촉면에서 모두 발생 하였다. 이는 PCB의 크기가 칩과 솔더 볼에 비해 상대적으로 가장 크고, 가장 약한 재질이므로 보드가 가속 낙하시 PCB의 변형이 가장 크게 발생이 되며, 이로 인해 모든 칩의 솔더 볼과 PCB 사이에서 최대응력이 발생 되었다. 이를 통해서 PCB와 솔더볼 사이의 접촉면이 가장 먼저 파괴됨을 예측할 수 있다. Fig. 7은 1/4 모델을 적용한 모델 3에서의 낙하해석 결과를 나타내고 있다.

플립 칩의 설계 매개변수 중에서는 솔더 볼의 크기 변화가 각 칩에서의 최대 von_Mises 응력 값을 가장 크게 변화시켰다.

Fig 8과 같이 플립 칩의 설계 매개변수의 변화에 상관없이

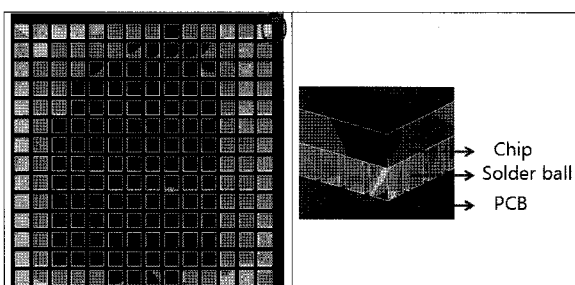


Fig. 5 Distribution of von-Mises stress in chip #5 of model 6

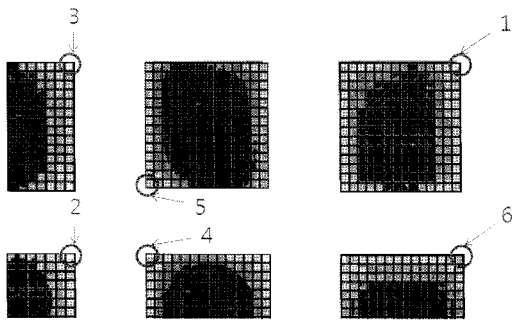


Fig. 7 Locations of maximum von_Mises yield stresses in chips by drop simulation for the quarter model 3

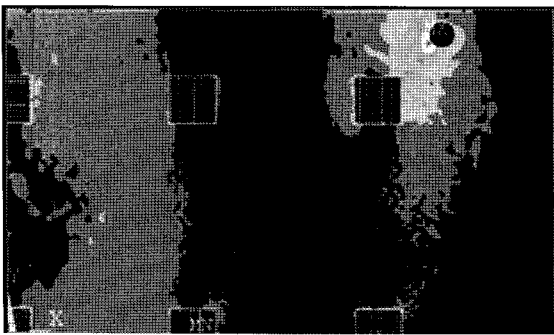


Fig. 8 Maxmum von-Mises stress distribution of the model 5 by drop simulation

모든 1/4 모델에 대한 낙하해석의 결과로, 지지 구멍에서 가장 큰 응력이 나타났고, 지지 구멍과 가장 가까운 칩 C5에서의 최대 응력이 가장 크게 나타나고 그 다음은 중간 부분의 순서로 나타남을 확인 할 수 있었다.

3. 결론

본 논문에서는 유한요소 해석 방법을 이용 및 응용하고, JEDEC 조건의 보드레벨 낙하충격실험을 모사하여 플립칩 패키지의 매개변수, 즉 무연 솔더 볼의 지름과 배열, 플립칩의 두께, 칩의 크기, 그리고 무연 솔더 볼의 간격 등을 변화시키면서 낙하 해석을 실시하였다.

해석 결과를 통해 알 수 있었던 것은 첫째, JEDEC 조건에 의해 플립 칩이 장착된 보드를 1,500g로 낙하할 때, 기계적 신뢰성 측면에서 가장 안전한 모델은, 칩 배열은 크게, 칩 크기는 작게, 칩 두께는 작게, 무연 솔더 볼의 크기는 크게 그리고 무연

솔더 볼 사이의 피치는 작게 설계 제작되어야 한다. 둘째, 매개변수 중에서 각 칩에서의 최대 응력값에 영향을 가장 크게 미친 것은 솔더 볼의 지름 변화로 나타났다. 셋째, 플립 칩의 설계 매개변수를 변경한 낙하해석 결과도 기존 연구 결과와 동일하게 PCB와 솔더 볼 사이에서 최대응력이 발생되었으며, 각 칩에서의 최대 응력 크기의 순서도 동일하였다.

참고 문헌

- (1) Tee, Y., Luan, J., Ng, H. S., Lim, C. K., Pek, E., and Zhong, Z., 2004, "Advanced Experimental and Simulation Techniques for Analysis of Dynamic Responses during Drop Impact," *54th Electronic Components and Technology Conference*, pp. 1088~1094.
- (2) Mattila, T. T., Marjamaki, P., and Kivilahti, J. K., 2006, "Reliability of CSP Interconnections under Mechanical Shock Loading Conditions," *IEEE Transaction on Components and Packaging Technologies*, Vol. 29, No. 4, pp. 787~795.
- (3) Kim, S. K., Kim, H. J., Lim, S. Y., Kim, S. Y., Yang, I. Y., and An, E. J., 2010, "Dynamic Reliability Assesment of Solder Balls on the Design Parameters of Flip Chips," *KSMTE Fall Conference*, pp. 149~153.
- (4) JEDEC standard, 2003, *Board Level Drop Test Method of Components for Handheld Electronic Products*, JESD22-B111, *JEDEC Solid State Technology Association, Electronic Industries Alliance, USA*.
- (5) Kim, S. K., Kim, K. L., Bae, J. G., Park, S. H., and Lee, D. G., 2009, "Dynamic Analysis of Flip Chips with Solder Balls with Two Different Compositions," *KSPE Fall Conference*, pp. 207~208.
- (6) Kim, S. K., 2011, "Board-Level Drop Analyses having the Flip Chips with Solder balls of Sn-3.0Ag-0.5Cu and Sn-1.0Ag-0.5Cu," *J. of the KSMTE*, Vol. 20, No. 2, pp. 193~201.
- (7) Cai, C., Zheng, h., Khan M. S., and Hung, K. C., 2002, "Modeling of Material Damping Properties in ANSYS," *CADFEM Users' Meeting & ANSYS Conference*, pp. 9~24.