

A Single Phase Inverter Using the Central Arm

이 호* · 이 화 춘** · 김 승 룡* · 박 성 준†
(Ho Lee · Hwa-Choon Lee · Seung-Ryong Kim · Sung-Jun Park)

Abstract - In this paper, the switching frequency and THD for the reduction instead of traditional single phase inverter using a new type of central arm of the single phase inverter is proposed. The proposed single phase inverter topology, the existing one to add a arm by two-way central switch 3-level output voltage can be raised and, central arm, especially one or two of the switches by using a switch to the diode current switching algorithm was simplified. During the dead time because of this, depending on the direction of the current level does not appear in any other existing level compared to the inverter output voltage level of the THD has the advantage that less can be. The simulation and experimental results verified the validity of the proposed topology.

Key Words : Inverter, Single phase, Central arm, Full-bridge

1. 서 론

현대산업의 발달로 인하여 다양한 전력변환기의 사용이 증대됨에 따라 전력변환기에서 발생하는 THD 및 스위칭 노이즈가 각종 계전기에 대한 심각한 문제로 대두됨에 따라 전력변환기 자체에서 발생하는 THD 저감에 대한 다양한 연구가 진행되고 있다. 이러한 연구의 일환으로 스위칭 주파수의 증가 없이 출력전압 THD를 줄일 수 있는 대표적인 방법이 멀티레벨 인버터이다. 멀티레벨 인버터는 전력용 스위치 소자의 발달과 비용저감으로 인하여 스위칭 소자 추가에 대한 부담이 줄어들어 그 구성이 산업체의 다양한 요구를 만족시키고 있다. 멀티레벨 인버터의 특징으로는 전압 레벨 수가 증가함에 따라 적은 고조파성분과 낮은 스위칭 주파수 및 dv/dt로 구동이 가능하며, 낮은 정격전압 스위칭 소자로 높은 출력전압을 실현할 수 있다. 대표적인 멀티레벨 인버터 방식으로는 NPC(Neutral Point Clamped)방식, 플라잉 커패시터 방식, Cascaded 방식 등이 있다. 이러한 방식은 클램핑 다이오드에 걸리는 전압 스트레스가 일정하지 않고, 직류단 커패시터의 전압 밸런스를 유지하기 어려우며, 순환 전류의 문제 및 각 셀의 직류링크가 절연되어야 하는 단점이 있다.

따라서, 본 논문에서는 각 스위치에 인가되는 전압 스트레스가 일정하고, 직류단 커패시터의 전압 밸런스 문제가 없

으며, 순환전류 및 절연문제를 해결할 수 있는 새로운 central arm을 이용한 단상 멀티레벨 인버터를 제안하였다. 제안된 멀티레벨 인버터는 central arm의 두 스위치 중 한 스위치를 전류다이오드로 사용함으로써 스위칭 알고리즘을 단순화하였으며, 이로 인해 dead time 동안 전류의 방향에 따라 다른 레벨이 나타나지 않아 기존 3-레벨 인버터에 비하여 출력전압의 왜형율을 줄일 수 있는 특징을 가지고 있다.

2. 제안된 인버터

2.1 기존의 멀티레벨 인버터

동일한 스위칭 주파수의 인버터에서 발생하는 고조파성분을 줄이기 위해 한 암에 4개의 스위칭 소자를 사용하는 NPC(neutral point clamped)-PWM 3상 인버터는 선간출력 파형이 3-레벨이 되어 종전 full-bridge 타입의 3상 PWM 인버터에 비하여 고조파 함유량을 줄일 수 있는 특징을 가지고 있다.

멀티레벨용 인버터 중에서 단상용 멀티레벨 인버터로 일반적으로 사용되는 것은 HBML(H-Bridge type Multi-Level) 인버터이다. 그림 1은 2개의 H-bridge 인버터를 직렬로 연결하여 3-레벨을 발생시킬 수 있는 HBML 타입의 멀티레벨 인버터 구성과 그 동작원리를 나타내고 있다. HBML 인버터는 저압 H-bridge를 직렬로 연결하여 독립된 dc-link를 갖는 단위 cell들로 구성된다. 각 H-bridge인버터는 스위칭 함수에 의해 영(zero)전압 및 정(正), 부(負)의 dc-link 전압을 발생할 수 있으며, 최종 출력단의 전압은 직렬로 연결되어있는 각 H-bridge 인버터 출력전압의 합이 된다. 이때 최하위 레벨과 최상위 레벨에서의 스위칭 함수가 유일하게 존재하나, 그 중간의 레벨들은 다양한 스위칭 함수로 구현할 수 있다.

* 준 회 원 : 전남대학교 전기공학과 석사과정

** 정 회 원 : 전남대학교 전기공학과 박사과정

† 교신저자, 정회원 : 전남대학교 전기공학과 부교수

E-mail : sjpark1@jnu.ac.kr

접수일자 : 2010년 10월 16일

최종완료 : 2010년 11월 8일

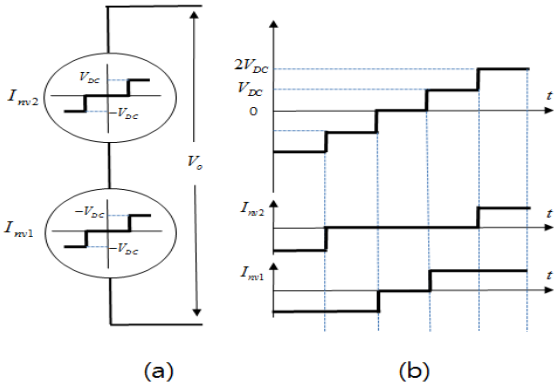


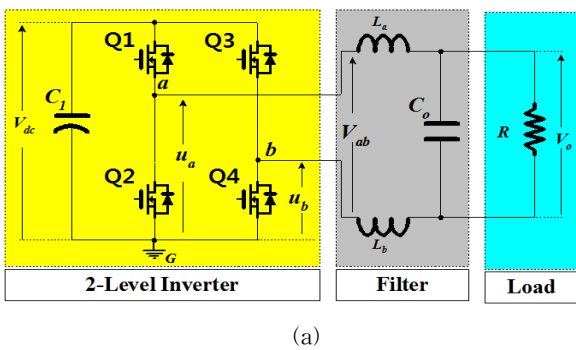
그림 1 3-레벨 HBML 인버터의 동작원리
 (a) HBML 타입의 인버터 구성
 (b) HBML 타입의 인버터 동작 원리

Fig. 1 Principle operation of the 3-level HBML inverter
 (a) Configuration of HBML inverter
 (b) Principle operation of HBML inverter

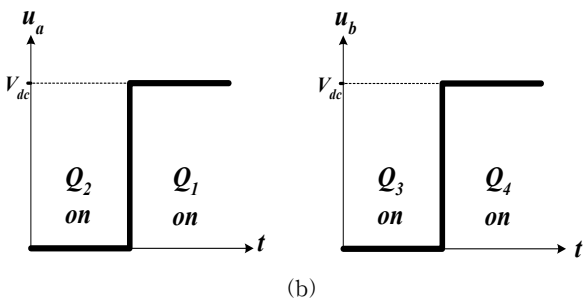
하지만, HBML 인버터의 단점은 각 인버터에 독립된 dc-link 전원을 공급해야 하고, 스위칭 소자를 많이 필요로 하는 단점을 가지고 있다.

2.2 제안된 멀티레벨 인버터

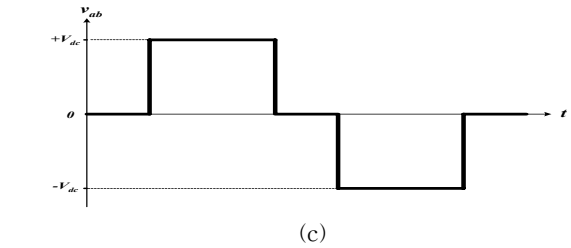
그림 2는 기존 full-bridge 방식의 단상 인버터 토폴로지를 나타낸 것이다. 이 인버터 토폴로지는 독립적으로 스위칭하는 2개의 극(pole)으로 이루어져 있고, 각 극의 두 스위치는 상보 스위칭을 하면서 이들 4개의 스위치 상태에 따라 인버터의 출력 전압을 조절 한다.



(a)



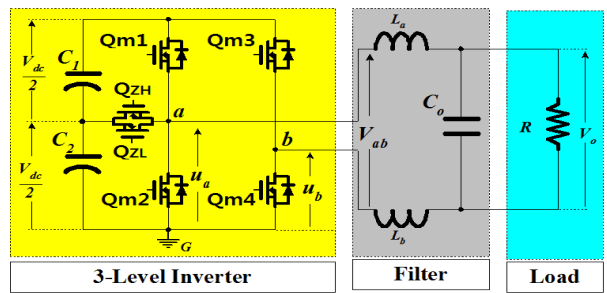
(b)



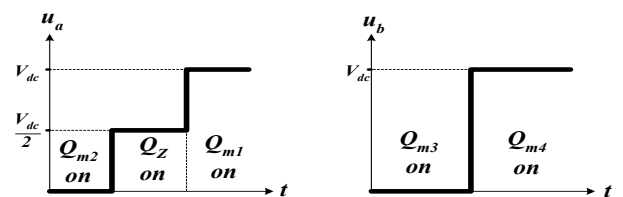
(c)

그림 2 기존의 2-레벨 인버터의 구성 및 전압관계
 (a) 기존의 2-레벨 인버터의 구성
 (b) 스위칭과 암전압 (c) 출력 전압

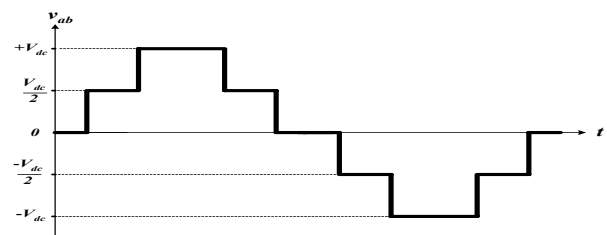
Fig. 2 Topology and voltage of 2-level inverter
 (a) Existing 2-level inverter configuration
 (b) Switching and arm voltage (c) output voltage



(a)



(b)



(c)

그림 3 제안된 3-레벨 인버터의 구성 및 전압관계
 (a) 제안된 3-레벨인버터의 구성
 (b) 스위칭과 암전압 (c) 출력전압

Fig. 3 Topology and voltage of proposed 3-level inverter
 (a) Proposed 3-level inverter configuration
 (b) Switching and arm voltage (c) Output voltage

그림 2(b)와 (c)에 이 전력회로의 스위칭 암 전압과 인버터의 출력전압을 나타내고 있다. 그림 3은 제안된 인버터의 회로를 나타내고 있다. 그림에서 보는 바와 같이 제안된 인버터는 기존의 full-bridge 방식의 인버터 전력회로에서 단

방향 스위치 두 개를 병렬로 구성하여 양방향 스위치로 사용하고 있다. Central arm 스위치를 직류전원의 중성 탭과 기존의 full-bridge 인버터의 한 암에 연결하여 추가된 스위치의 기능으로 출력전압은 직류전원의 절반을 인가할 수 있게 된다. 제안된 인버터의 출력전압 레벨을 알아보기 위해 각 스위치의 On Off에 따른 암 전압을 살펴보면, 우선 Q_{m3} 가 On되면 b 점 전압은 직류전원전압인 V_{dc} 가 되고, Q_{m4} 가 On 되면 b 점 전압은 영(zero)이 되어 2-레벨을 출력할 수 있는 암이 된다. a 점 전압의 경우 양방향 스위치의 추가로 인하여 Q_{m1} 이 On되면 a 점 전압은 직류전원전압인 V_{dc} 가 되고, Q_{m2} 가 On 되면 a 점 전압은 영(zero)이 되나, Q_{ZH} , Q_{ZL} 이 On이 되면 a 점 전압은 직류전원전압의 절반인 $V_{dc}/2$ 가 되는 전력회로의 구조를 가지고 있다. 스위치의 On에 따라 a 점 전압은 0 , $V_{dc}/2$, V_{dc} 의 3가지 전압이 나타나고, b 점 전압도 0 , V_{dc} 의 2가지 전압이 나타난다. 각 스위치의 On, Off에 따라 인버터의 출력 전압으로 형성할 수 있는 전압은 두 암 전압차가 된다. 따라서 제안된 인버터의 출력전압 V_{ab} 는 0 , $V_{dc}/2$, V_{dc} , $-V_{dc}/2$, $-V_{dc}$ 의 5가지가 나타나게 된다. 따라서, 0 , V_{dc} , $-V_{dc}$ 가 나타나는 full-bridge 인버터보다 양호한 출력전압을 얻을 수 있다. 제안된 인버터에서 양방향 스위치로 삽입한 Q_{ZH} , Q_{ZL} 스위치를 동시에 On Off하는 구조로 스위칭 함수를 구현하면 Q_{m1} , Q_{m2} , Q_{ZH} , Q_{ZL} 사이에 dead time이 존재해야 하며 이로 인해 이 암에 연결된 모든 스위치가 Off되는 구간이 존재하게 된다. 이 때 V_{ab} 의 전압에는 전류의 방향에 따라 0 또는 V_{dc} 전압이 나타나게 되어 1-레벨 출력시 스위치 한 구간마다 V_{dc} 전압이 나타나게 된다. 이는 출력전압의 고조파 성분증대 및 스위치 소자 Q_{m1} 과 Q_{m2} 에 전압 스트레스를 가중시키게 된다.

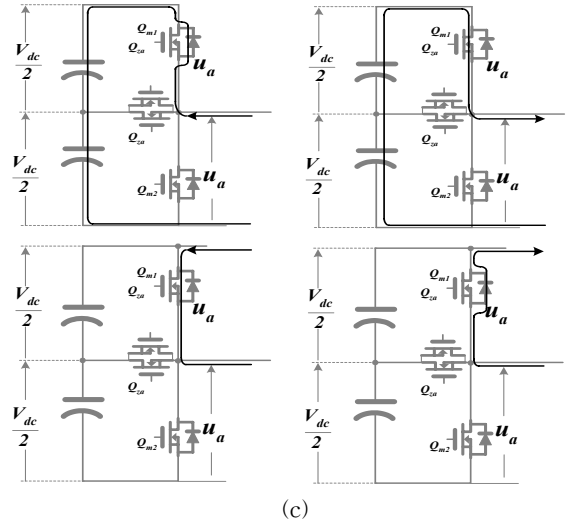


그림 4 암전류 방향에 따른 각 레벨시 전류루프

- (a) 암전류 방향에 따른 0-Level시 전류루프
- (b) 암전류 방향에 따른 1-Level시 전류루프
- (c) 암전류 방향에 따른 2-Level시 전류루프

Fig. 4 Current loop according to direction of arm current

- (a) The current loop at 0-Level according to the arm current direction
- (b) The current loop at 1-Level according to the arm current direction
- (c) The current loop at 2-Level according to the arm current direction

그림 3에 있는 제안된 인버터의 출력전압은 전력소자의 On, Off에 따라 12개의 동작 모드로 구분할 수 있으며 암 전류 방향에 대한 각 레벨시 전류루프는 그림 4에 나타내었다.

제안된 3-레벨 인버터의 토폴로지에서 0-레벨 및 2-레벨은 기존의 2-레벨 full-bridge 인버터와 동일한 동작모드를 가지나, 1-레벨에서는 central arm용 단방향 스위치 2개를 이용하여 양방향 스위치로 사용함으로써 암 전류의 방향에 따라 통되어야 할 스위치가 결정된다. 그림 4와 같은 회로에서 정현적인 출력전압을 형성하기 위해서는 여러 가지 스위칭 기법이 있을 수 있으나 구현의 용이성 및 dead time의 영향 등을 고려하여 결정하여야 한다.

2.3 스위칭 함수 구현

Central arm용 스위치에 대한 스위칭 함수 단순화를 할 수 있는 한 방법으로는 그림 5와 같이 레벨에 따른 등가회로를 생각할 수 있다. 즉 정(正)의 2-레벨 발생시에는 그림 5의 (a)와 같이 Q_{m2} 스위치를 Off하고 Q_{ZL} 스위치를 On한 상태(본 등가회로에서는 다이오드로 표기하였음)에서 Q_{m1} 과 Q_{ZH} 를 새로운 암으로 간주하여 스위칭을 행하고, 정(正)의 1-레벨 발생시에는 그림 5의 (b)와 같이 Q_{m1} 과 스위치를 Off하고 Q_{ZL} 스위치를 On한 상태에서 Q_{ZH} 와 Q_{m2} 를 새로운 암으로 간주하여 스위칭을 행한다. 이렇게 함으로써 스위칭 함수를 간략화 할 수 있다.

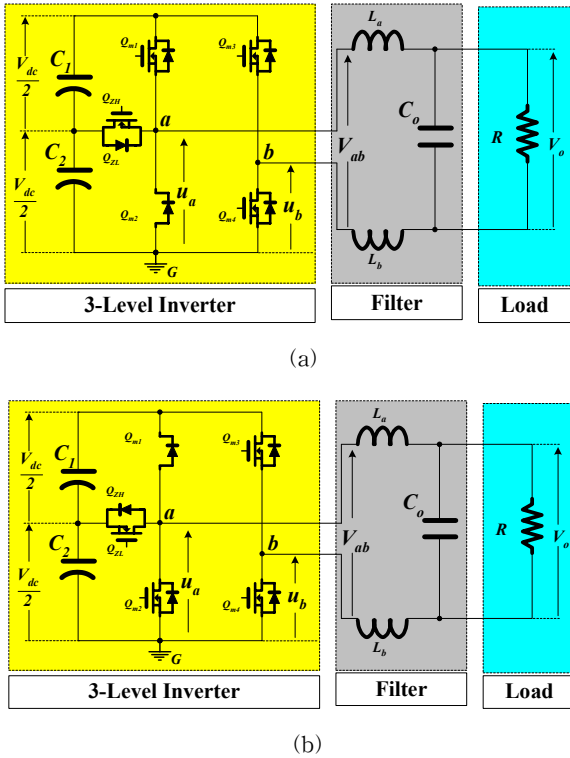


그림 5 레벨에 따른 등가회로
 (a) 2-레벨 발생 등가회로
 (b) 1-레벨 발생 등가회로
 Fig. 5 Equivalent circuit according to level
 (a) 2-level equivalent circuit
 (b) 1-level equivalent circuit

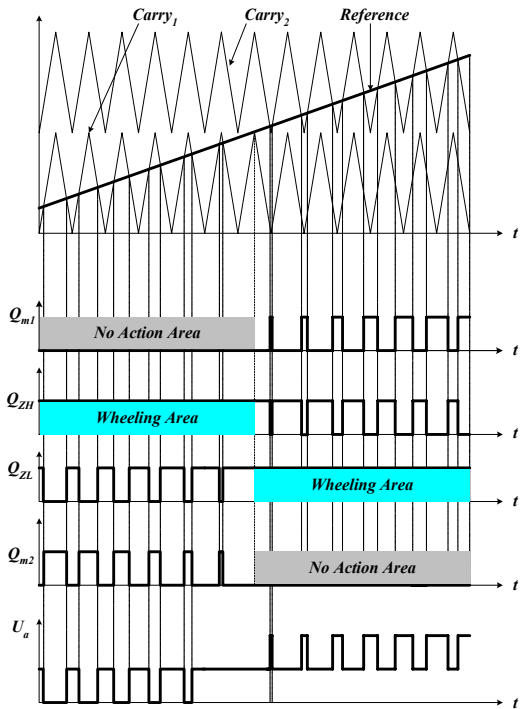


그림 6 스위칭 패턴
 Fig. 6 The switching pattern

그림 6은 본 연구에서 제안한 스위칭 방식을 도식화 한 것이다. 우선 직류전원의 절반인 분할용 콘덴서 전압을 이용하여 1-레벨 출력전압을 형성하고 이 전압으로 원하는 출력 전압을 형성할 수 없을 시 직류전원전압을 이용하여 2-레벨 출력전압을 형성한다. 따라서 이러한 방식의 인버터에서는 변조지수가 0.5 이하에서는 직류전원을 반으로 설정하여 변조지수를 2배로 키워 같은 출력 전압을 형성하고, 변조지수가 0.5 이상에서는 직류전원전압과 분할용 콘덴서의 전압인 직류전원전압의 절반인 전압을 이용함으로써 같은 직류 전 원전압을 사용하는 full-bridge 인버터에서 보다 고조파성분을 대폭 감소할 수 있는 시스템이 될 수 있다. 이와 같은 모 드로 스위칭함수를 구현하기 위해 변조 지수가 0.5일 때 변 조도가 피크치의 절반 값을 그 크기로 하는 반송파와 그 크 기만큼의 오프셋을 가한 반송파로 기존의 정현적 PWM 반송 파를 대체하였다. 또한 위의 반송파에 의한 스위칭 함수를 우선 순위로 하고 스위칭함수를 형성하였다.

3. 시뮬레이션 및 실험 결과

3.1 시뮬레이션 결과 분석

필터를 포함한 인버터에서 출력전류의 리플저감 및 인덕 터 철손 경감의 관점에서 인버터 자체에서 발생하는 고조파 성분을 줄이는 작업이 선행되어야 한다.

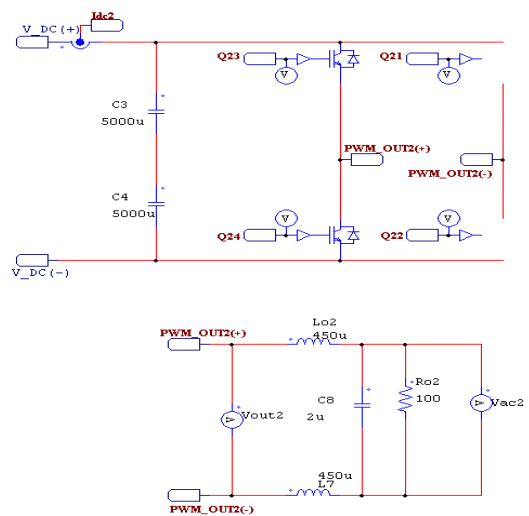


그림 7 Full-bridge Psim 시뮬레이션 회로
 Fig. 7 Full-bridge Psim simulation circuit

이를 위하여 본 연구에서는 스위칭 소자 추가대비 인버터 자체에서 발생하는 고조파 성분을 최소화하기 위하여 3-레 벨 인버터를 제안하고 그 우수성을 입증하기 위하여 다음과 같이 Psim으로 시뮬레이션 하였다.

그림 7과 그림 8은 Psim으로 작성한 기존 full-bridge Psim 시뮬레이션 회로도라 제안된 3-레벨 인버터 회로도를 나타내고 있다. 3-레벨 인버터의 스위칭 신호는 visual C를 이용한 dll파일로 작성하였으며, 실험에서는 이를 근거로 하여 DSP프로그램을 작성하였다.

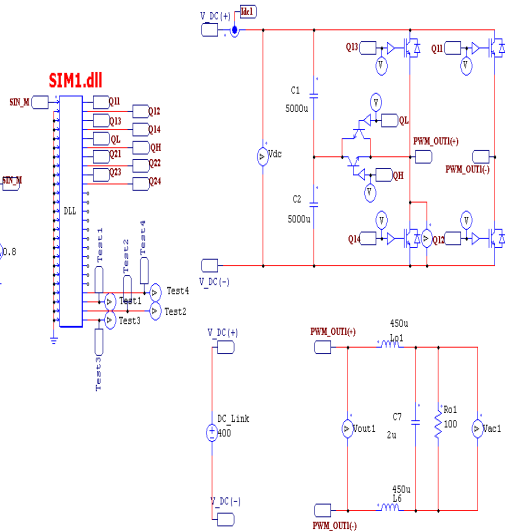


그림 8 제안된 Psim 시뮬레이션 회로
Fig. 8 proposed psim simulation circuit

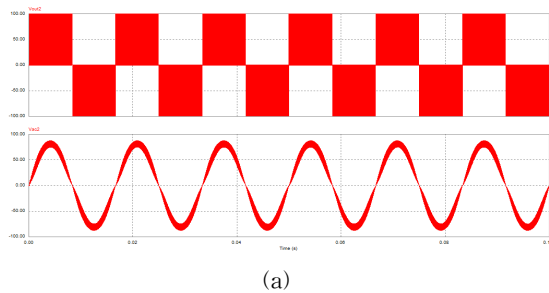


그림 9 Full-bridge 인버터 시뮬레이션 결과
(a) 인버터 출력전압 및 필터 출력전압
(b) 인버터 출력전압 및 필터 출력전압의 고조파 분석
Fig. 9 Simulation results of the full-bridge inverter
(a) inverter output voltage and filter output voltage
(b) inverter output voltage and filter output voltage FFT analysis

그림 9와 10은 기존의 full-bridge 인버터 및 제안된 3레벨 인버터의 시뮬레이션 결과로 그림 (a)는 인버터 출력전압 및 필터 출력전압을 나타내고, 그림 (b)는 인버터 출력전압 및 필터 출력전압의 고조파 분석 결과이다. 그림에서 알

수 있듯이 기존의 인버터와 제안된 인버터는 동일한 출력전압이 발생함을 알 수 있으며, 기존의 인버터의 출력전압 총 고조파 왜형율이 제안된 인버터 출력전압 총 고조파 왜형율에 비해 약 2배가 크게 나타남을 알 수 있었다.

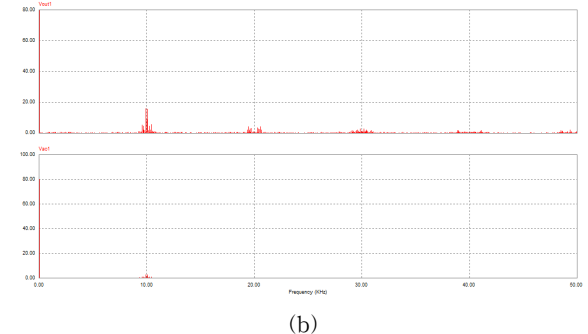
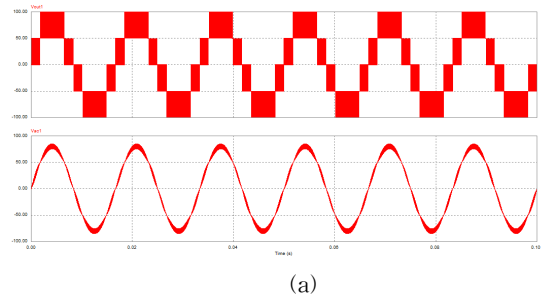


그림 10 제안된 인버터 시뮬레이션 전압, 전류 파형
(a) 인버터 출력전압 및 필터출력전압
(b) 인버터 출력전압 및 필터출력전압의 고조파 분석
Fig. 10 Simulation results of the proposed inverter
(a) inverter output voltage and filter output voltage
(b) inverter output voltage and filter output voltage FFT analysis

3.2 실험 결과 분석

그림 11은 개발된 3-레벨 전력변환기를 나타내고 있다. 전체 시스템은 제어부, 전력변환부, 필터부로 구성되어 있으며, 제어기는 현재 산업용으로 많이 검토중인 피콜로 칩인 TI사의 32Bit DSP TMS320F28035를 이용하였다. 피콜로는 칩 내부에 PWM, AD컨버터, 다수의 GPIO를 내장하고 있어 고속의 입출력을 요구하는 산업용 제어기로 적합하다. 피콜로 칩에는 타이머를 이용해 정해진 시점에서 외부로 펄스와 같은 사건을 출력하는 고속 출력핀을 가지고 있다. 이러한 고속 출력장치를 이용하여 빠르게 PWM파형을 형성할 수 있다.

전력변환부의 full-bridge용 스위칭 소자는 전류 다이오드가 내장된 IGBT(APT50GN60BDQ2G)를 사용하였으며, central arm 용 스위칭 소자는 전류 다이오드가 없는 IGBT(APT50GS60BRG)를 사용하였다. 또한 향후 태양광 연계형 인버터를 고려하여 L-C 필터부는 450[uH], 1[uF]을 사용하였다.

그림 12는 제안된 3-레벨 인버터에서 변조비가 0.8인 경우의 각부 스위칭 신호를 나타내고 있다. 그림 (a)는 2-레벨 암용 상위, 하위 스위칭 신호로 스위칭 주파수는 전원주파수와 동일하며 dead time은 4[usec]로 설정하였다. 그림 (b)는 스위치 Q_{m1} 과 Q_{m4} 신호를 나타내고 있으며, 그림 (c)는 스위치 Q_{ZL} 과 Q_{ZH} 신호를 나타내고 있다. 각 신호는 인터락(interlock)되어 있고, 스위칭 주파수는 8[kHz] 베이스로 하였으나 실제 각 스위칭 소자의 스위칭 주파수는 8[kHz]이하의 주파수로 동작하여 스위칭 고도손실이 저감될 것으로 생각된다.

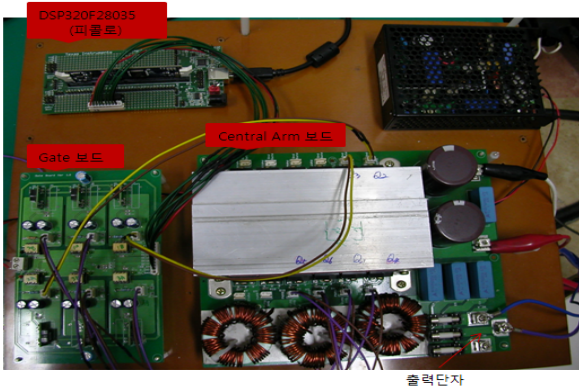
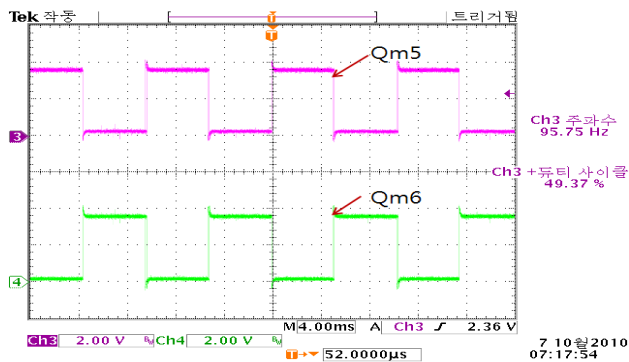
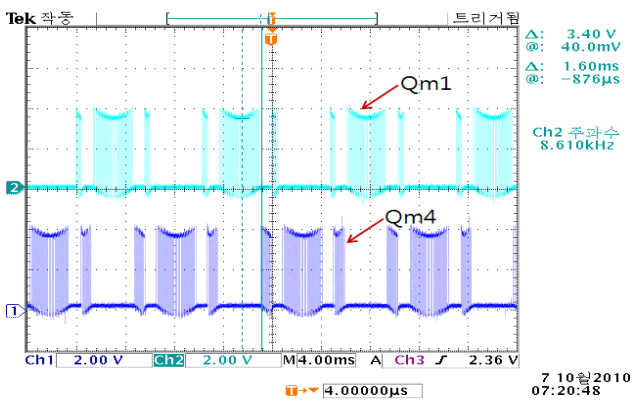


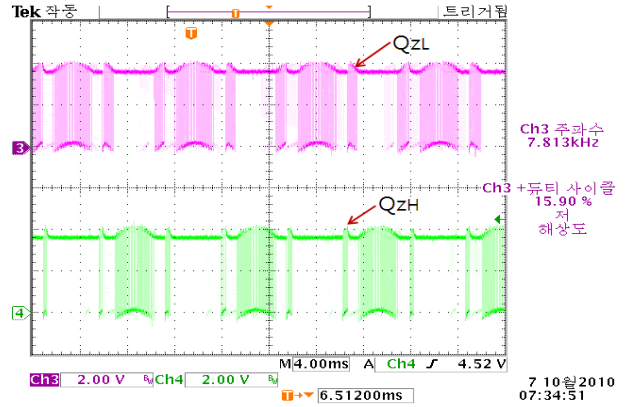
그림 11 제안된 3-레벨 전력변환기 사진
Fig. 11 Photograph of Proposed 3-level inverter



(a)



(b)



(c)

그림 12 제안된 인버터의 각부 스위칭 신호
(a) 스위치 Q_{m5} , Q_{m6} (b) 스위치 Q_{m1} , Q_{m4}
(c) 스위치 Q_{ZL} , Q_{ZH}

Fig. 12 Each part switching signal of proposed inverter
(a) switch Q_{m5} , Q_{m6} (b) switch Q_{m1} , Q_{m4}
(c) switch Q_{ZL} , Q_{ZH}

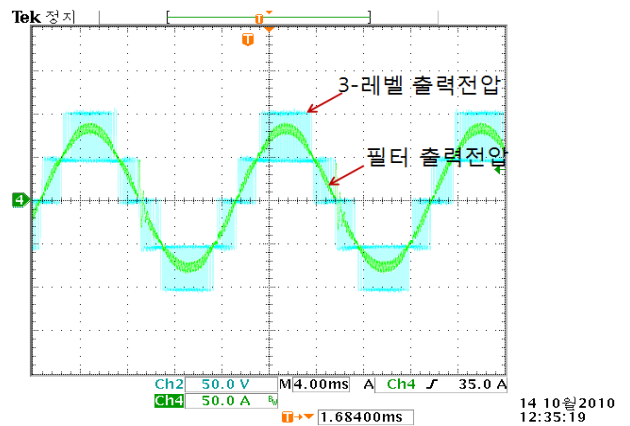


그림 13 제안된 인버터의 3-레벨 출력 전압 파형 및 필터 출력 전압

Fig. 13 3-level and filter output voltage waveforms of proposed inverter

4. 결 론

본 논문에서는 동일조건의 직류전원전압과 스위칭 주파수 하의 단상 인버터 시스템에서, 인버터 자체에서 발생하는 고조파 성분을 최소화하기 위하여 3-레벨 출력 전압을 형성할 수 있는 새로운 인버터의 전력회로를 제안하였다. 제안된 인버터는 각 스위치에 인가되는 전압 스트레스가 일정하고, 직류단 커패시터의 전압 밸런스 문제가 없으며, 순환전류 및 절연문제를 해결할 수 있는 새로운 central arm을 이용한 단상 멀티레벨 인버터를 제안하였다. 또한 제안된 멀티레벨 인버터는 central arm의 두 스위치 중 한 스위치를 전류다이오드로 사용함으로써 스위칭 알고리즘을 단순화하였으며, 이로 인하여 dead time 동안 전류의 방향에 따라 다른 레벨이 나타나지 않아 기존 3-레벨 인버터에 비하여 출력전압의

왜형율을 줄일 수 있었다. 제안된 인버터에서 변조비가 0.8 일 때, 기존의 인버터에 비하여 제안된 인버터에서 출력전압 THD는 약 60[%], DF는 약 67[%]로 감소함을 알 수 있었으며, 변조비에 관계없이 제안된 인버터가 THD 및 DF면에서 상당히 우수함을 알 수 있었다.

감사의 글

본 연구는 교육과학기술부와 한국연구재단의 지역 혁신인력양성사업으로 수행된 연구결과임

참 고 문 헌

[1] C. Hua, R. G. Hoft, "High Performance Deadbeat Controlled PWM Inverter Using a Current Source Compenstor for Ninlinear Loads", PESC'92 Conf. Proc. pp. 443-450

[2] Shih-Liang jung, Ying-Yu Tzou. "Discrete Feedforward Sliding Mode Control of a PWM Inverter for Sinusoidal Output Waveform Synthesis" IEEE, pp. 552-558, 1994.

[3] T. Zumwalt, "DSP Applications in the Control of Uninterruptible Power Supplies", ICSPAT'93 Conf. Proc., pp. 967-972.

[4] M. A. Boost, P. D. Ziogas, "Towards a Zero-Output Impedance UPS System", IEEE Trans. Ind. Appl., vol. 25, no. 3, pp. 408-418, 1989

[5] Gerald B. Kliman and Allan B. Plunkett, "Development of a Modulation Strategy for a PWM Inverter Drive.", IEEE Trans. on IA, vol.IA-15, no.1., pp.72-79, Janurary/February 1979.



이 화 춘 (李花春)

1980년 4월 30일생. 2006년 전남대학교 전기공학과 졸업. 2009년 동 대학원 전기공학과 졸업(석사). 2009년~현재 동 대학원 전기공학과 박사과정
Tel : 062-530-0629
E-mail : marine5532@nate.com

김 승 룡 (金昇龍)

1980년 8월 6일생. 2009년 호남대학교 전기공학과 졸업. 2009년~현재 전남대학교 대학원 전기공학과 석사과정
Tel : 062-530-0629
E-mail : freebebop@lycos.co.kr



박 성 준 (朴晟濬)

1965년 3월 20일생. 1991년 부산대 전기공학과 졸업. 1993년 동 대학원 전기공학과 졸업(석사). 1996년 동 대학원 전기공학과 졸업(공학박). 2002년 동 대학원 지능기계공학과 졸업(공학박). 1996년 3월~2000년 2월 거제대학 전기과 조교수. 2000년 3월~2003년 8월 동명대학 전기공학과 조교수. 2003년 8월~현재 전남대 전기공학과 부교수.
Tel : 062-530-1741
E-mail : sjpark1@jnu.ac.kr

저 자 소 개



이 호 (李浩)

1979년 6월 29일생. 2006년 동명대 공대 메카트로닉스공학과 졸업. 2005년~2008년 (주)휘닉스 디지털테크 연구원 2009년~현재 전남대학교 전기공학과 석사과정.
Tel : 062-530-0629
E-mail : 98leeho@hanmail.net