

고속 직렬 디스플레이 인터페이스를 위한 1/4-rate 클럭 데이터 복원회로 설계

논 문
60-2-36

Design of 1/4-rate Clock and Date Recovery Circuit for High-speed Serial Display Interface

정기상* · 김강직* · 조성익†
(Ki-Sang Jung · Kang-Jik Kim · Seong-Ik Cho)

Abstract - 4:10 deserializer is proposed to recover 1:10 serial data using 1/4-rate clock. And then, 1/4-rate CDR(Clock and Data Recovery) circuit was designed for SERDES of high-speed serial display interface. The reduction of clock frequency using 1/4-rate clocking helps relax the speed limitation when higher data transfer is demanded. This circuit is composed of 1/4-rate sampler, PEL(Phase Error Logic), Majority Voting, Digital Filter, DPC(Digital to Phase Converter) and 4:10 deserializer. The designed CDR has been designed in a standard 0.18 μ m 1P6M CMOS technology and the recovered data jitter is 14ps in simulation

Key Words : Clock and Date Recovery(CDR), 1/4-rate, SERDES, High-speed serial display interface

1. 서 론

최근 고속 직렬 디스플레이 인터페이스의 데이터 통신 시스템이 점차적으로 고속화, 대용량화 되어감에 따라 시스템 간의 고속 데이터 전송이 요구되고 있다.[1] 일반적으로 시스템 간 전송 대역폭의 한계를 극복하기 위해 여러 개의 채널을 사용한 병렬 데이터 전송방법으로 속도를 증가시켰으나 이 방법은 채널간의 간섭과 스큐(skew)를 야기 시키게 되며 최종적으로 수신단의 데이터 복원 신뢰성을 저하시키게 된다. 또한 채널수의 증가로 인한 설계비용의 상승을 피할 수 없게 된다. 이러한 병렬전송의 문제점을 해결하기 위해서 송신단에서 병렬 데이터를 직렬화(serializer)하여 전송하는 시리얼 링크(serial link) 방식으로 채널을 통해 전송하게 된다. 그리고 수신단에서는 제한된 채널로 전송된 직렬화 클럭 및 데이터를 복원하여 데이터 처리를 위해 다시 병렬화(deserializer)하게 된다[2~4].

이러한 기능을 수행하는 클럭 데이터 복원(Clock and Date Recovery) 회로는 고속 직렬 디스플레이 시스템의 수신단에 전송 중 왜곡된 랜덤 NRZ(non return to zero) 데이터로 부터 클럭과 동기화된 데이터를 복원하는 역할을 하게 된다. 클럭 데이터 복원회로를 이용하여 데이터를 복원하기 위해서는 데이터의 bit-rate와 동일한 주파수의 클럭이 필요하다. 하지만 기존의 입력 데이터율과 같은 Full-rate 클럭 데이터 복원회로는 고속의 입력 데이터를 복원에 한계가 있으며, 전압제어 발진기(VCO)를 포함한 전체 회로의 고속 동작으로 인한 전력소모가 크다는 단점을 가지게 된다.[2~4]

이러한 문제점을 극복하기 위하여 다중 위상 클럭을 이용하여 bit-rate의 1/2 혹은 1/4-rate 클럭으로도 데이터 복원이 가능하다. 하지만 1/4-rate으로 데이터를 복원하게 되면 4bit의 데이터가 출력되게 되는데 고속 직렬 디스플레이 인터페이스의 표준인 HDMI와 Displayport에서 1:10으로 직렬화된 데이터를 10:1로 복원하는 프로토콜[5,6]이 사용되므로 1:10으로 직렬화된 데이터를 복원하기 위해서는 4bit 데이터를 10bit으로 병렬화해야 하는 4:10 병렬화기가 필요하다.

그러므로 본 논문에서는 고속의 입력 데이터의 복원에 대한 한계를 극복하고, 전력소모를 줄이고자 4bit 데이터를 10bit으로 병렬화 할 수 있는 4:10 병렬화기를 제안하여 1/4-rate 클럭을 가지는 클럭데이터 복원회로를 설계하고자 한다.

본 논문의 II장에서는 1/4-rate 클럭 데이터 복원회로의 구조에 대해서 설명하고 III장에서는 제안된 4:10 병렬화기를 비롯한 세부회로 설계에 대하여 살펴본다. IV장에서는 모의 실험을 토대로 한 고찰 후, V장에서 논문의 결론을 맺는다.

2. 클럭 데이터 복원회로 구조

본 논문에서 제안한 4:10 병렬화기를 적용한 클럭 데이터 복원회로의 구조는 그림 1과 같고, Quarter-rate Sampler, PEL(Phase Error Logic), Majority Voting, 디지털 필터, DPC(Digital to Phase Converter) 그리고 4:10 병렬화기로 구성되어 있다.

Quarter-rate Sampler는 입력된 데이터를 1/4 비율로 샘플링 하는 기능을 수행하며, PEL은 샘플링한 데이터의 정보를 받아 처리 가능한 데이터로 변환시켜준다. Majority Voting 회로와 디지털 필터는 PEL의 출력데이터의 우열을 판단하여 DPC가 인식 가능한 신호로 데이터를 변환시켜 DPC로 보내게 된다. DPC 회로는 디지털 필터에서 디지털 정보를 받아 클럭 발생기에서 받은 8개 위상 클럭을 데이터샘플의 최적

† 교신저자, 정회원 : 전북대학교 전자공학부 부교수 공학박사
E-mail : sicho@jbnu.ac.kr

* 비 회원 : 전북대학교 전자정보공학부 박사과정
접수일자 : 2010년 12월 31일
최종완료 : 2011년 1월 26일

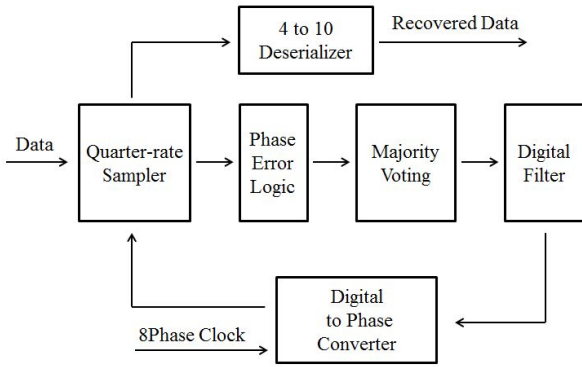


그림 1 클럭 데이터 복원회로 전체 구조
Fig. 1 Architecture of the CDR circuit

상태가 될 수 있도록 클럭의 위상을 조절한다. 4:10 병렬화기는 샘플링된 데이터의 정보를 받아 10개의 데이터로 병렬화를 시켜준다.

3. 세부회로 설계

3.1 Quarter-rate Sampler와 Phase Error Logic

PLL(Phase Locked Loop)에서 받은 8-위상 클럭은 데이터 샘플의 최적 상태가 될 수 있도록 클럭의 위상을 조절한다. 그림 2는 Quarter-rate Sampler에서 신호 샘플링 조건이다. DPC에서 조절된 클럭은 그림 2와 같이 샘플링된다. 각 위상 별로 샘플링된 데이터는 S[7:0]로 표기 하였다. 위상 잠금 상태가 되었을 경우 S[1], S[3], S[5], S[7]에서 각각 데이터를 출력한다.

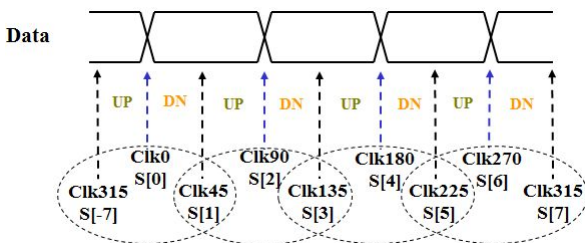


그림 2 Quarter-rate Sampler의 신호 샘플링 조건
Fig. 2 Sampling condition of Quarter-rate sampler

그림 2와 같이 샘플링된 데이터는 4그룹으로 묶여 PEL에서 UP와 DN신호를 검출하게 된다. 데이터의 변화가 S[0]과 S[1] 구간에 있으면 PEL은 DN신호를 출력하고, 데이터의 변화가 S[1], S[2]구간에 있으면 PEL은 UP신호를 출력하게 된다.

표 1은 PEL의 진리표이다. 데이터의 변화가 S[1]과 S[2] 구간에서 발생하면 S[1]이 0일 경우 S[2]는 1, S[3]는 1이다. 이 조건에서 PEL은 UP이 출력된다. 또한 데이터의 변화가 S[2]와 S[3]구간에서 발생하면 S[1]이 0일 경우 S[2]는 0, S[3]는 1이다. 이 조건에서 PEL은 DN이 출력된다. 데이터의 변화가 S[1]과 S[2]구간과 S[2]와 S[3]구간에서 발생하지 않을 때는 데이터 변화가 없으므로 UP, DN을 출력하지 않도록 설계하였다. 또한 데이터 변화가 S[1]과 S[2] 구간

S[2]와 S[3] 구간에서 모두 발생할 경우 데이터의 주파수가 클럭 주파수와 다르다는 것을 나타내므로 UP, DN을 출력하지 않도록 설계하였다.

표 1 PEL의 진리표

Table 1 Truth table of PEL

PEL Operation	Quarter-rate Sampler		
	S [1]	S [2]	S[3]
Skip	0	0	0
DN	0	0	1
Skip	0	1	0
UP	0	1	1
UP	1	0	0
Skip	1	0	1
DN	1	1	0
Skip	1	1	1

3.2 4:10 병렬화기

본 논문의 클럭 데이터 복원회로는 Quarter-rate Sampler에서 4비트의 데이터가 출력된다. 출력된 데이터를 10비트로 병렬화를 하기 위해서 본 논문에서 4:10 병렬화기를 제안하였다.

그림 3은 제안된 4:10 병렬화기의 블록도와 타이밍도이다.

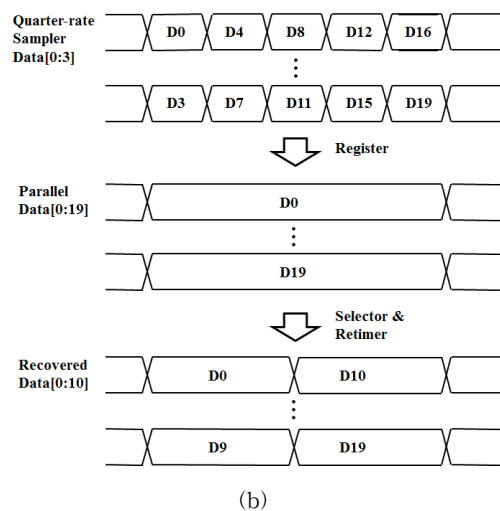
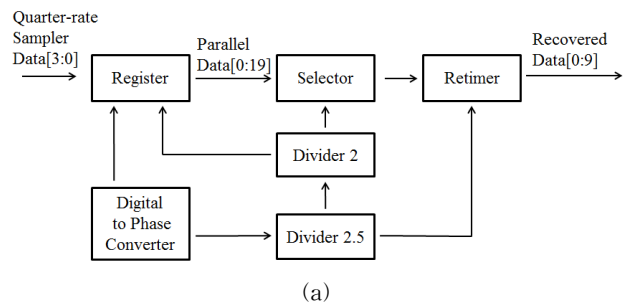


그림 3 4:10 병렬화기의 (a) 블록도 (b) 타이밍도

Fig. 3 (a) Block diagram of the 4:10 Deserializer circuit (b) Timing Diagram

4비트의 Sampler 출력을 DPC에서 위상이 재 동기된 클록으로 레지스터에 입력시킨다. 입력시킨 데이터를 다시 5분주된 클록으로 다음 레지스터에 입력시켜 20bit의 병렬 데이터로 변환한다. 변환된 20bit 병렬 데이터를 5분주된 클록이 0일 경우와 1일 경우를 나누어 10bit 데이터를 출력시킨다. 변환시킨 데이터는 2.5분주된 클록으로 재 동기시킨다.

4:10 병렬화를 구현하기 위해서는 2.5분주 되는 분주기가 필요하다. 2.5분주는 정수분주가 아니기 때문에 소수점 분주를 해야 한다. 그러나 일반적으로 소수점 분주를 하기 위해서는 SDM(Sigma-delta modulator)가 필요하지만 SDM을 사용하면 시스템 복잡도가 증가한다. 그래서 본 논문에서는 다중 위상 클록을 이용하며 2.5 분주기를 구현하였다.

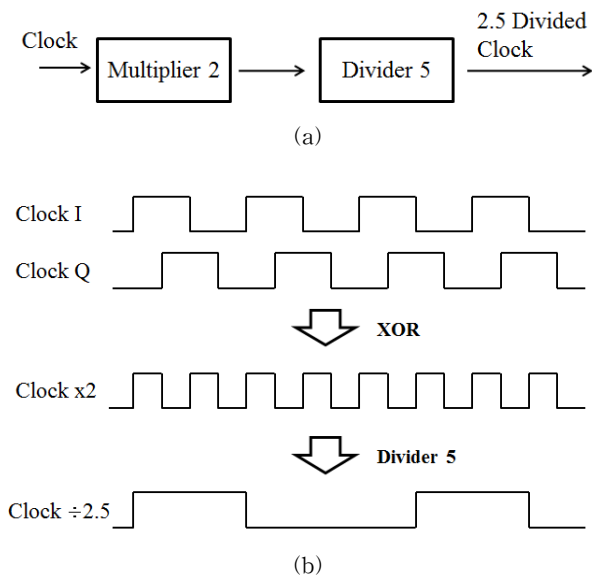


그림 4 2.5분주기의 (a)블록도 (b)타이밍도
 Fig. 4 (a)Block diagram (b)Timing Diagram of the 2.5 Divider circuit

그림 4는 2.5분주기의 블록도와 타이밍도이다. 다중 위상 클록을 이용하여 2배 주파수를 만들고 5분주를 하여 2.5분주기를 구현하였다. 2배 주파수 체배는 XOR(Exclusive OR)를 이용하여 구현하였다.

3.3 DPC

DPC 회로는 디지털 입력을 받아 복원 클록이 데이터의 최적 샘플링 위치를 추적할 수 있기 위해 출력 클록의 위상 변화가 가능해야한다. 본 논문에서 사용된 DPC 회로의 구조는 그림 5에 도시 하였다. 입력 데이터와 DPC의 출력 클록의 위상차를 비교하여 우열을 검출한 데이터를 DPC의 입력으로 받는다. 그리고 입력으로 받은 데이터를 DAC(Digital to Analog Converter)를 사용하여 전류로 변환하여 위상 보간 회로에 보내져 입력된 전류의 양을 이용하여 위상을 혼합하여 위상을 변화시킨다.

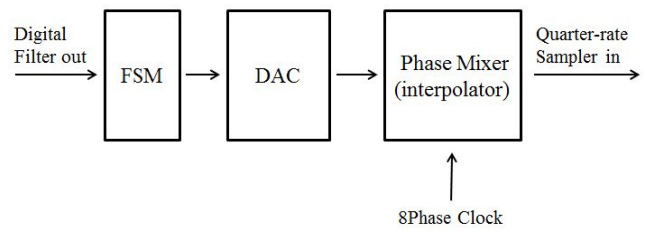


그림 5 DPC 구조
 Fig. 5 Architecture of the DPC circuit

일반적으로 가중치 값이 변하는 순간의 글리치를 방지하기 위해 온도계 코드 방식으로 전류 값을 변화 시키는 방법이 주로 사용되고 있으나 하드웨어의 복잡도가 크게 증가하는 단점을 가지고 있다. 따라서 본 논문에서는 2진 전류 가중치 코드 방식을 사용하여 하드웨어 복잡도를 낮추었다.

4. 모의실험 및 고찰

본 논문에서 제안된 구조를 적용한 클록 데이터 복원 회로는 0.18um 1P6M CMOS 공정으로 설계되었으며 모의실험 검증을 위해 Spectre를 이용하였다. 모의실험 검증을 위한 클록 데이터 복원회로회로의 랜덤 입력 데이터는 26-1의 임의 신호발생기(Pseudo Random Bit Sequence: PRBS)를 설계하여 생성하였다.

그림 6은 DPC 회로의 모의실험 결과이다. 전류의 증감에 따라 위상 변화를 아이 다이어그램으로 나타냈다. DPC회로의 평균 해상도는 10ps이고 최대 해상도는 15ps이다. 그림 7은 3.4Gbps 입력 데이터에 따른 복원된 데이터의 파형의 모의실험 결과이다. 모의실험 상에서 복원된 데이터의 지터는 14ps이다.

표 2에 설계된 클록 데이터 복원회로의 특성을 요약하였다.

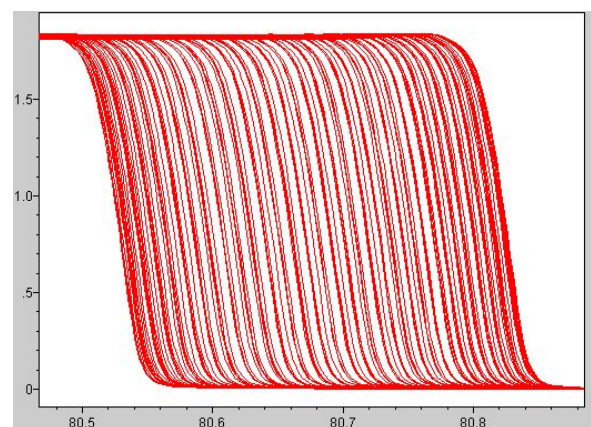


그림 6 DPC 모의실험 결과
 Fig. 6 Simulation result of the DPC circuit

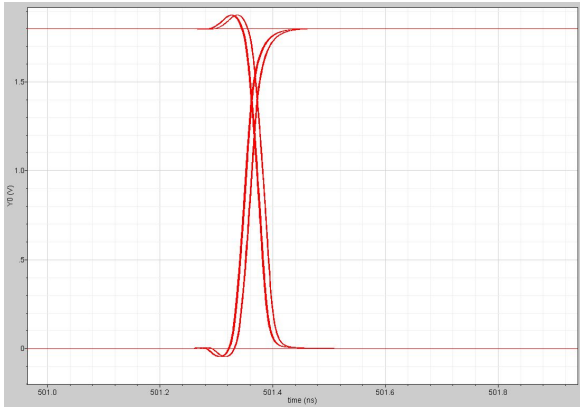


그림 7 클럭 데이터 복원회로 모의실험 결과
Fig. 7 Simulation result of the CDR circuit

표 2 모의실험 성능특성

Table 2 Simulated performance characteristic

공정	1.8 μ m 1P6M
공급전원	1.8V
최대 데이터 속도	3.4Gbps
최대 클럭 속도	850MHz
복원된 데이터 지터	14ps

4. 결 론

4:10 병렬화기를 제안하여 1/4-rate 클럭을 가지는 클럭 데이터 복원회로를 설계하고자 한다.

본 논문은 표준인 HDMI와 Displayport 고속 직렬 디스플레이 인터페이스에서 야기되는 문제점을 해결하기 위하여 4:10 병렬화기를 제안하여 1/4-rate 클럭 가지는 데이터를 복원회로를 CMOS 0.18 μ m 1P-6M 공정파라미터를 이용하여 설계되었다. Spectre 모의실험을 위하여 26-1 PRBS를 설계하여 입력 랜덤데이터 생성하였고, 복원된 데이터의 지터는 14ps이다.

본 연구에서 제안한 4:10 병렬화기를 가지는 1/4-rate 클럭데이터 복원회로를 응용할 경우, 1:10 데이터를 복원 가능하게 되어 직렬 디스플레이 인터페이스의 고속의 입력 데이터의 복원에 대한 한계를 극복하고, 전력소모를 줄일 수 있을 것으로 사료된다.

참 고 문 헌

[1] T. Palkert, "A review of current standards activities for high speed physical layers," Proc. 5th International Workshop on System-on-Chip for Real-Time Applications, pp. 495-499, July 2005.
[2] Fuji Yang, Joseph Othmer, et al., "A CMOS low-power multiple 2.5-3.125Gb/s serial link macrocell for high IO bandwidth network ICs," IEEE J. of Solid-State Circuits, Vol.37, no. 12, Dec. 2002.

[3] Jinwook Kim, Jeongsik Yang, Sangjin Byun, Hyunduk Jun, Jeongkyu Park, Cormac S. G. and Beomsup Kim "A Four-Channel 3.125-Gb/s/ch CMOS Serial-Link Transceiver With a Mixed-Mode Adaptive Equalizer," IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 40, NO. 2, FEBRUARY 2005
[4] Rainer Kreienkamp, Hubert Siedhoff, et al., "A 10-Gb/s CMOS clock and data recovery with an analog phase interpolator," IEEE J. of Solid-State Circuits, no. 3, Mar. 2005.
[5] VESA, "DisplayPort 1.1a Standard," Jan. 11, 2008.
[6] www.hdmi.org "HDMI Specification 1.3a"

저 자 소 개



정 기 상 (鄭 基 相)

2007년 전북대학교 전자정보공학부 학사 졸업
2009년 전북대학교 전자정보공학부 석사 졸업
2009년~현재 전북대학교 전자정보공학부 박사과정

주관심분야 : 저전력/고성능 Clock and Data Recovery 설계, 저전력/고성능 디지털 회로 설계



김 강 직

2005년 전북대학교 전자정보공학부 학사 졸업.
2007년 전북대학교 전자공학과 석사 졸업
2007년~현재 전북대학교 전자정보공학부 박사 과정

주관심분야 : 아날로그 회로 설계 및 CMOS 고속 인터페이스 회로 연구



조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.
1989년 전북대학교 전기공학과 석사 졸업.
1994년 전북대학교 전기공학과 박사 졸업.
1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원
2004년~현재 전북대학교 전자공학부 부

교수.

주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL

E-mail : sicho@jbnu.ac.kr