

# 더블 샘플링 기법을 사용한 10bit 1MS/s 0.5mW 축차 비교형 아날로그-디지털 변환기

논 문
60-2-15

## A 10bit 1MS/s 0.5mW SAR ADC with Double Sampling Technique

이 호 규\* · 김 무 영\* · 김 철 우†  
(Hokyu Lee · Moo-Young Kim · Chulwoo Kim)

**Abstract** - This paper introduces the 10b 1MS/s SAR ADC with double sampling technique to reduce the power consumption. The SAR ADC is implemented in CMOS 1P8M 65nm technology and occupies 0.11um<sup>2</sup>. The maximum sampling rate is 1MS/s. The simulated SNDR and SFDR are 55.6dB and 62.7dB at 484kHz input frequency, respectively. The implemented data converter consumes 507uW with 1.2-V supply.

**Key Words** : SAR, ADC, Data converter, Double sampling, 1MS/s, 10b

### 1. 서 론

최근 환경보전에 대한 관심이 증가하면서 에너지 효율이 높은 제품에 대한 관심이 증가되고 있다. 특히 터치스크린을 채용한 모바일 기기들의 붐 속에서 저 전력 고효율 제품의 필요성은 더욱 증가하고 있다. 여러 가지 아날로그-디지털 변환기(Analog-to-Digital Converter)의 구조들[1]-[8] 중에서 축차 비교형 아날로그-디지털 변환기(Successive Approximation Analog-to-Digital Converter)는 적절한 해상도를 갖으면서도 가장 적은 전력을 소모하는 구조이다. 따라서 축차 비교형 아날로그-디지털 변환기는 모바일 시스템 또는 터치스크린과 같은 저전력 시스템에 적절한 구조이다. 또한 CMOS 공정의 지속적인 발전에 따라서 디지털 회로 중심인 축차 비교형 아날로그-디지털 변환기의 전력 소모량은 점점 줄고, 샘플링 속도는 점점 빨라지게 됨으로서 다른 구조의 아날로그-디지털 변환기의 영역을 점차 넘나들고 있다.

샘플 앤 홀드(Sample and Hold) 회로에 사용되는 연산 증폭기(Op-Amp)의 전력 소모량을 줄이기 위해서 더블 샘플링 기법(Double Sampling Technique)이 제안되었다[9]. 이 기법은 샘플 앤 홀드 회로 내부의 연산 증폭기를 위한 샘플링 주기를 없애 줌으로서 저전력, 고속 동작을 가능하게 하였다. 이를 65nm 1P8M CMOS 공정을 사용하여 10bit 1MS/s 축차 비교형 아날로그-디지털 변환기에 적용 하였을 때, 설계된 아날로그-디지털 변환기는 507uW의 전력을 소모하였다. 모의실험 결과 입력 신호의 주파수가 484.375kHz

일 때, SNDR(Signal to Noise and Distortio Ratio)은 55.6dB, SFDR(Spurious Free Dynamic Range)은 62.7dB, 유효 비트수(Effective Number of Bit)는 8.94bit을 얻었다.

### 2. 본 론

#### 2.1 전체 구조

그림 1은 아날로그-디지털 변환기의 전체적인 구조도이다. 저전력 동작을 위해 더블 샘플링 기법을 사용한 샘플 앤 홀드 회로는 입력 신호를 받아 신호를 홀드 시킨다. 이 홀드된 신호는 커패시터 구조의 디지털-아날로그 변환기(Digital-to-Analog Converter)와 비교기(Comparator)가 결합된 디지털-아날로그 변환기/비교기 블록으로 전달되게 되고 비교기는 홀드된 입력 신호와 기준전압을 비교하게 되고, 비교기의 출력 값은 축차 근사화 레지스터(Successive Approximation Register, SAR) 로직으로 전달된다. 축차 근사화 레지스터 로직은 입력된 신호를 축차 근사화 알고리즘에 따라서 처리하여 10bit의 디지털 코드를 출력하게 된다. 또한 10bit의 디지털 코드는 저항열 구조의 디지털-아날로그 변환기의 입력으로 피드백 되고, 디지털 코드에 해당되는 아날로그 신호로 변환하여 커패시터 구조 디지털-아날로그 변환기의 기준전압을 생성하게 된다. 그림 1에서 보는 바와 같이 저항열-커패시터 구조의 디지털-아날로그 변환기는 저항열 부분과 커패시터 부분으로 구성되어 있다. 저항열 구조의 디지털 아날로그 변환기의 출력 값인 LP, MP, MN, LN은 뒤에서 설명할 것이다.

#### 2.2 샘플 앤 홀드 회로

설계된 아날로그-디지털 변환기는 샘플 앤 홀드 회로 내부에 연산 증폭기를 포함하고 있어서 연산 증폭기가 없는

\* 비 회 원 : 고려대학교 공과대학 전자전기공학과 박사과정

† 교신저자, 정회원 : 고려대학교 공과대학 전자전기공학과 부교수

E-mail : ckim@korea.ac.kr

접수일자 : 2010년 12월 16일

최종완료 : 2011년 1월 24일

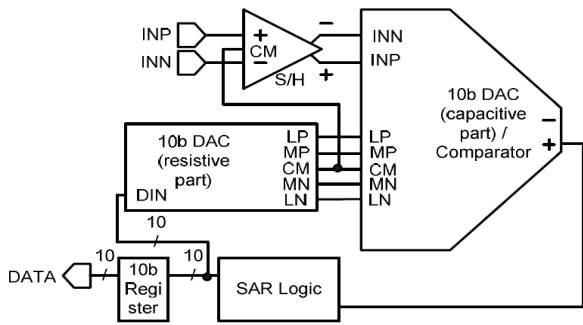


그림 1 제작된 아날로그-디지털 변환기 전체 구조도  
 Fig. 1 Implemented overall ADC architecture

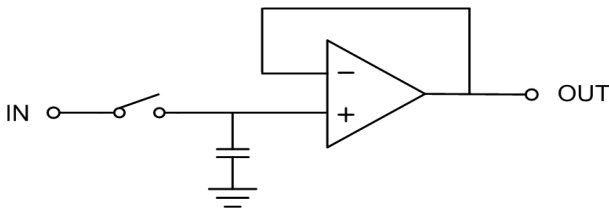


그림 2 간략화 한 일반적인 샘플 앤 홀드 회로  
 Fig. 2 Simplified general S/H circuit

경우와 비교할 때 입력 신호를 좀 더 정확히 저장할 수 있다. 이 연산 증폭기는 잡음 감쇄 능력을 높이기 위해서 차동 신호를 사용하였다. 일반적으로 연산 증폭기의 출력 신호는 샘플링 주기에 연산 증폭기의 입력이 동상 모드(Common mode) 전압에 연결되므로 사용할 수 없게 된다. 그리고 그림 2에서 보는 바와 같이 더블 샘플링 기법을 사용하지 않는다면 연산증폭기의 출력 신호는 동상 모드로 안정화 된다. 따라서 연산증폭기는 이 주기 동안 대기 모드 인 것이다. 하지만 더블 샘플링 기법은 이러한 연산 증폭기의 대기 시간을 줄여준다.

그림 3은 더블 샘플링 기법을 간단히 보여주고 있다. 첫 번째 클록 주기에서는 스위치 SW<sub>1</sub>이 커패시터 C<sub>1</sub>에 연결되어 입력신호를 샘플링 할 때, 스위치 SW<sub>2</sub>는 커패시터 C<sub>2</sub>와 연결 되어 샘플 된 입력 신호를 연산 증폭기와 연결 하게 된다. 이와 반대로, 다음 클록 주기에서는 SW<sub>2</sub>가 C<sub>1</sub>과 연산증폭기를 연결하게 되고 C<sub>2</sub>는 SW<sub>1</sub>을 통해 새로운 입력 신호를 샘플링 하게 된다. 따라서 연산 증폭기는 C<sub>1</sub>과 C<sub>2</sub>에 저장되어 있는, 홀드 된 신호를 항상 입력으로 받게 된다. 이러한 더블 샘플링 방식으로 샘플 앤 홀드 회로의 효율은 일반적인 샘플 앤 홀드 회로와 비교하였을 때 두 배가 된다.

그림 4는 더블 샘플링 기법을 사용한 샘플 앤 홀드 블록의 회로도이다.  $\phi$  주기에서는 입력 신호는 C<sub>1</sub>과 C<sub>2</sub>에 샘플링이 된다. 동시에 연산 증폭기는 C<sub>3</sub>와 C<sub>4</sub>에 이전 클록 사이클에 샘플 된 신호를 홀딩하고 있다.  $\bar{\phi}$  주기에는  $\phi$  주기와는 반대로 C<sub>3</sub>와 C<sub>4</sub>가 입력 신호를 샘플링 하는 순간, 연산 증폭기는 C<sub>1</sub>와 C<sub>2</sub>에 저장되어 있는 샘플 된 신호를 홀딩하게 된다. 이러한 더블 샘플링 기법에 의해서 연산 증폭기는 연속적으로 홀드 된 신호를 받아 동작하게 되어 추가적인 샘플링 주기가 필요하지 않게 된다. 이 기법은 일반

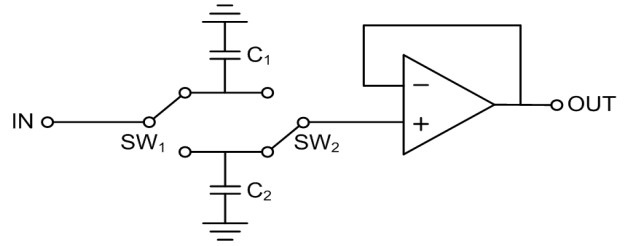


그림 3 간략화 한 더블 샘플링 기법을 사용한 샘플 앤 홀드 회로  
 Fig. 3 Simplified S/H circuit with double sampling technique

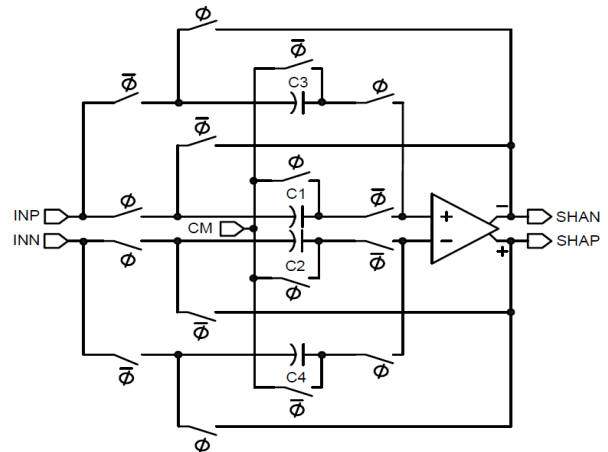


그림 4 샘플 앤 홀드 회로  
 Fig. 4 Sample and hold circuit

적인 샘플 앤 홀드 회로와 비교하여 두 배의 커패시터를 사용하기 때문에 면적이 두 배로 커진다는 단점이 있으나, 동작 속도가 두 배가 되거나 전력 소모량이 줄어드는 장점이 있다. 만약에 동일한 전력을 소모한다는 가정 하에, 이 기법은 샘플링 시간을 줄여줄 수 있으므로 아날로그-디지털 변환기의 동작 속도를 높여 줄 수 있다. 또한 아날로그-디지털 변환기가 동일한 샘플링 속도로 동작한다고 가정하면, 이 기법을 사용한 샘플 앤 홀드 회로의 연산 증폭기가 필요로 하는 신호 대역폭이 줄어들게 되어 연산 증폭기에 흐르는 전류의 양을 줄일 수 있게 되고, 전체 아날로그-디지털 변환기의 전력 소모량을 줄일 수 있다. 즉 이 기법을 사용한 샘플 앤 홀드 블록은 저전력 동작을 위해서 연산 증폭기를 최대한 사용하는 것이다.

2.3 저항열을 이용한 디지털-아날로그 변환기

그림 5는 저항열-커패시터 구조의 디지털-아날로그 변환기 구조 중 저항열 디지털-아날로그 변환기 부분의 회로도이다. 저항열을 사용한 디지털-아날로그 변환기의 저항열은 기준 전압 REF<sub>P</sub>과 REF<sub>N</sub> 사이에 32개의 저항으로 구성되어 있으며, 한 쌍의 5진 디코더(Decoder)가 저항열 양쪽에 위치한다. 하나의 디코더 출력부는 REF<sub>P</sub>부터 연결되어 있고, 다른 하나의 디코더 출력부는 REF<sub>N</sub>에서 저항 하나의 차이를 두고 연결된다. 따라서 노드 LP의 경우 노드 LN보다 1LSB 높은 전압을 갖게 되고, 이 값은 커패시터를 이용

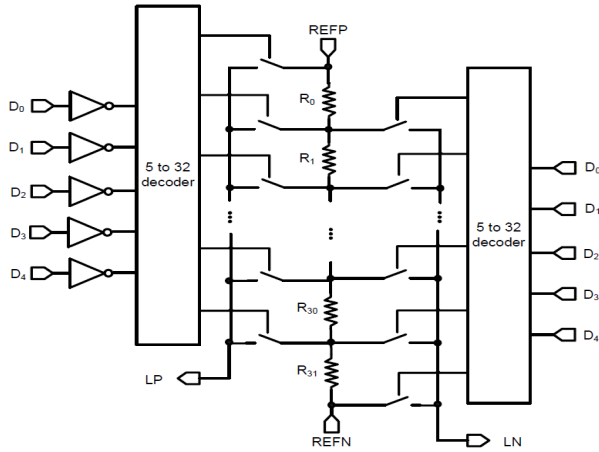


그림 5 샘플 앤 홀드 회로  
Fig. 5 Sample and hold circuit

한 디지털-아날로그 변환기와 비교기에서 사용하게 된다. 이러한 방식으로 5bit의 LSB(Least Significant Bit) 디지털 코드(D<sub>0</sub>, D<sub>1</sub>, ..., D<sub>4</sub>)는 LP와 LN 노드를 통해 각 코드에 맞는 아날로그 신호로 변환이 된다. 이와 유사한 방식으로 5bit의 MSB(Most Significant Bit) 디지털 코드(D<sub>5</sub>, D<sub>6</sub>, ..., D<sub>9</sub>)는 그림 1 또는 그림 6에 도시되어 있는 노드 MP, MN을 통해 아날로그 신호를 출력하게 된다.

기준 저항열의 적절한 저항 값과 각 저항들 사이에 연결되는 두 개의 스위치 크기는 디지털-아날로그 변환기의 안정화 시간과 밀접한 관계가 있다. 특히 큰 크기의 스위치는 스위치의 Ron 저항을 줄이는 역할을 하지만, 스위치의 기생 커패시턴스 값이 커지기 때문에 디지털-아날로그 변환기의 안정화 시간과 RC 지연시간을 고려하여 최적화 된 스위치의 크기를 결정해야 한다. 또한 스위치의 크기가 커지면 스위치를 동작시키는 클록의 전력 소모가 커지기 때문에 전력 소모에 따른 스위치 크기도 고려해야 한다.

**2.4 커패시터를 이용한 디지털-아날로그 변환기와 비교기**

커패시터를 이용한 디지털-아날로그 변환기에는 그림 6과 같이 C, 32C 두 개의 커패시터가 사용되었다. 이 두 개의 커패시터에 샘플된 신호인 SHAP, SHAN와 저항 열에서의 기준 전압 REFP, REFN이 클록의  $\phi$  주기에 인가된다. 동시에 스위치 SW<sub>R1</sub>과 SW<sub>R2</sub>가 켜지면서 모든 커패시터에 입력 신호가 저장되게 된다.

$\phi$  클록 신호와 180도 위상 차이가 나는  $\bar{\phi}$  클록 주기에 스위치 SW<sub>R1</sub>과 SW<sub>R2</sub>가 꺼지게 됨으로 커패시터의 탑 플레이트(Top Plate)가 유동적(floating)이게 된다. 이 때 축차 근사화 레지스터 로직의 결과인 10bit 코드에 해당하는 아날로그 전압 값이 저항 열로 이루어진 디지털-아날로그 변환기로부터 생성되어, 커패시터의 바텀 플레이트(Bottom plate)에 연결됨으로서, 전하량 보존의 법칙에 의해 커패시터의 탑 플레이트 쪽 노드 값이 정해지게 된다.

그림 7은 비교기에서 사용된 전 증폭기(Pre-amplifier)의 회로도이다. PMOS 능동형 부하(Active load)와 양 계환부하가

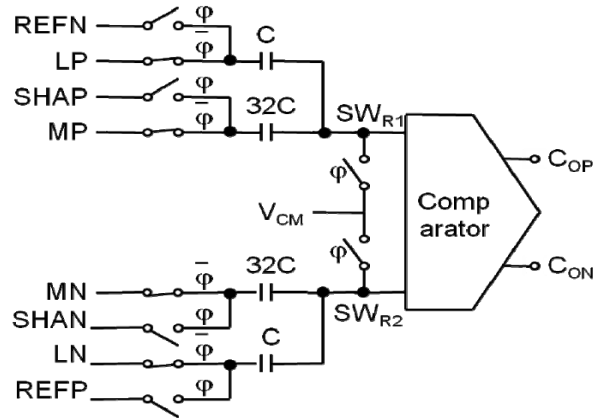


그림 6 커패시터 방식의 디지털-아날로그 변환기 및 비교기 블록 다이어그램  
Fig. 6 Capacitive DAC and comparator block diagram

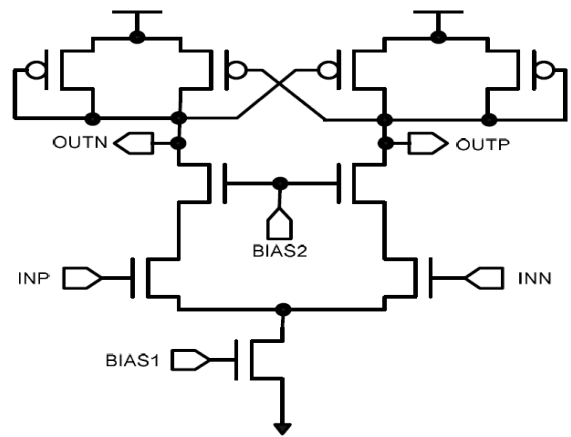


그림 7 전 증폭기 회로도  
Fig. 7 Pre-amplifier schematic

전 증폭기에 사용되었다. 입력 신호 INP와 INN은 NMOS 게이트에 연결 되어 있고 두 개의 바이어스 전압 BIAS1, BIAS2가 사용되었다. 이 전 증폭기의 차동 결과 신호의 진폭을 최대화하기 위해서 래치와 연결된다. 두 개의 인버터가 래치와 직렬로 연결되어 비교기의 전압 레벨을 전원전압(Supply) 레벨부터 접지(Ground) 레벨까지 보장한다. 이 비교기의 결과 값은 축차 근사화 알고리즘에 따른 다음 신호의 변환을 위하여 축차 근사화 레지스터 로직으로 변환된다.

축차 근사화 레지스터 로직은 각각 10개의 D-플립플롭(D Flip-Flop), SR-플립플롭(SR Flip-Flop), AND 게이트와 버퍼로 구성되어 있다. 축차 근사화 레지스터 로직은 알고리즘에 따라서 10bit의 디지털 코드를 생성한다. 예를 들면, 10bit의 바이너리 코드는 1000000000에서 시작하게 된다. 만약 첫 번째 비교에서 비교기의 결과가 "1" 이면 축차 근사화 레지스터 로직은 0100000000을 출력하게 된다. 이와 반대로 비교기의 결과가 "0"인 경우에는 1100000000을 출력하게 되고, 이 과정을 10번 반복하게 된다. 이러한 변환 과정을 컨트롤하기 위해서 D-플립플롭, SR-플립플롭과 같은 컨트롤 로직이 사용된다.

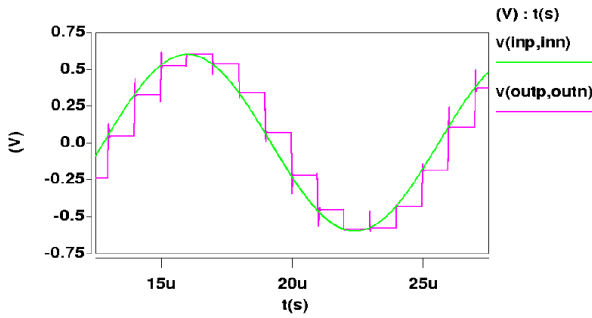


그림 8 더블 샘플링 기법을 사용한 샘플 앤 홀드의 모의실험 결과

Fig. 8 Simulation result of sample and hold circuit with double sampling technique

### 3. 모의 실험 결과

그림 8은 샘플 앤 홀드 회로의 모의실험 결과이다. 정현파 신호가 샘플 앤 홀드 회로에 인가된 입력 신호이고 계단형식으로 보이는 신호는 정현파 신호를 샘플링 한 신호이다. 입력 신호를 낮은 주파수인 78.125kHz를 인가하여 더블 샘플링 기법의 특성을 효과적으로 보여주고 있다. 일반적인 샘플 앤 홀드 회로의 결과 파형은 샘플 앤 홀드가 샘플링 하는 동안에는 동상 모드 전압이 나오게 된다. 하지만 더블샘플링 기법은 샘플 앤 홀드 회로에서 연산 증폭기의 관점에서 샘플 모드를 없애기 때문에 그림 8과 같이 샘플링 모드에서 동상 모드 전압이 보이지 않게 된다. 따라서 홀드 모드인 경우 연산 증폭기의 전력이 소모되는 경우를 제거함으로써 아날로그-디지털 변환기의 전력 효율을 향상시켰다.

그림 9는 설계된 아날로그-디지털 변환기의 FFT 모의실험 결과이다. 모의실험 결과 484.375kHz 입력 신호를 아날로그-디지털 변환기에 인가하였을 때, SNDR은 55.6dB, SFDR은 62.7dB, SNR은 57.8dB를 얻었다. 유효 비트 수는 8.94bit 이다. 출력 버퍼를 제외한 전체 전력 소모량은 1.2V 전원 전압과 16MHz 클록 스피드(1MS/s)에서 507uW이다. 아날로그 부분의 전력 소모량은 468uW이고 디지털 부분의 전력 소모량은 39uW이다. 식 (1)에 의해 계산된 FoM (Figure-of-Merit)은 1pJ/conversion,step이다.

$$FoM = \frac{Power}{2 \cdot f_{IN} \cdot 2^{ENOB}} \quad (1)$$

그림 10은 설계된 아날로그-디지털 변환기의 레이아웃 사진이다. 이 아날로그-디지털 변환기는 CMOS 1P8M 65nm 공정을 사용하여 설계되었다. 전체 주요 블록의 크기는 335um \* 330um이다. 그림 10을 보면 많은 부분이 커패시터로 채워져 있는 것을 볼 수 있는데 이는 설계된 아날로그-디지털 변환기가 더블 샘플링 기법을 사용하여 많은 수의 커패시터가 사용되었기 때문이다. 앞에서 언급한 바와 같이 칩 면적과 동작속도, 전력 소모량은 이율배반의 관계 (Trade-off)에 있다. 비록 전체 칩 면적은 증가하지만 전력 소모량과 동작속도에 대한 이점은 이 같은 단점을 무시할 수 있을 정도이다. 설계된 아날로그-디지털 변환기는 멀티

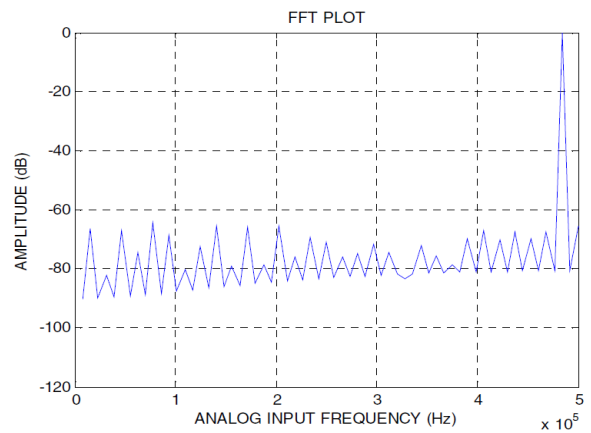


그림 9 FFT 모의실험 결과

Fig. 9 Simulated FFT result

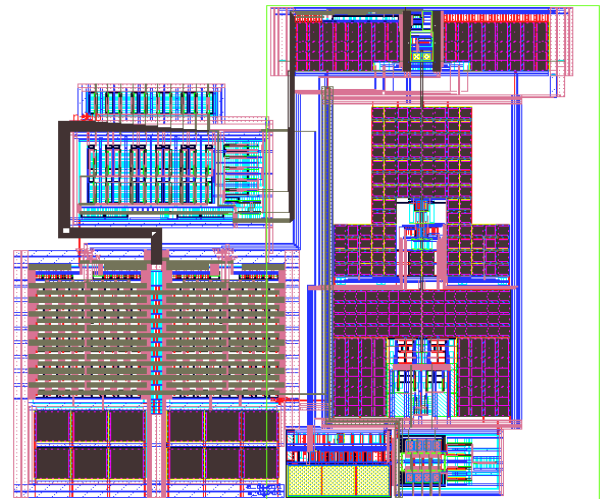


그림 10 아날로그-디지털 변환기 레이아웃

Fig. 10 ADC Lay-out

플렉서(Multiplexer)를 이용하여 4 채널의 차동신호를 입력으로 받을 수 있다.

### 4. 결 론

나노 기술(Nano technology)의 발전으로 칩의 집적도는 계속 증가되고 있으며, 모바일 시장의 폭발적인 증가로 저전력 제품에 대한 수요 또한 증가하고 있다. 따라서 이러한 저전력 아날로그-디지털 변환기를 제작하기 위해서 10bit 1MS/s 속차 비교형 아날로그-디지털 변환기를 65nm 1-poly 8-metal CMOS 공정을 사용하여 설계하였다. 설계된 아날로그-디지털 변환기는 더블 샘플링 기법을 사용한 샘플 앤 홀드 회로를 사용하여 면적이 커진다는 단점에도 불구하고 회로의 전력 소모량을 최소화 하였다. 모의실험 결과 55.6dB의 SNDR, 62.7dBc의 SFDR을 얻었다. 전체 칩 면적은 0.11um<sup>2</sup>이며 1.2V의 전원 전압에서 0.5mW의 전력을 소모하였다.

**감사의 글**

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R0A-2007-000-20059-0)

**참 고 문 헌**

- [1] Y. M. Lin, B. Kim, and P. P. Gray, "A 13-b 2.5-MHz self-calibrated pipelined A/D converter in 3um CMOS," *IEEE J. Solid-State Circuits*, vol. 26, no. 4, pp. 628-635, Apr. 1991.
- [2] M. D. Scott, B. E. Boser, and K. S. J. Pister, "An Ultra-Energy ADC for Smart Dust," *IEEE J. Solid-State Circuits*, vol. 38, no. 7, pp. 1123-1129, Jul. 2003.
- [3] K. Poultom, R. Neff, A. Muto, W. Liu, A. Burstein, and M. Heshami, "A 4GSamples/s 8b ADC in 0.35um CMOS," *IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, 2002, pp. 126-127.
- [4] S. M. Chen and R. W. Brodersen, "A 6-bit 600-MS/s 5.3-mW Asynchronous ADC in 0.13-um CMOS," *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2669-2680, Dec. 2006.
- [5] R. Taft et al., "A 1.8-V 1.6-GSamples/s 8-b self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency," *IEEE J. Solid-State Circuits*, vol. 39, no. 12, pp. 2107-2115, Dec. 2004.
- [6] K. Bult and A. Buchwald, "An embedded 240-mW 10-b 50MS/s CMOS ADC in 1-mm<sup>2</sup>," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1887-1895, Dec. 1997.
- [7] S. M. Louwsma, E. J. M. van Tuijl, M. Vertregt and B. Nauta, "A 1.35GS/s, 10b, 175mW Time-Interleaved AD Converter in 0.13um CMOS," *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 778-786, Apr. 2008.
- [8] P. N. Singh, A. Kumar, C. Debnath, and R. Malik, "20mW, 125Msps, 10 bit Pipelined ADC in 65nm Standard Digital CMOS Process," *IEEE Custom Integrated Circuits Conference*, 2007, pp. 189-192.
- [9] L. Sumanen, M. Waltari, and Kari A. I. Halonen, "A 10-bit 200-MS/s CMOS Parallel Pipelined A/D Converter," *IEEE J. Solid-State Circuits*, vol. 36, no. 7, pp. 1048-1055, Jul. 2001.

**저 자 소 개**



**이 호 규 (李 鎬 圭)**

2007년 고려대학교 전기전자전파공학과 졸업. 현재 동 대학원 전자전기공학과 석박통합과정 재학 중

E-mail : lhk@kilby.korea.ac.kr



**김 무 영 (金 茂 永)**

2004년 고려대학교 전기전자전파공학과 졸업. 현재 동 대학원 전자전기공학과 석박통합과정 재학 중.

E-mail : kmy@kilby.korea.ac.kr



**김 철 우 (金 喆 友)**

1994년 고려대학교 전자공학과 졸업. 1996년 동 대학원 전자공학과 졸업(공학석사). 2001년 미국 University of Illinois at Urbana-Champaign Electrical and Computer Engineering 졸업(공학박사). 현재 고려대학교 전기전자전파공학부 교수.

E-mail : ckim@korea.ac.kr