

High Voltage MOSFET의 DC 해석 용 SPICE 모델 파라미터 추출 방법에 관한 연구

논 문
60-12-17

A Study on the SPICE Model Parameter Extraction Method for the DC Model of the High Voltage MOSFET

이 은 구*
(Un Gu Lee)

Abstract - An algorithm for extracting SPICE MOS level 2 model parameters for the high voltage MOSFET DC model is proposed. The optimization method for analyzing the nonlinear data of the current-voltage curve using the Gauss-Newton algorithm is proposed and the pre-process step for calculating the threshold voltage and the mobility is proposed. The drain current obtained from the proposed method shows the maximum relative error of 5.6% compared with the drain current of 2-dimensional device simulation for the high voltage MOSFET.

Key Words : Parameter extractor, Gauss-Newton algorithm, High voltage MOSFET, Parameter optimization, SPICE

1. 서 론

IT 제품의 개발 속도가 점차 빨라짐에 따라 반도체 설계 회사에서는 다양한 기능을 포함한 회로를 짧은 기간 내에 개발해야 한다. 이들 중 산업용에 사용되는 제품은 Logic 및 메모리 제품에 비해 상대적으로 높은 정전기 수준을 유지해야 하며, 장시간에 걸쳐 안정적으로 동작할 수 있도록 높은 동작전압을 필요로 한다[1][2]. 높은 동작전압을 갖는 High voltage MOSFET은 대부분의 Analog 회로의 출력단[3]에 포함되어 있으나 정확한 해석 방법이 제공되지 않기 때문에 회로 설계에 많은 어려움이 있다. SPICE 해석을 통한 회로 설계가 진행되나 SPICE 모델 파라미터의 정확도가 떨어지면 제품의 전기적인 특성을 정확하게 예측할 수 없으므로 High voltage MOSFET과 같이 자체가 하나의 회로와 같이 동작하는 소자[4]를 포함한 회로에 대한 설계가 불가능하다. 따라서 Analog 회로의 출력단을 포함한 제품의 성능을 향상시키기 위해서는 회로 동작을 정확하게 예측할 수 있는 SPICE 모델 파라미터가 필수적이며, 이러한 SPICE 모델 파라미터를 정교하게 추출하기 위한 지속적인 연구가 수행되고 있다[5][6].

High voltage MOSFET은 drain 전극에 높은 전압이 인가된 조건에서 동작해야 하므로 channel이 인접한 drain 접합 영역에 Breakdown 이 발생하지 않도록 drain 접합이 깊어야 하고[7] substrate 영역의 불순물 농도가 낮아야 한다. 또한 최대 drain 전위가 인가된 조건에서 source와 drain 영역 간에 punch-through가 발생하지 않기 위해 channel이 깊어야 하고[3], 제품의 품질에 영향을 주는 gate oxide 수

명을 만족시키기 위해서는 gate oxide 가 일정한 두께 이상이 되어야 한다[8].

이러한 구조적인 특성을 갖는 High voltage MOSFET을 해석하기 위해서 short channel MOSFET 해석에 적합하도록 개발된 BSIM3 모델[9][10]을 사용할 경우 실제 구조에 적합한 SPICE 파라미터를 구하기가 어렵고, SPICE MOS level 3 모델은 drain 전류 항에 포함된 복잡한 수식을 근사적인 수식으로 단순화하였기 때문에 많은 계산오차를 포함한다[11]. 따라서 long channel 구조를 갖는 High voltage MOSFET을 해석하기 위해서는 drain 전류식의 물리적인 의미를 모두 포함하고 있는 SPICE MOS level 2 모델을 사용하는 것이 바람직하다[11].

SPICE MOS level 2 모델 파라미터는 gate 및 drain 전위에 대한 drain 전류 곡선으로부터 직접 추출이 가능하다. 그러나 SPICE 파라미터를 직접 추출하기 위해서는 단자 전위를 제한함으로써 MOSFET이 특정한 동작 상태를 유지해야 하기 때문에 MOSFET의 동작 영역에 전체 걸쳐 drain 전류를 예측하는 것은 불가능하고, 이러한 방법으로 추출한 파라미터를 이용하여 SPICE 모의실험을 진행하면 실제 회로 동작과 비교하여 많은 오차를 포함한다[10][11].

본 논문에서는 High voltage MOSFET 해석용 SPICE MOS level 2 모델 파라미터를 추출하는 방법을 제안한다. 해석의 정확도를 높이기 위해 drain 전류의 크기를 결정하는 주요 파라미터인 gate oxide 두께, threshold 전압과 이동도를 전처리 과정에서 계산한다. 전처리 과정 이후 $V_{GS}-I_{DS}$ 와 $V_{DS}-I_{DS}$ 곡선으로부터 SPICE MOS level 2 모델 파라미터를 추출한다. 인가전압과 출력전류의 비선형 관계가 높은 MOSFET의 SPICE 파라미터를 효과적으로 추출하기 위해서 Gauss-Newton 방법[11]을 사용하였고 전처리 과정에서 추출한 threshold 전압과 이동도 값을 초기조건으로 사용함으로써 해의 수렴성과 정확도를 높였다. 본 논문에서 제안한 방법의 타당성을 검증하기 위해 channel 길이

* 정 회 원 : 부천대학교 정보통신과 교수

E-mail : leg@bc.ac.kr

접수일자 : 2011년 9월 20일

최종완료 : 2011년 11월 21일

5.9[μm]이고 gate oxide 두께가 60[nm]인 MOSFET의 소자 모의실험 결과와 SPICE 파라미터 추출 결과를 비교 분석한다.

2. SPICE MOS level2 DC 모델 파라미터 추출 알고리즘

SPICE MOS level 1 모델에서는 bulk charge를 상수로 가정한 반면 SPICE MOS level 2 모델은 channel의 표면 전위에 따라 bulk charge가 변하는 값으로 가정하여 drain 전류 식을 유도한다. drain 전류에 bulk charge 항을 포함하면 drain 전류 수식이 비선형 특성을 갖는 단점이 있지만 다양한 구조를 갖는 MOSFET 구조에 대해 drain 전류를 정확하게 계산할 수 있다. 식 (1)과 (2)는 SPICE MOS level 2 모델의 threshold 전압과 drain 전류 식이다.

$$V_{th} = V_{th0} - \sqrt{2\phi_f + \sqrt{F_1} \sqrt{2\phi_f + V_{sb}} + F_w(2\phi_f + V_{sb})} \quad (1)$$

$$I_{ds} = k \frac{\mu_s}{\mu_0} \frac{L}{L_{eff}} \left[\left(V_{gs} - V_{th} - \frac{1}{2} n V_{ds} \right) V_{ds} - \frac{2}{3} n F_1 \left\{ (V_{ds} + 2\phi_f + V_{sb})^{1.5} - (2\phi_f + V_{sb})^{1.5} \right\} \right] \quad (2)$$

여기서 L_{eff} 는 유효 channel 길이이고 channel length modulation 현상을 고려한다. F_1 과 F_w 는 각각 short channel 효과와 narrow channel 효과를 나타내고 있으며 μ_s 는 표면 이동도 모델이다. V_{gs} 는 gate와 source 간 인가 전압이고 V_{ds} 는 drain과 source 간 인가전압이다.

BJT는 인가전압과 전류가 지수함수 관계[12]를 갖기 때문에 비선형 특성이 강한 반면 MOSFET은 지수항을 포함하지 않으므로 비선형 특성이 강하지는 않지만 gate oxide 두께, threshold 전압과 이동도의 초기 값이 해의 수렴특성과 정확도에 결정적인 영향을 준다. 측정 값과 큰 오차를 갖는 이동도를 초기 조건으로 설정하면 해가 수렴하지 않는 문제가 발생한다. 따라서 전처리 단계를 거쳐 threshold 전압과 이동도를 추출한 이후 나머지 파라미터를 추출하는 방법을 사용하면 해의 정확도와 수렴 특성을 향상시킬 수 있다.

2.1 SPICE MOS level 2 모델 파라미터 전처리 단계

gate oxide는 threshold 전압과 drain 전류 전반에 영향을 주는 파라미터이고 초기조건에 따라 해가 결정되므로 측정 값으로부터 측정된 값으로 고정시킨다. oxide 두께만 다른 2개 이상의 동일한 구조를 갖는 시료에서 추출한 C_{GB} 의 측정 값을 선형 근사하면 C_{ox} 를 구할 수 있다. gate oxide capacitance의 측정 값을 유전율로 나누면 electrical oxide 두께를 추출할 수 있다. 식 3은 gate oxide capacitance를 계산하기 위한 식이다.

$$C_{GB} = C_{ox}WL + C_p \quad (3)$$

여기서 W 와 L 은 각각 MOSFET의 channel 폭과 길이이다. C_{ox} 는 gate oxide capacitance이고 C_{GB} 는 gate-bulk capacitance, gate-source capacitance와 gate-drain capacitance를 포함한 capacitance이다.

threshold 전압은 $V_{GS}-I_{DS}$ 곡선의 실험 값으로부터 linear extrapolation 방법을 적용하여 추출할 수 있다. 그림 1은 threshold 전압을 추출하기 위한 linear extrapolation 방법을 나타낸다.

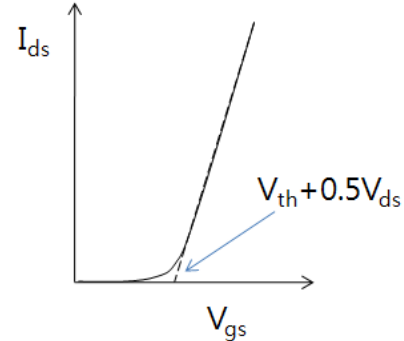


그림 1 linear extrapolation 방법
Fig. 1 linear extrapolation method

식 4는 linear 영역에서 동작하는 drain 전류이다.

$$I_{ds} = \mu_s C_{ox} \frac{W}{L} (V_{gs} - V_{th} - 0.5V_{ds}) V_{ds} \quad (4)$$

그림 1에서 $V_{GS}-I_{DS}$ 곡선에 접선을 표시했을 경우 접선이 x 축이 만나는 지점이 $V_{th}+0.5V_{ds}$ 이 된다. 측정 값으로부터 추출한 threshold 전압을 이용하여 Gauss-Newton 해석을 진행하면 MOSFET 동작 영역 전체에 걸쳐 threshold 전압을 정교하게 계산할 수 있다. 이때 Gauss-Newton 해석은 식 1에 대해 수행한다.

이동도는 $V_{GS}-I_{DS}$ 곡선의 실험 값을 식 4에 대입하여 추출할 수 있다. 식 4에서 V_{ds} 가 50[mV]의 작은 값을 인가한다면 식 5로 근사화된다.

$$I_{ds} = \mu_s C_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds} \quad (5)$$

식 5의 양변을 gate 전위로 미분하면 식 6이 되고 이를 정리하면 이동도를 추출하기 위해한 결과식이 된다.

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \Big|_{V_{ds}=0.05} = \mu_s C_{ox} \frac{W}{L} V_{ds} \quad (6)$$

$$\mu_s = \frac{g_m}{C_{ox} V_{ds}} \frac{L}{W} \quad (7)$$

측정 값으로부터 추출한 이동도를 이용하여 Gauss-Newton 해석하면 다양한 구조를 갖는 MOSFET에 대한 이동도를 정교하게 계산할 수 있다. 이때 Gauss-Newton 해석은 식 7에 대해 수행한다.

2.2 SPICE 파라미터 추출 알고리즘

SPICE 파라미터 추출 알고리즘에서는 MOSFET의 $V_{DS}-I_{DS}$ 및 $V_{GS}-I_{DS}$ 곡선의 측정 값과 SPICE MOS level 2

model을 이용한 계산 결과와의 오차가 최소가 되는 파라미터를 추출한다. 식 8은 drain 전류의 측정 값과 식 2의 계산 결과의 오차 함수이다. 측정 값과 계산 값의 오차가 최소가 되는 지점에서 $F(\bar{p})$ 는 최소 값이 되고 그 지점에서 \bar{p} 를 최적의 파라미터로 가정한다.

$$F(\bar{p}) = \sum_{i=1}^m [I_{exp,i} - I_{cal,i}(\bar{p})]^2 \quad (8)$$

$$r(\bar{p}) = I_{exp,i} - I_{cal,i}(\bar{p}) \quad (9)$$

여기서 I_{exp} 와 I_{cal} 는 각각 drain 전류의 측정 값과 계산 값이다. 수식을 단순하게 표현하기 위해 r_i 를 이용하여 오차 함수를 나타낸다. 측정 값에 포함된 잡음성분은 사용자에 의해 제거된 것으로 가정한다.

식 8에서 오차 함수 $F(\bar{p})$ 가 최소 가되는 조건은 $F(\bar{p})$ 의 파라미터에 대한 미분 값이 0이 되는 조건이고 그 지점에서 \bar{p} 를 최적의 파라미터이다. 식 10은 식 8을 파라미터에 대해 미분한 결과 식이다.

$$\left[\frac{\partial F(\bar{p})}{\partial p_i} \right] = 2 \left[\sum_{k=1}^m \left\{ r_k \frac{\partial r_k}{\partial p_i} \right\} \right] = 0 \quad (10)$$

식 10을 해석하는 방법으로 Steepest Decent 방법, Gauss-Newton 방법[11]과 Levenberg-Marquardt 방법[13]을 사용할 수 있다. Steepest Decent 방법은 계산 량이 적다는 장점이 있는 반면 수렴하는 데 시간이 많이 걸리는 단점이 있고 Levenberg-Marquardt 방법은 수렴특성은 좋으나 수렴방향을 나타내는 Jacobian 행렬을 계산하기 위해 일부 미분 항을 0으로 가정함으로써 계산을 단순화하기 때문에 수렴 경로 상에 일부 오차를 포함한다. Gauss-Newton 방법은 Jacobian 행렬을 정확하게 계산하기 때문에 수렴 경로 상에 오차를 포함하지 않으므로 수렴특성이 우수하다. 본 논문에서는 SPICE 파라미터를 최적화하기 위해 Gauss-Newton 방법을 사용한다. 식 11은 Gauss-Newton 방법에서 사용하는 해석식이다. 식 12는 식 11의 좌변 미분항을 계산하기 위한 수식이고 식 11의 수렴방향을 결정한다.

$$\left[\frac{\partial^2 F}{\partial p_i \partial p_j} \right] \{\Delta p_j\} = - \left[\frac{\partial F}{\partial p_i} \right] \quad (11)$$

$$\left[\frac{\partial^2 F(\bar{p})}{\partial p_i \partial p_j} \right] = 2 \left[\sum_{k=1}^m \left\{ \frac{\partial r_k}{\partial p_i} \frac{\partial r_k}{\partial p_j} + r_k \frac{\partial^2 r_k}{\partial p_i \partial p_j} \right\} \right] \quad (12)$$

식 13은 현 단계에서 수렴 해를 구하기 위한 식이다. 수렴 방향으로 진행하면서 오차가 최소가 되는 조건을 수렴 해로 가정한다[14].

$$p^{k+1} = p^k - \left[2 \sum_{k=1}^m \left\{ \frac{\partial r_k}{\partial p_i} \frac{\partial r_k}{\partial p_j} + r_k \frac{\partial^2 r_k}{\partial p_i \partial p_j} \right\} \right]^{-1} \left[\frac{\partial F}{\partial p_i} \right] \quad (13)$$

2.3 SPICE 파라미터 추출 알고리즘의 전체 흐름도

본 논문에서는 SPICE 파라미터 추출을 수행하기 위해 전처리 단계를 거쳐 해의 수렴과 정확도에 영향을 주는 threshold 전압과 이동도를 계산한다. 전처리 단계에서

threshold 전압과 이동도는 측정 값으로부터 추출한 값에 대해 식 1과 식 7을 Gauss-Newton 해석함으로써 계산할 수 있다. SPICE MOS level 2 모델에 대한 해석은 해의 정확도를 높이기 위해 Gauss-Newton 해석방법을 사용하고 있으며 해의 수렴조건은 각 파라미터의 상대오차가 1.0×10^{-4} 이하의 값을 갖는 경우로 설정한다. 그림 2는 전처리 과정을 포함한 전체 Gauss-Newton 해석의 흐름도이다.

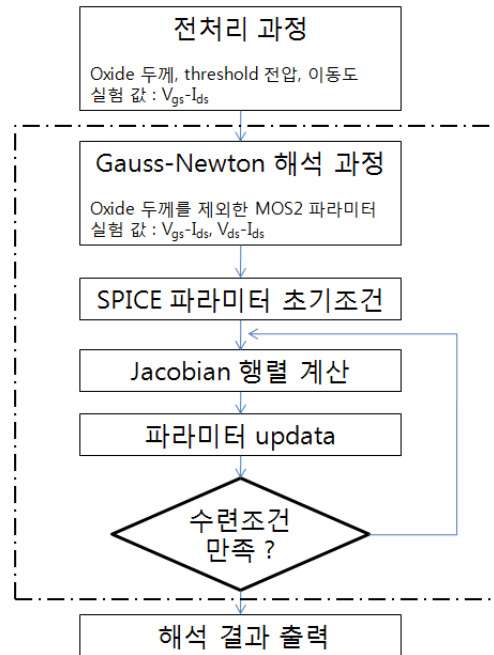


그림 2 Gauss-Newton 해석의 전체 흐름도
Fig. 2 The flow chart of the Gauss-Newton analysis

3. 결과 및 고찰

본 논문에서 제시한 SPICE 파라미터 추출 방법의 타당성을 검증하기 위해 60[nm]의 gate oxide 두께를 갖고 있으며 5.9[um]의 channel 길이와 1.5[um] drain/source의 접합깊이를 갖는 High voltage MOSFET 소자에 대해 2차원 소자 모의실험을 수행한 결과 값 V_{GS-ID_S} 과 V_{DS-ID_S} 곡선에 대해 SPICE MOS level 2 모델 파라미터를 추출한다. 그림 3은

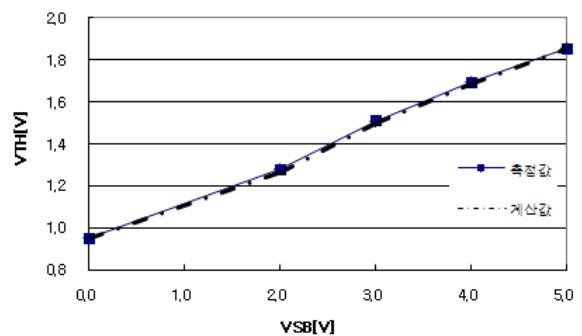


그림 3 Threshold 전압에 대한 측정 값과 계산값
Fig. 3 The Measured and calculated data of threshold voltage

$V_{GS}-I_{DS}$ 곡선으로부터 전처리 과정을 거쳐 추출한 threshold 전압 값과 threshold 전압에 대해 Gauss-Newton 해석한 결과 값을 비교하여 나타내고 있다. 계산결과 VT_0 는 0.91[V], ν 는 0.68 이고 기판 농도는 $4.6 \times 10^{15} [cm^{-3}]$ 이다.

그림 4는 $V_{GS}-I_{DS}$ 곡선으로부터 전처리 과정을 거쳐 추출한 이동도 값과 식 7의 이동도에 대해 Gauss-Newton 해석한 결과 값을 비교하여 나타내고 있으며, 추출 결과 이동도는 V_{SB} 와는 무관하게 1,255로 비교적 큰 값을 갖고 있다.

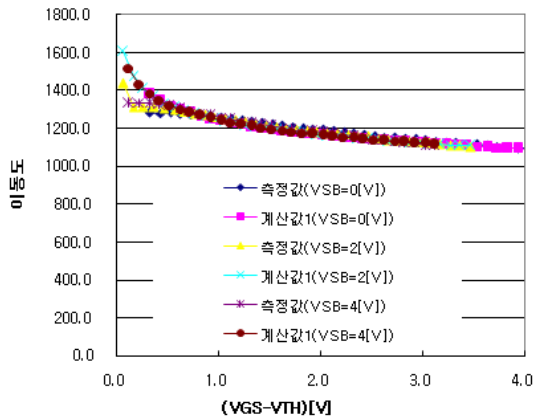


그림 4 표면 이동도에 대한 측정 값과 계산 값의 비교
Fig. 4 The Measured and calculated data of surface mobility

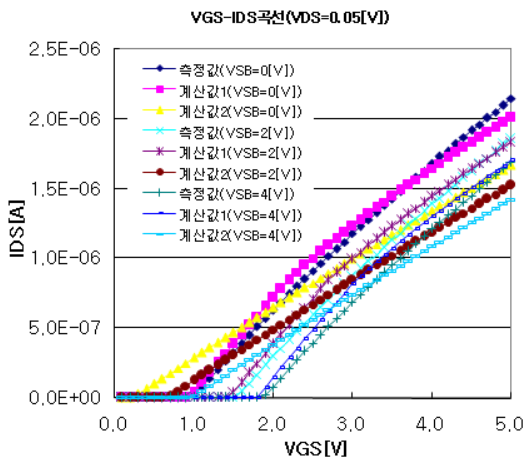


그림 5 $V_{GS}-I_{DS}$ 특성 곡선에 대해 측정치와 SPICE 출력 값 비교
Fig. 5 The comparison of the SPICE result and measured data for $V_{GS}-I_{DS}$ curve

이는 소자 모의실험을 진행하는 과정에서 gate oxide의 수직전계의 영향을 고려하지 않았기 때문이다.

그림 5는 V_{DS} 에 50[mV]를 인가한 조건에서 V_{GS} 에 대한 drain 전류 곡선이고, 그림 6은 $V_{DS}-I_{DS}$ 곡선이다. 여기서 계산값2는 전처리 과정을 거치지 않고 SPICE 파라미터를 추출한 결과이다. 계산값2에 사용할 SPICE 파라미터를 추출하기 위해서는 파라미터의 초기값이 참 값에 근사해야 한다. 특히 VT_0 와 이동도에 관한 파라미터가 참값으로부터 50% 이상 벗어나면 해가 수렴하지 않거나 측정값과 비교하여 많은 오차를 포함한다.

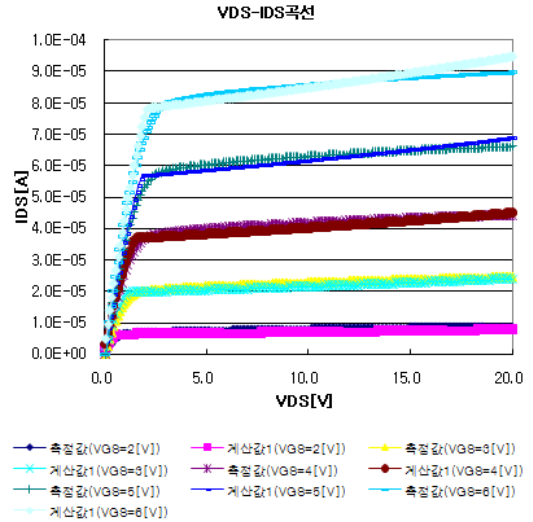


그림 6 $V_{DS}-I_{DS}$ 특성 곡선에 대해 측정치와 SPICE 출력 값 비교

Fig. 6 The comparison of the SPICE result and measured data for $V_{DS}-I_{DS}$ curve

그림 5의 $V_{GS}-I_{DS}$ 곡선에 대해 측정 값과 본 논문에서 제안한 방법을 이용한 SPICE 해석을 비교한 결과 6.5% 최대 상대오차를 보이고 있으며, 그림 6의 $V_{DS}-I_{DS}$ 곡선에서는 5.6%의 최대 상대오차를 나타내고 있으므로 본 논문에서 제시한 방법의 타당성을 확인할 수 있다. 표 1은 threshold 전압을 계산하기 위한 전처리 1 과정과 이동도를 계산하기 위한 전처리 2 과정의 결과 값과 Gauss-Newton 해석을 통해 추출한 SPICE 파라미터를 제시한다. threshold 전압에 관한 파라미터는 전처리 1 과정에서 계산된 값을 사용하고 이동도에 관한 값은 전처리 2에서 계산된 값을 초기 값으로 하여 Gauss-Newton 해석을 진행한다.

표 1 High voltage MOSFET의 SPICE MOS level 2 DC 모델 파라미터

Table 1 The SPICE MOS level 2 DC model parameter of the High voltage MOSFET

DC 파라미터	전처리 과정1	전처리 과정2	Gauss-Newton 해석	단위
NSUB	4.63×10^{15}		4.63×10^{15}	cm^{-3}
NFS	9.8×10^{10}		9.8×10^{10}	cm^{-3}
PHI	0.656		0.918	V
VT0	0.91		0.91	V
TOX	60	60	60	nm
U0		1255	1340	cm^2/Vs
UEXP		9.41×10^{-2}	0.182	-
VMAX		5.0×10^4	5.1×10^4	m/s
UCRIT		5.09×10^4	7.13×10^4	V/cm
XJ			1.5×10^{-6}	m
LD			0.58×10^{-6}	m
GAMMA			0.8	$V^{0.5}$
RD			1880	Ohm
RS			1880	Ohm

4. 결 론

본 논문에서는 High voltage MOSFET의 DC 해석용 SPICE MOS level 2 DC 모델 파라미터 추출 알고리즘을 제시하였다. 해의 정확도와 수렴특성을 높이기 위해 전처리 과정을 거쳐 threshold 전압과 이동도에 관한 파라미터를 계산하였으며 MOSFET 전압-전류 곡선을 Gauss-Newton 해석하여 SPICE 파라미터를 추출하였다. 이때 전처리 과정에서 계산한 결과를 초기값으로 사용하였다. 본 논문에서 제시한 SPICE 파라미터 추출 방법의 타당성을 검증하기 위해 60[nm]의 gate oxide 두께를 갖고 있으며 5.9[um]의 channel 길이와 1.5[um] drain/source의 접합깊이를 갖는 High voltage MOSFET 소자에 대해 2차원 소자 모의실험을 수행한 결과 값과 SPICE 출력 값을 비교한 결과, $V_{GS}-I_{DS}$ 곡선에서는 6.5% 이내의 상대오차를 보이고 있으며 $V_{DS}-I_{DS}$ 곡선에서는 5.6% 이내의 상대오차를 보이므로 본 논문에서 제안한 방법의 타당성을 확인할 수 있다.

참 고 문 헌

- [1] A. Amerasekera and C. Duvvury, *ESD in Silicon Integrated Circuits*, John Wiley & Sons, New York, 1995.
- [2] L.L.Spina, V.d'Alessandro, S.Russo, N.Rinaldi, L.K. Nanver, "Influence of Concurrent Electrothermal and Avalanche Effects on the Safe Operating Area of Multifinger Bipolar Transistors," *IEEE Trans. on Electron Devices*, Vol. 56, No. 3, pp.483-491, 2009
- [3] H. Ballan and M. Declercq, *High Voltage Devices and Circuits in Standatd CMOS Technologies*, Kluwer Academic Pub., Boston, pp. 181-226, pp. 43-48, 1999.
- [4] Palo Antognetti, *Power Integrated Circuits: Physics, Design, and Applications*, McGraw-Hill Book Co., New York, pp. 3.27-3.34, 1986
- [5] Fei Li, L.F.Registor, M.M,Hassan, S.K.Banerjee, "A Program for Device Model Parameter Extraction from Gate Capacitance and Current of Ultrathin SiO₂ and High-k Gate Stacks," *IEEE Trans. on Electron Devices*, Vol. 53, No. 9, pp.2118-2127, 2006
- [6] D.Nam, Y.D.Seo, L.Park,C.H.Park, B.Kim, "Parameter Optimization of an On-Chip Voltage Reference Circuit Using Evolutionary Programming," *IEEE Trans. on Evolutionary Computation*, Vol. 5, No. 4, pp.414-421, 2001
- [7] B. J. Baliga, *Power Semiconductor Devices*, PWS Pub. comp., Boston, pp. 82-90, 1996.
- [8] Richard S.Muller, Theodore I.Kamins, *Device Electronics for Integrated Circuits*, Wiley, New York, pp.490-507, 2003.
- [9] Cadence, *PSpice A/D Reference Guide Product Version 10.3*, Cadence, pp.255-268, 2004.
- [10] J. Y. Chen, *CMOS Devices and Technology for VLSI*, Prentice-Hall Inc., pp. 74, 1990.
- [11] N. Arora, *MOSFET Models for VLSI Circuit Simulation Theory and Practice*, Springer-Verlag Wien New York, New York, pp.542-556, pp.410-476, 1993.
- [12] C.P.Lee, F.H.F.Chau, W.Ma,N.L.Wang, "The Safe Operating Area of GaAs-based Heterojunction Bipolar Transistor," *IEEE Trans. on Electron Devices*, Vol. 53, No. 11, pp.2681-2688, 2006
- [13] 이은구, "BJT의 DC 해석 용 SPICE 모델 파라미터 추출 방법에 관한 연구", *대한전기학회 58권 9호*, pp. 1769-1774, Sept. 2009,
- [14] K. Doganis, D. L. Scharfetter, "General Optimization and Extraction of IC Device Model Parameters", *IEEE Trans. on Electron Devices*, Vol. ED-30, No. 9, 1983McGraw-Hill, 1991.

저 자 소 개



이 은 구 (李 恩 九)

1972년 6월 11일생. 1995년 2월 인하대학교 전자공학과 졸업(공학사). 1997년 2월 동 대학원 전자공학과 졸업(공학석사). 2003년 동 대학원 전자공학과 졸업(공학박사). 현재 부천대학 정보통신과 부교수 재직.

E-mail : leg@bc.ac.kr