

# 고전압 응용분야를 위한 GaN 쇼트키 다이오드의 산화 공정

논 문
60-12-14

## Oxidation Process of GaN Schottky Diode for High-Voltage Applications

하민우<sup>†</sup> · 한민구<sup>\*</sup> · 한철구<sup>\*\*</sup>

(Min-Woo Ha · Min-Koo Han · Cheol-Koo Hahn)

**Abstract** - 1 kV high-voltage GaN Schottky diode is realized using GaN-on-Si template by oxidizing Ni-Schottky contact. The Auger electron spectroscopy (AES) analysis revealed the formation of NiO<sub>x</sub> at the top of Schottky contact. The Schottky contact was changed to from Ni/Au to Ni/Ni-Au alloy/Au/NiO<sub>x</sub> by oxidation. Ni diffusion into AlGa<sub>0.5</sub>N improves the Schottky interface and the trap-assisted tunneling current. In addition, the reverse leakage current and the isolation-leakage current are efficiently suppressed by oxidation. The isolation-leakage current was reduced about 3 orders of magnitudes. The reverse leakage current was also decreased from 2.44 A/cm<sup>2</sup> to 8.90 mA/cm<sup>2</sup> under -100 V-biased condition. The formed group-III oxides (AlO<sub>x</sub> and GaO<sub>x</sub>) during the oxidation is thought to suppress the surface leakage current by passivating surface dangling bonds, N-vacancies and process damages.

**Key Words** : GaN, AlGa<sub>0.5</sub>N, Schottky diode, Power device, Oxidation

### 1. 서 론

큰 밴드-갭을 가지는 GaN, SiC 및 다이아몬드는 고전압 및 고온 안정성을 가져 차세대 전력 반도체로 주목받고 있다[1]. AlGa<sub>0.5</sub>N/GaN 인터페이스에 형성되는 고전도성 채널을 가지는 GaN 소자는 기존 실리콘 전력 반도체의 전력 밀도 (power density), 전력 손실 (power loss) 및 스위칭 속도 (switching speed)를 뛰어넘는 차세대 전력용 반도체 소자로 주목받고 있다. GaN 쇼트키 다이오드 (Schottky diode)[2-3], AlGa<sub>0.5</sub>N/GaN HFET (heterostructure field effect transistor)[4], normally-off GaN hybrid MOS-HFET (metal oxide semiconductor-HFET)[5] 및 GaN super HFET[6] 등의 다양한 고전압 GaN 반도체 소자가 연구 및 개발되고 있다. 최근 GaN 전자소자의 상용화를 가로막고 있는 기판단가를 낮추기 위하여 Si 기판 위 GaN 에피택시를 성장시키는 기술이 개발되고 있다. 또한 Si 기판은 Al<sub>2</sub>O<sub>3</sub> 나 SiC에 비하여 대구경화가 용이하다. 그러나 Si 기판은 GaN와 격자 상수 및 열 팽창 계수의 차이가 커서, 기판 위 성장된 GaN 에피택시의 결함 밀도가 높다. 크랙이 없고 낮은 결함 밀도를 가지는 우수한 결정성을 가지는 GaN을 성장하기 위해서 Si 기판과 GaN 사이에 특수한 전이 층 (translation layer)이 필요하다[7-8].

GaN 소자 중 하나인 GaN 쇼트키 다이오드는 고전압과 빠른 스위칭 속도 때문에 기존 Si PiN 다이오드를 대체하기 위하여 개발되고 있지만 누설전류가 큰 문제점을 가지고 있다[9]. 이러한 누설전류의 원인으로 표면 및 인터페이스 전하가 지목되고 있으며, GaN 소자의 전기적 특성이 표면 및 인터페이스 전하에 의하여 결정된다. 표면 및 인터페이스 전하에 의하여 표면 페르미 레벨은 에너지 밴드 갭의 1/2로 pinning되며, 금속 일 함수의 증가함에 따라 쇼트키 장벽 높이가 비례하지 못하고 포화된다[10-12]. 페르미 레벨 pinning은 쇼트키 장벽 높이를 감소시키고 트랩을 통한 터널링 누설전류[13-17]를 가시킨다. 또한 (Al)Ga<sub>0.5</sub>N 내부 threading dislocation로 전도되는 hopping 누설전류 [17]도 보고된 바가 있다. 쇼트키 컨택과 (Al)Ga<sub>0.5</sub>N 사이의 표면 및 인터페이스 전하는 donor로 동작하는 N-vacancy 형태로 보고되고 있으며, N-vacancy의 원인은 dangling bond, threading dislocation, process defect 등이 될 수 있다 [12-15]. Donor 에너지 레벨은 전도대 하단으로부터 0.2-0.3 eV[15], 0.37 eV[14], 0.4-0.55 eV[16], 0.5 eV[12-13]로 알려져 있다. Donor 에너지 레벨이 차이가 나는 이유는 GaN 에피택시 성장법이나 소자 공정이 다르기 때문이다.

GaN 소자의 페르미 레벨 pinning을 유도하는 표면 및 인터페이스 전하를 제어하기 위하여 쇼트키 컨택의 산화 기술 [3,18-20]이 발표되었다. 이것은 쇼트키 컨택 증착 후 O<sub>2</sub> 분위기에서 furnace 혹은 rapid thermal annealing (RTA)를 이용하여 쇼트키 컨택을 산화시키는 것으로 소자의 역방향 특성을 개선하며 공정이 간단한 장점을 가지고 있다. 그러나 고전압 GaN 쇼트키 컨택의 산화에 대한 메커니즘은 구체적으로 밝혀지지 않았다. 또한 종래 GaN 소자의 쇼트키 컨택의 산화는 주로 성장에 용이한 사파이어 [18-19]나 SiC

<sup>†</sup> 교신저자, 정회원 : 전자부품연구원 선임연구원, 공학박사  
E-mail : isobar@keti.re.kr

<sup>\*</sup> 펠로우회원 : 서울대학교 전기공학부 교수, 공학박사

<sup>\*\*</sup> 정 회원 : 전자부품연구원 책임연구원, 공학박사

접수일자 : 2011년 9월 8일

최종완료 : 2011년 11월 19일

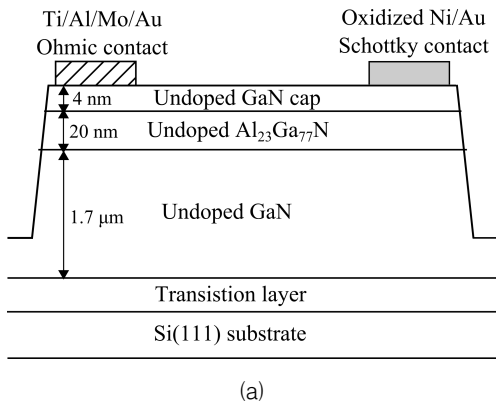
기판 [20] 위 성장된 GaN 에피택시를 이용하였으며, Si 기판 위 성장된 GaN의 결과는 발표되지 않았다.

본 논문의 목적은 산화 공정을 이용하여 고전압 응용분야를 위한 GaN 쇼트키 다이오드를 제작하였으며, Auger electron spectroscopy (AES) 측정을 통하여 산화 메커니즘을 연구하였다. 6인치 Si 기판 위 성장된 AlGaIn/GaN 에피택시를 이용하여 GaN 쇼트키 다이오드를 제작하였으며, 후처리로 Ni-쇼트키 콘택을 산화시켜 1 kV의 높은 항복전압을 구현하였다.

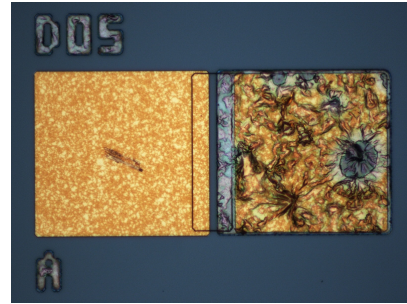
## 2. 본 론

### 2.1 소자 제작

6인치 Si 기판 위 유기금속 화학기상 증착법 (MOCVD)으로 성장된 AlGaIn/GaN은 GaN 쇼트키 다이오드 제작의 초기 재료로 이용되었다. AlGaIn층의 Al 몰분율은 23 %이며, 두께는 20 nm이다. GaN 버퍼층의 두께는 1.7  $\mu\text{m}$ 이다. 홀 측정 결과 이차원 전자가스의 면저항, 전자 농도 및 전자 이동도는 444  $\Omega/\text{sq}$ ,  $7.28 \times 10^{12} /\text{cm}^2$ 과 1930  $\text{cm}^2/\text{Vs}$ 이다. 소자와 소자 사이의 절연을 위하여 유도 결합 플라즈마-식각기 (inductively coupled plasma-etcher)에서  $\text{Cl}_2$ 와  $\text{BCl}_3$ 를 이용하여 394 nm 깊이의 메사 구조가 형성되었다. 금속 패턴은 전자-건 증착기를 이용하여 다중 금속층이 증착된 후 리프트-오프 방법을 이용하여 형성되었다. Ti/Al/Mo/Au (20/100/25/200 nm)의 오믹 금속은 증착된 후 RTA를 이용하여  $\text{N}_2$  분위기 및 870  $^\circ\text{C}$ 에서 30 s동안 어닐링 되었다. Ni/Au (50/500 nm)의 쇼트키 금속은 증착된 후 furnace를 이용하여  $\text{O}_2$  분위기 및 400  $^\circ\text{C}$ 에서 300 s동안 산화되었다. 그림 1은 제작된 GaN 쇼트키 다이오드의 단면도 및 현미경 사진이다. 메사 구조로 소자 간 절연이 되지 않으면 누설전류가 액티브 영역 밖의 경로를 통하여 흐르기 때문에 소자 간 절연성은 중요하다. 메사 구조의 표면 및 GaN 버퍼층의 누설전류 특성을 측정하는 테스트 구조가 제안되었으며, 소자와 동시에 제작하였다. 테스트 구조는 메사 구조로 분리된 2개의 오믹 콘택으로 이루어진다. 테스트 구조의 너비는 100  $\mu\text{m}$ 이며, 2개의 오믹 콘택 간격은 50  $\mu\text{m}$ 이다. 그림 2는 제작된 테스트 구조의 단면도이다.



(a)



(b)

그림 1 제작된 GaN 쇼트키 다이오드의 (a) 단면도 및 (b) 현미경 사진

Fig. 1 (a) Cross-sectional view and (b) microscopic image of fabricated GaN Schottky diode

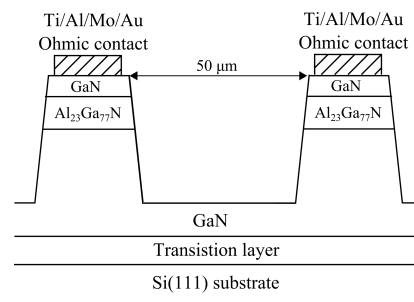


그림 2 메사 식각된 표면 및 GaN 버퍼층의 누설전류를 측정하기 위한 테스트 구조의 단면도

Fig. 2 Cross-sectional view of test structure to measure the isolation-leakage current

### 2.2 AES 측정 결과

산화 공정으로 인한 쇼트키 콘택 및 AlGaIn/GaN의 변화는 성분 분석 방법을 이용하여 연구되었다. AlGaIn/GaN 위 증착된 Ni/Au 시료는 400  $^\circ\text{C}$ 에서 산화된 후 AES 측정되었다. 산화 후 쇼트키 콘택과 AlGaIn/GaN의 성분을 분석하였다. 그림 3은 산화 후 Ni-쇼트키 콘택의 측정된 AES profile이다. AES 측정의 전자 가속 전압은 5 keV이었다. 400  $^\circ\text{C}$ 의 산화 공정으로 인하여 Ni/Au가 Ni/Ni-Au 합금/Au/NiO<sub>x</sub>로 변화되었다. 측정된 AES profile에서는 산화 공정으로 인하여 Ni-쇼트키 콘택에서 2가지 변화가 생겼다. 첫 번째 변화는 산화 공정 중 Ni는 쇼트키 콘택의 표면으로 확산되어 산소와 1:1 비율로 결합하여 NiO<sub>x</sub>가 형성된 것이다. 그러나 400  $^\circ\text{C}$ 에서 형성된 NiO<sub>x</sub>는 SiO<sub>2</sub>와 같은 유전체처럼 높은 저항을 가지지 않았다. 산화 온도, 400  $^\circ\text{C}$ 에서는 쇼트키 콘택의 저항을 우려할 수준으로 높이지 않았지만, 600  $^\circ\text{C}$ 에서는 쇼트키 콘택의 저항을 대폭 증가시켜 소자의 온-저항을 열화시켰다. NiO<sub>x</sub>의 성분비 및 저항은 산화 온도와 시간에 따라 변화가 가능하다. 추가적으로 쇼트키 콘택 에지에 노출된 Ni에서도 NiO<sub>x</sub> 형성이 쉽게 가능하다. 쇼트키 콘택 에지에 형성된 NiO<sub>x</sub>는 쇼트키 콘택 에지로 흐르는 터널링 전류를 감소시킬 것으로 예상된다.

두 번째 변화는 AlGaIn 내부로 Ni이 확산된 것이다. 400  $^\circ\text{C}$ 에서 AlGaIn 내부로 Ni 확산은 Ni/AlGaIn 인터페이스의

donor로 동작하는 dangling bond, process defect, metal defect 등이 Ni과 함께 재결성 (reconstruction) 된 것이다. 산화 공정으로 인하여 donor로 동작하는 N-vacancy가 어닐링 되어 페르미 레벨 pinning이 완화된다. 최종적으로 쇼트키 장벽의 터널링 효과가 감소되어 소자의 누설전류가 감소된다. 마지막으로 산화 공정 후 AlGaIn/GaN을 AES를 측정하였으며 그 결과 AlGaIn에 O가 검출되었다. 산화 공정으로 인하여 AlGaIn에 AlO<sub>x</sub>와 GaO<sub>x</sub>가 형성됨을 의미한다. 산화 조건에서 AlO<sub>x</sub>의 Gibbs 자유 에너지가 GaO<sub>x</sub>의 것보다 크므로 AlO<sub>x</sub>의 형성되는 양이 GaO<sub>x</sub>보다 많다 [18]. 즉, AlGaIn 표면에 III족 산화물인 AlO<sub>x</sub>와 GaO<sub>x</sub>이 형성되어 dangling bond와 process defect이 passivation되어 소자의 표면 누설전류가 감소된다.

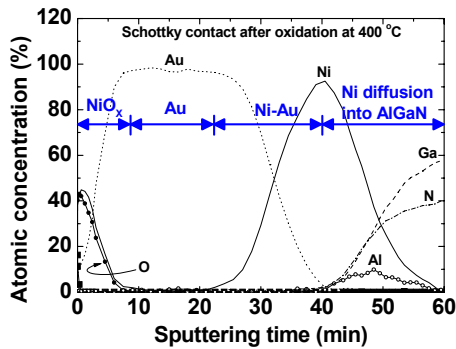


그림 3 산화 후 Ni-쇼트키 콘택의 측정된 AES profile  
 Fig. 3 Measured AES profile of Ni-Schottky contact after the oxidation

### 2.3 소자의 전기적 특성

산화 공정의 효과를 연구하기 위해 그림 2의 테스트 구조를 제작하여 메사 식각된 표면 및 GaN 버퍼층을 흐르는 누설전류를 측정하였다. 그림 4는 산화 공정 전, 후 메사 식각된 표면 및 GaN 버퍼층을 흐르는 측정된 누설전류이다. 100 V 전압에서 산화공정 전, 후 표면 및 GaN 버퍼층의 누설전류는 2.03 nA/μm에서 0.57 pA/μm로 감소하였다. 이를 메사 구조로 인한 절연성 저항으로 환산하면 산화공정 이후 4.93 MΩcm에서 17.52 GΩcm로 증가하였다. 이 누설전류의 경로는 dangling bond, 메사 식각 중 플라즈마 손상을 받은 (Al)GaIn 격자 및 도핑되지 않는 GaN 버퍼층이다. 산화 공정 중 III족 원자인 Al 및 Ga이 O와 반응하는 에너지가 V족 원자인 N과 O와 반응하는 에너지보다 크다[18]. III족 원자인 Al과 Ga는 외부로 확산되어 O와 결합하여 III족 산화물인 AlO<sub>x</sub>와 GaO<sub>x</sub>를 형성한다. 산화 공정으로 인하여 메사 식각된 표면의 플라즈마 손상을 받아 donor로 동작하는 N-vacancy[12-15]가 안정된 III족 산화물로 치환된다. 따라서 산화 공정 후 N-vacancy 감소로 인한 표면 누설전류 감소로 인하여 테스트 구조의 누설전류가 1/3500배 수준으로 감소하였다. 산화 공정으로 인한 GaN 버퍼층 누설전류 감소는 산화 조건과 (Al)GaIn내 O의 확산깊이를 고려하면 그 효과가 적을 것으로 예상된다. 산화 공정은 메사 식각된 표면 누설전류를 감소시키며 소자와 소자 사이의 절연 특성을 성공적으로 개선한다.

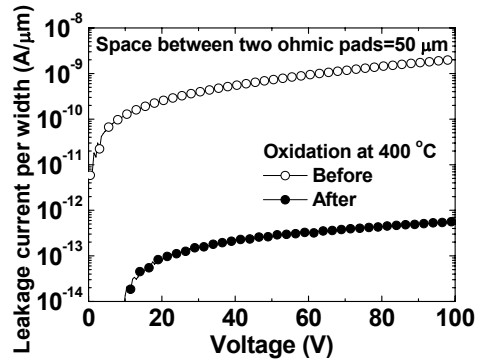


그림 4 메사 식각된 표면 및 GaN 버퍼층의 측정된 누설전류  
 Fig. 4 Measured isolation-leakage current before and after the oxidation

산화 공정이 메사 식각된 영역의 표면 누설전류를 억제하는 것을 확인하였으며, GaN 쇼트키 다이오드에서도 그 효과를 측정하였다. 소자는 테스트 구조와 동일한 공정으로 동시에 제작되었다. 그림 5는 GaN 쇼트키 다이오드의 측정된 누설전류이다. 소자의 애노드-캐소드 간격 및 너비는 5 및 100 μm이다. 산화 공정 전, 후 소자의 -100 V에서 측정된 누설전류는 2.44 A/cm<sup>2</sup>에서 8.90 mA/cm<sup>2</sup>로 성공적으로 감소되었다. 산화된 Ni-쇼트키 콘택은 역방향 전압이 증가될수록 누설전류가 증가되지 않고 일정하게 유지되는 장점을 가진다. 산화 공정으로 인하여 소자의 역방향 특성이 soft-항복에서 hard-항복으로 변화된다. 산화 공정 소자 간 절연을 성공적으로 확보한 상황에서 산화 공정으로 인한 누설전류 감소는 AES 결과에서처럼 액티브 영역 (쇼트키 콘택 및 AlGaIn/GaN)의 변화에 의한 것이다.

그림 6은 GaN 쇼트키 다이오드의 측정된 I-V 특성이다. 제작된 GaN 쇼트키 다이오드는 0 V에서 핀치-오프 된다. 소자의 애노드-캐소드 간격 (D<sub>AC</sub>)은 5 μm이며, 너비는 100 μm이다. 소자의 순방향 전압 강하 및 온-저항은 100 A/cm<sup>2</sup>의 전류밀도에서 정의되었다. 산화 공정 이후 소자의 I-V는 양의 방향으로 이동되었다. 이는 Ni-쇼트키 콘택의 산화 이후 쇼트키 장벽 높이가 증가되기 때문이다. 산화 공정으로 인하여 소자의 순방향 전압 강하는 0.60에서 1.53 V로 증가되었다. 순방향 전압 강하의 증가는 I-V 특성이 양의 방향으로 이동되었기 때문이다. 산화 공정으로 인하여 소자의 온-저항은 1.07에서 2.03 mΩcm<sup>2</sup>로 증가되었다. 온-저항 증가는 금속 콘택이 산화되어 저항이 증가하였기 때문이다. 그러나 산화 공정 이후 제작된 소자의 순방향 특성은 다소 열화 되었지만, 여전히 기존 Si 소자의 성능에 비하여 우수하다. 측정된 I-V 특성에서 쇼트키 장벽 높이를 추출하였다 [21]. 쇼트키 장벽 높이를 추출하기 위한 effective Richardson 상수는 이론적인 값인 26.4 A/cm<sup>2</sup>/K<sup>2</sup>를 이용하였다[22]. 산화 공정 이후 쇼트키 장벽 높이는 0.59에서 0.72 eV로 증가되었다. 산화 공정 이후 Ni/AlGaIn 인터페이스의 image force barrier lowering이 감소되며, 높아진 쇼트키 장벽 높이는 쇼트키 콘택의 터널링 누설전류를 감소시킨다.

커브 트레이서를 이용하여 제작된 소자의 항복전압을 측정하였다. 그림 7은 GaN 쇼트키 다이오드의 애노드-캐소드

간격에 따른 측정된 항복전압이다. 애노드-캐소드 간격이 5  $\mu\text{m}$ 인 소자의 측정된 항복전압은 302 V이다. 애노드-캐소드 간격이 10, 20, 30, 40, 50  $\mu\text{m}$ 로 증가할수록 소자의 항복전압은 396, 454, 553, 778, 865 V로 증가된다. 소자 간 항복전압 편차를 감안하면 GaN 쇼트키 다이오드의 항복전압은 약 1 kV까지 증가되었다[23]. 애노드-캐소드 간격이 증가할수록 수평방향의 공핍영역이 증가하여 소자의 항복전압이 증가된다. 소자에 이용된 GaN 버퍼층의 두께는 1.7  $\mu\text{m}$ 으로 수직방향 공핍영역이 커서 고전압에 적합한 구조이다. AlGaIn/GaN 에피택시를 이용하여 GaN 쇼트키 다이오드의 우수한 순방향 특성을 확보하였으며, 열 산화공정을 이용하여 누설전류 억제와 고전압을 성공적으로 구현하였다.

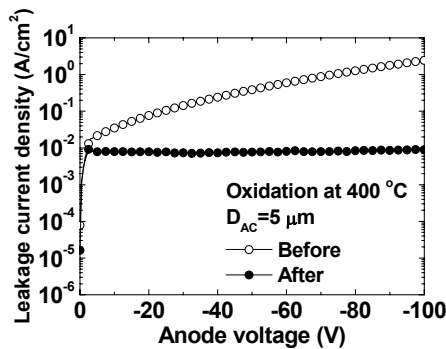


그림 5 GaN 쇼트키 다이오드의 측정된 누설전류  
Fig. 5 Measured reverse leakage current of GaN Schottky diode

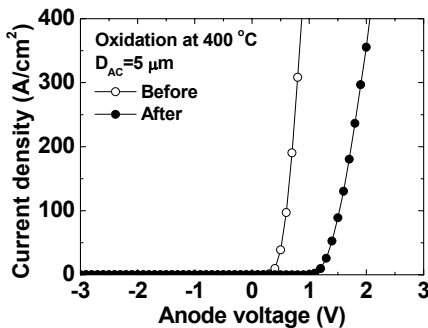


그림 6 GaN 쇼트키 다이오드의 I-V  
Fig. 6 Measured I-V of GaN Schottky diode

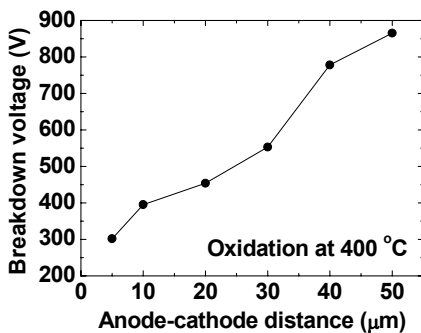


그림 7 GaN 쇼트키 다이오드의 측정된 항복전압  
Fig. 7 Measured breakdown voltage of GaN Schottky diode after the oxidation

### 3. 결 론

차세대 전력반도체 물질로 주목받고 있는 GaN-on-Si를 이용하여 고전압 GaN 쇼트키 다이오드를 제작하였다. Donor로 동작하는 N-vacancy를 감소시켜 터널링 누설전류를 억제하기 위하여 소자의 후처리 산화 공정을 제안하였다. 산화 공정의 결과로 쇼트키 콘택 표면에 NiO<sub>x</sub>가 형성되었다. 또한 AlGaIn 내부로 Ni이 확산되어 페르미 레벨 pinning이 완화되며, 쇼트키 장벽 높이가 증가되고 터널링에 의한 누설전류가 억제되었다. 산화 공정은 액티브 영역 내 AlGaIn 표면 및 메사 식각된 (Al)GaIn에 III족 산화물인 AlO<sub>x</sub>와 GaO<sub>x</sub>를 형성하여 dangling bond와 process defect에 대한 passivation 효과로 표면 누설전류를 억제하였다. 산화 공정 이후 GaN 쇼트키 다이오드의 -100 V에서 누설전류는 2.44 A/cm<sup>2</sup>에서 8.90 mA/cm<sup>2</sup>로 감소되었다. 제작된 소자의 항복전압은 약 1 kV까지 증가되었다. Ni-쇼트키 콘택을 산화시키는 방법은 공정이 간단하고 효과적으로 역방향 특성을 개선하여 GaN 전력용 반도체의 후처리 공정으로 적합하다.

### 감사의 글

본 연구는 2011년도 지식경제부의 재원으로 한국 에너지 기술평가원 (KETEP)의 지원에 의하여 이루어진 연구로서, 관계부처에 감사드립니다. (No. 101030002B)

### 참 고 문 헌

- [1] N. Ikeda, et. al, "GaN power transistors on Si substrates for switching applications", Proc. IEEE, vol. 98, no. 7, pp. 1151-1161, July, 2010
- [2] M.-W. Ha, et. al, "High-Voltage GaN SBD on Si Substrate by Suppressing Metal Spikes", Proc. 23rd ISPSD, pp. 231-234, 2011
- [3] S.-C. Lee, et. al, "Suppression of leakage current of Ni/Au Schottky barrier diode fabricated on AlGaIn/GaN heterostructure by oxidation", Jpn. J. Appl. Phys., vol. 45, no. 4B, pp. 3398-3400, April, 2006
- [4] 하민우, 이승철, 허진철, 서광성, 한민구, "높은 항복전압 특성을 가지는 이중 게이트 AlGaIn/GaN 고 전자 이동도 트랜지스터", 전기학회논문지, 54권, 1호, pp. 18-22, 1월, 2005
- [5] N. Ikeda, et. al, "Over 1.7 kV normally-off GaN hybrid MOS-HFETs with a lower on-resistance on a Si substrate", Proc. 23rd ISPSD, pp. 284-287, 2011
- [6] A. Nakajima, M. H. Dhyani, E. M. S. Narayanan, Y. Sumida, and H. Kawai, "GaN based super HFETs over 700V using the polarization junction concept", Proc. 23rd ISPSD, pp. 280-283, 2011
- [7] A. Dadgar, et. al, "MOVPE growth of GaN on Si(1 1 1) substrates", J. Crystal Growth, vol. 248, pp.

- 556-562, Feb., 2003
- [8] A. Watanabe, et. al, "The growth of single crystalline GaN on a Si substrate using AlN as an intermediate layer", J. Crystal Growth, vol. 128, pp. 391-396, March, 1993
- [9] S. Mizuno, Y. Ohno, S. Kishimoto, K. Maezawa, and T. Mizutani, "Large gate leakage current in AlGaIn/GaN high electron mobility transistors", Jpn. J. Appl. Phys., vol. 41, no. 8, pp. 5125-5126, Aug., 2002
- [10] S. Arulkumaran, et. al, "Electrical characteristics of Schottky contacts on GaN and Al<sub>0.11</sub>Ga<sub>0.89</sub>N", Jpn. J. Appl. Phys, vol. 39, no. 4B, p. L351-L353, April, 2000
- [11] T. Sawada, et. al, "Characterization of metal/GaN Schottky interfaces based on I-V-T characteristics", Appl. Phys. Surf., vol. 190, no. 1-4, pp. 326-329, May, 2002
- [12] Y.-J. Lin, Q. Ker, C.-Y. Ho, H.-C. Chang, and F.-T. Chien, "Nitrogen-vacancy-related defects and Fermi level pinning in n-GaN Schottky diodes", J. Appl. Phys., vol. 94, no. 3, pp. 1819-1822, Aug., 2003
- [13] T. Hashizume and R. Nakasaki, "Discrete surface state related nitrogen-vacancy defect on plasma-treated GaN surfaces", Appl. Phys. Lett., vol. 80, no. 24, pp. 4564-4566, June, 2002
- [14] H. Hasegawa, T. Inagaki, S. Ootomo, and T. Hashizume, "Mechanisms of current collapse and gate leakage currents in AlGaIn/GaN heterostructure field effect transistors", J. Vac. Sci. Technol. B, vol. 21, no. 4, pp. 1844-1855, July/Aug, 2003
- [15] T. Hashizume, J. Kotani, and H. Hasegawa, "Leakage mechanism in GaN and AlGaIn Schottky interfaces", Appl. Phys. Lett., vol. 84, no. 24, pp. 4884-4886, June, 2004
- [16] S. Karmalkar, D. M. Sathaiya, and M. S. Shur, "Mechanism of the reverse gate leakage in AlGaIn/GaN high electron mobility transistors", Appl. Phys. Lett., vol. 82, no. 22, pp. 3976-3978, June, 2003
- [17] E. J. Miller, E. T. Yu, P. Waltereit, and J. S. Speck, "Analysis of reverse-bias leakage current mechanisms in GaN grown by molecular-beam epitaxy", Appl. Phys. Lett., vol. 84, no. 4, pp. 535-537, Jan., 2004
- [18] C. M. Jeon and J.-L. Lee, "Enhancement of Schottky barrier height on AlGaIn/GaN heterostructure by oxidation annealing", Appl. Phys. Lett., vol. 82, no. 24, pp. 4301-4303, June, 2003
- [19] M. Higashiwaki, S. Chowdhury, B. L. Swenson, and U. K. Mishra, "Effects of oxidation on surface chemical states and barrier height of AlGaIn/GaN heterostructures", Appl. Phys. Lett., vol. 97, no. 22, pp. 222104, Nov., 2010
- [20] O. Seok, Y.-S. Kim, J. Lim, and M.-K. Han, "Effect of oxygen annealing temperature on AlGaIn/GaN HEMTs", Proc. 23rd ISPSD, pp. 235-238, 2011
- [21] E. H. Roderick and R. H. Williams, Metal-Semiconductor Contacts, 2nd ed., Clarendon, Oxford, 1988
- [22] P. Hacke, T. Detchprohm, K. Hiramatsu, and N. Sawaki, "Schottky barrier on n-type GN grown by hydride vapor phase epitaxy", Appl. Phys. Lett., vol. 63, no. 19, pp. 2676-2678, Nov., 1993
- [23] 하민우, 노정현, 최홍구, 송홍주, 이준호, 김영실, 한민구, 한철구, "열 산화공정을 이용하여 제작된 고전압 GaN 쇼트키 장벽 다이오드", 2011년도 대한전기학회 하계학술대회 논문집, pp. 1418-1419, 2011

## 저 자 소 개



### 하민우 (河珉宇)

2001년 KAIST 전기및전자공학과 학사  
 2007년 서울대학교 전기공학부 박사  
 2007년~2009년 삼성전자 SYS.LSI 책임 연구원  
 2009년~현재 전자부품연구원  
 화합물반도체소자연구센터 선임연구원  
 Tel : 031-789-7487  
 E-mail : isobar@keti.re.kr



### 한민구 (韓民九)

1979년 Johns Hopkins Univ. 전기공학부  
 공학박사  
 1979년~1984년 State Univ. of New  
 York at Buffalo 조교수  
 1984년~현재 서울대학교 전기공학부 교수  
 1999년~2003년 한국학술진흥재단 사무총장  
 2002년~2005년 서울대학교 공과대학 학장  
 Tel : 02-880-7248  
 E-mail : mkh@snu.ac.kr



### 한철구 (韓哲九)

1991년 고려대학교 전자공학과 학사  
 1993년 고려대학교 전자공학과 석사  
 1998년 고려대학교 전자공학과 박사  
 1998년~2001년 Hokkaido 대학 연구원  
 2001년~2003년 AIST Post-Doc.  
 2003년~현재 전자부품연구원  
 화합물반도체소자연구센터 책임연구원  
 Tel : 031-789-7480  
 E-mail : ck-hahn@keti.re.kr