
Sign-magnitude 수체계 기반의 WiMAX용 다중모드 LDPC 복호기 설계

서진호* · 박해원* · 신경욱**

A Design of Sign-magnitude based Multi-mode LDPC Decoder for WiMAX

Jin-ho Seo* · Hae-won Park* · Kyung-wook Shin**

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 연구비를 지원받았음

요 약

WiMAX, WLAN 등의 무선통신 시스템에 사용되는 LDPC(low density parity check) 복호기의 핵심 기능블록인 DFU(decoding function unit)의 회로 최적화를 제안한다. DFU를 2의 보수 연산 대신에 sign-magnitude 연산 기반으로 설계함으로써 수체계 변환과정을 제거하였으며, 모바일 WiMAX용 다중모드 LDPC 복호기에 사용되는 96개 DFU 배열의 게이트 수를 18% 감소시켰다. 제안된 DFU 구조를 적용하여 모바일 WiMAX 표준을 지원하는 다중모드 LDPC 복호기를 설계하였다. 설계된 LDPC 복호기는 0.18- μ m CMOS 셀 라이브러리를 이용하여 50 MHz 클록주파수로 합성한 결과 268,870 게이트와 71,424 비트의 메모리로 구현되었으며, FPGA 구현을 통해 하드웨어 동작을 검증하였다.

ABSTRACT

This paper describes a circuit-level optimization of DFU(decoding function unit) for LDPC decoder which is used in wireless communication systems including WiMAX and WLAN. A new design of DFU based on sign-magnitude arithmetic instead of two's complement arithmetic is proposed, resulting in 18% reduction of gate count for 96 DFUs array used in mobile WiMAX LDPC decoder. A multi-mode LDPC decoder for mobile WiMAX standard is designed using the proposed DFU. The LDPC decoder synthesized using a 0.18- μ m CMOS cell library with 50 MHz clock has 268,870 gates and 71,424 bits RAM, and it is verified by FPGA implementation.

키워드

LDPC 부호, 에러정정부호, 최소합 알고리즘, IEEE 802.16e

Key word

LDPC(low density parity check) code, error correction code, min-sum algorithm, IEEE 802.16e

* 준회원 : 금오공과대학교 전자공학부 석사과정

접수일자 : 2011. 10. 28

** 정회원 : 금오공과대학교 전자공학부 교수(교신저자, kwshin@kumoh.ac.kr)

심사완료일자 : 2011. 10. 28

I. 서 론

오류정정(error correction) 기술은 디지털 통신 및 방송 그리고 저장 시스템의 정보전송 신뢰도 향상을 위해 필수적으로 사용되고 있다. 초고속 유·무선 통합 및 통신·방송 융합서비스를 창출할 것으로 예상되는 4세대(4G) 이동통신기술은 기존의 3세대 시스템 보다 더 높은 데이터 전송율과 신뢰도를 필요로 하며, 무선채널의 잡음에 대응하기 위해 다양한 채널 부호화 기법들이 사용된다. 3세대 시스템에서는 오류정정을 위해 길쌈부호와 터보부호가 주로 사용되어 왔으나, 4세대 통신시스템에서는 채널용량의 한계에 근접하는 높은 성능과 고속 복호가 가능한 새로운 채널부호 기법이 요구된다. 4세대 이동통신 시스템을 위한 차세대 오류정정 방식으로 1962년 로버트 갤러거(R. Gallager)에 의해 제안된 LDPC(low density parity check) 부호[1]가 많은 관심을 받고 있다. 당시의 기술로는 구현이 어려워 관심을 받지 못하였으나 1990년대부터 재조명되고 있으며, LDPC 부호의 생성 및 복호에 대한 연구가 활발히 진행되고 있다.[2][3][4]

LDPC 부호는 2003년에 유럽 디지털 위성방송 표준 DVB-S2[5]에 처음으로 적용되어 유용성이 입증되었으며, 최근 유럽 디지털 지상파방송 표준 DVB-T2와 케이블방송 표준 DVB-C2에 표준으로 채택되었다. 무선랜 표준 IEEE 802.11n[6], 모바일 WiMAX 표준 IEEE 802.16e[7], 4G WiMAX 표준 IEEE 802.16m[8], 10 Gbps 이더넷 표준(IEEE 802.3an)[9], 중국 지상파 디지털방송 표준 DTTB(Digital Television Terrestrial Broadcasting)[10] 등에서 LDPC 부호가 채택되고 있으며, 하드디스크 및 광(optical) 저장매체 등 다양한 분야에서도 채택이 적극 검토되고 있다.

LDPC 부호가 4세대 이동통신 및 디지털 방송 표준에서 광범위하게 사용될 것으로 예상됨에 따라 LDPC 부호와 복호기 설계에 관한 연구가 활발히 이루어지고 있다. LDPC 부호는 패리티 검사 행렬(parity check matrix; PCM)의 불규칙성으로 인해 하드웨어 구현에 효율적이지 못한 특성이 있으며, 이런 단점을 보완하여 효율적인 하드웨어 구현이 가능하도록 PCM에 구조적 규칙성을 갖도록 한 Quasi-Cyclic(QC) 또는 block-structured LDPC 부호가 DVB-S2, 802.11n, 802.16e 등에서 사용되고 있다.

LDPC 부호의 복호는 기본적으로 반복복호를 기반으로 수행되며, 부호의 특성, 복호 알고리즘, 복호기 구조, 고정소수점 비트 수 등 다양한 요인들이 복호성능과 하드웨어 복잡도에 영향을 미친다.

본 논문에서는 최소합 알고리즘 기반의 LDPC 복호기에서 핵심 복호연산을 수행하는 DFU (decoding function unit)을 2의 보수 수체계 대신에 sign-magnitude 수체계 기반으로 설계하여 최적화하였으며, IEEE 802.16e 모바일 WiMAX 표준용 다중모드 LDPC 복호기 설계에 적용하였다.

II. LDPC 부호 및 복호 알고리즘

2.1. IEEE 802.16e 표준의 LDPC 부호[7]

LDPC 부호는 원소의 대부분이 '0'으로 구성되는 PCM에 의해 정의되는 선형 블록부호이다. IEEE 802.16e 표준의 LDPC 부호는 $m \times n$ 크기의 PCM H 로 정의되는 QC-LDPC 부호이며, 여기서 n 은 부호어의 블록길이를 나타내고, m 은 패리티 검사 비트의 길이를 나타낸다. PCM H 는 식(1)과 같이 정의되며, $P_{i,j}$ 는 $z_f \times z_f$ 의 치환 행렬(permutation matrix) 또는 영 행렬(zero matrix)을 나타내며, 이를 부행렬(sub-matrix) 또는 서브블록이라고 한다.

$$H = \begin{bmatrix} P_{0,0} & P_{0,1} & \cdots & P_{0,n_b-1} \\ P_{1,0} & P_{1,1} & \cdots & P_{1,n_b-1} \\ P_{2,0} & P_{2,1} & \cdots & P_{0,n_b-1} \\ \cdots & \cdots & \cdots & \cdots \\ P_{m_b-1,0} & P_{m_b-1,1} & \cdots & P_{m_b-1,n_b-1} \end{bmatrix} = P^{H_b} \quad (1)$$

PCM H 는 $m_b \times n_b$ 의 이진 기저행렬(binary base matrix) H_b 로부터 확장될 수 있으며, 여기서 $n = z_f \cdot n_b$ 이고 $m = z_f \cdot m_b$ 이며, $n_b = 24$ 로 고정된 값이다. 부호어의 길이는 $n = 576 + 96f$ 로 표현되며, f ($0 \leq f \leq 18$)는 LDPC 부호의 블록길이 인덱스를 나타낸다. 따라서 부행렬의 크기는 $z_f = n_b + 4f = 24 + 4f$ 로 정의된다.

-1	94	73	-1	-1	-1	-1	-1	55	83	-1	-1	7	0	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1
-1	27	-1	-1	-1	22	79	9	-1	-1	-1	12	-1	0	0	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1
-1	-1	-1	24	22	81	-1	33	-1	-1	-1	0	-1	-1	0	0	-1	-1	-1	-1	-1	-1	-1	-1	-1
61	-1	47	-1	-1	-1	-1	-1	65	25	-1	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1	-1	-1
-1	-1	39	-1	-1	-1	84	-1	-1	41	72	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1	-1	-1
-1	-1	-1	-1	46	40	-1	82	-1	-1	-1	79	0	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1
-1	-1	95	53	-1	-1	-1	-1	-1	14	18	-1	-1	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1	-1
-1	11	73	-1	-1	-1	2	-1	-1	47	-1	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1	-1	-1	-1
12	-1	-1	-1	83	24	-1	43	-1	-1	-1	51	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1	-1	-1
-1	-1	-1	-1	-1	94	-1	59	-1	-1	70	72	-1	-1	-1	-1	-1	-1	-1	-1	-1	0	0	-1	-1
-1	-1	7	65	-1	-1	-1	-1	39	49	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	0	0
43	-1	-1	-1	-1	66	-1	41	-1	-1	-1	26	7	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	-1	0

그림 1. IEEE 802.16e WiMAX 표준의 PCM (블록길이 2304비트, 부호율 1/2인 경우)
Fig. 1 PCM for IEEE 802.16e WiMAX standard (block size 2304-bit and code rate 1/2)

치환행렬은 $z_f \times z_f$ 크기의 단위행렬(identity matrix)을 지정된 값 $p(i, j) \geq 0$ 만큼 오른쪽으로 순환이동(circular right shift)시킨 행렬이다. 블록길이에 따른 오른쪽 순환이동 값 $p(f, i, j)$ 는 식(2)와 같이 정의되며, 부호율 $2/3A$ 인 경우에는 식(3)으로 정의된다. 식(2)와 식(3)에서 $p(i, j) < 0$ (통상 $p(i, j) = -1$ 로 표시됨)은 영 행렬을 나타낸다. z_0 는 최대 부행렬 크기를 나타내며, 블록길이 2304 비트에 대해 $z_0 = 96$ 의 값을 갖는다.

$$p(f, i, j) = \begin{cases} p(i, j) & , p(i, j) \leq 0 \\ \left\lfloor \frac{p(i, j) \cdot z_f}{z_0} \right\rfloor & , p(i, j) > 0 \end{cases} \quad (2)$$

$$p_{2/3A}(f, i, j) = \begin{cases} p(i, j) & , p(i, j) \leq 0 \\ \text{mod}(p(i, j), z_f) & , p(i, j) > 0 \end{cases} \quad (3)$$

IEEE 802.16e 표준의 블록길이 2304 비트, 부호율 1/2에 대한 PCM은 그림 1과 같다. 주어진 양의 정수값 ($p(i, j) \geq 0$)은 96×96 크기의 단위행렬(identity matrix)에 대한 오른쪽 순환 시프트 크기를 나타내며, $p(i, j) = -1$ 은 96×96 크기의 영(zero) 행렬을 나타낸다. IEEE 802.16e 표준의 PCM 파라미터는 표 1과 같으며, 19가지 블록길이와 각 블록길이에 대해 6가지 부호율을 규정하고 있다.

표 1. IEEE 802.16e 표준의 LDPC PCM 파라미터
Table. 1 LDPC PCM parameters for IEEE 802.16e

파라미터	IEEE 802.16e			
블록길이(n)	576+96f (0 ≤ f ≤ 18)			
부행렬 크기(z _f)	24+4f (0 ≤ f ≤ 18)			
부호율(R)	1/2, 2/3(A,B), 3/4(A,B), 5/6			
layer 수(m _b)	1/2	2/3(A,B)	3/4(A,B)	5/6
	12	8	6	4

2.2. LDPC 부호의 복호 알고리즘

LDPC 부호는 Tanner 그래프[11]상의 검사노드(check node; CN)와 변수노드(variable node; VN) 사이에서 반복적인 정보 전달과정에 의한 belief propagation 또는 합곱 알고리즘(sum-product; SP) 알고리즘[12]으로 복호될 수 있다. Tanner 그래프는 PCM의 행과 열을 CN와 VN로 매핑시킨 이분(bipartite) 그래프이며, CN와 VN 사이의 연결은 PCM에서 1의 위치에 의해 결정된다. SP 알고리즘은 식(4)의 CN 연산과 식(5)의 VN 연산으로 구성되는 two-phase 복호를 기본으로 한다. SP 알고리즘의 연산 복잡도를 감소시킨 LLR(log-likelihood ratio)-SP 알고리즘[13], LLR-SP 알고리즘을 근사화하여 연산 복잡도를 더욱 감소시킨 최소합(min-sum; MS)[14] 알고리즘, MS 알고리즘의 복호성능을 개선하기 위해 스케일 인수를 사용하는 수정형 MS 알고리즘[15] 등 다양한 복호 알고리

들이 제안되고 있다.

(i) CN 연산

$$L_{j \rightarrow i}^q = \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \phi \left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \quad (4)$$

(ii) VN 연산

$$L_{i \rightarrow j}^q = z_i^{q-1} + \sum_{j' \in \Omega(i) \setminus \{j\}} L_{j' \rightarrow i}^q \quad (5)$$

여기서

$$\alpha_{ij}^{q-1} = \text{sign}(L_{i \rightarrow j}^{q-1}) \quad (6)$$

$$\beta_{ij}^{q-1} = |L_{i \rightarrow j}^{q-1}| \quad (7)$$

$$\phi(x) = -\text{Lntanh}\left(\frac{1}{2}x\right) = \ln \frac{e^x + 1}{e^x - 1} \quad (8)$$

식(4)에서 함수 $\phi(x)$ 는 x 가 작을 때 매우 큰 값을 가지며 x 가 커지면 0에 근접하는 특성을 가지므로, 함수 $\phi(x)$ 를 근사화하여 연산 복잡도를 줄인 방법이 MS 알고리즘이다. 식(4)의 $\sum \phi(\beta_{ij})$ 연산에서 가장 작은 β_{ij} 값이 연산결과에 가장 큰 영향을 미치며 큰 β_{ij} 값은 영향을 거의 미치지 않게 되므로, $\sum \phi(\beta_{ij}) \approx \phi(\min(\beta_{ij}))$ 로 근사화시킬 수 있다. 또한 함수 $\phi(x)$ 는 식(8)과 같이 정의되고 $x > 0$ 일 때 역함수와 본 함수의 값이 같으므로 $\phi(\phi(\min(\beta_{ij}))) = \min(\beta_{ij})$ 로 변환될 수 있으며, 식(4)의 $\phi(\sum \phi(\beta_{ij}))$ 연산은 식(9)와 같이 근사화될 수 있다. 따라서 식(9)를 이용하면 식(4)는 식(10)과 같이 근사화될 수 있다.

MS 알고리즘은 근사화를 이용하므로 연산 정밀도가 떨어져 SP 알고리즘 보다 반복복호 횟수가 증가하는 단점이 있지만, $\phi(x)$ 의 연산 대신에 최솟값을 사용하므로 효율적인 하드웨어 구현이 가능하다.

$$\phi \left(\sum_{i' \in \omega(j) \setminus \{i\}} \phi(\beta_{i'j}^{q-1}) \right) \approx \phi \left(\phi \left(\min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \right) \right) \quad (9)$$

$$= \min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1}$$

$$L_{j \rightarrow i}^q \approx \left(\prod_{i' \in \omega(j) \setminus \{i\}} \alpha_{i'j}^{q-1} \right) \cdot \left(\min_{i' \in \omega(j) \setminus \{i\}} \beta_{i'j}^{q-1} \right) \quad (10)$$

QC-LDPC 부호의 복호에서 작은 하드웨어로 높은 복호성능을 얻기 위해 Turbo decoding message passing (TDMP)[16] 복호, layered 복호[17] 등이 많이 사용된다. Layered 복호는 PCM을 다수의 레이어(layer)로 분할하여 복호를 수행하는 부분병렬 복호방식의 한 형태이다. Two-phase 복호에서는 PCM 단위로 정보가 갱신되므로 전체 PCM에 해당하는 정보를 동시에 저장하고 있어야 한다. 반면에, layered 복호는 레이어 단위로 정보가 갱신되므로 한 레이어의 결정변수 값만 저장하면 된다. 따라서 two-phase 방식에 비해 적은 용량의 메모리가 사용되며, 레이어 단위로 결정변수를 판별할 수 있어 수렴속도가 빠르다는 장점을 갖는다.

III. Sign-magnitude 수체계 기반의 다중모드 LDPC 복호기 설계

IEEE 802.16e WiMAX 표준의 19가지 블록길이와 6가지 부호율을 지원하는 다중모드 LDPC 복호기를 sign-magnitude 수체계 연산을 적용하여 설계하였다.

3.1. 전체 구조

본 논문에서 설계된 LDPC 복호기 프로세서는 two-step 복호방식 보다 복호 수렴속도가 우수하며, 하드웨어 구조의 융통성이 좋은 layered 복호방식을 적용하였다. 내부구조는 그림 2와 같으며, 최소합 알고리즘 기반의 복호연산을 수행하는 DFU(decoding function unit) Array, PCM 정보를 저장하는 H-ROM, PCM에 따라 데이터를 순환 이동시키는 permuter, 검사노드 값을 저장하는 CN 메모리, 결정변수 값을 저장하는 APP 메모리, 입력 데이터를 부행렬 단위로 모아주는 입력버퍼, 부행렬 단위의 복호완료 데이터를 24비트 단위로 나누어 출력하는 출력버퍼 그리고 제어블록으로 구성된다.

설계된 LDPC 복호기의 동작 타이밍 도는 그림 3과 같다. 32비트의 입력 데이터는 부행렬 크기($z_f \times 8$) 단위로 모여져 APP 메모리에 저장되며, 입력된 부호어는 부행렬 단위로 DFU에 의해 복호가 이루어진다. DFU는 이전 레이어의 복호결과 값을 APP 메모리에서 읽어와 복호연산을 수행한 후, 그 결과를 다음 레이어 연산과 다음 반복복호 연산을 위해 메모리에 저장하는 동작을 수행한다.

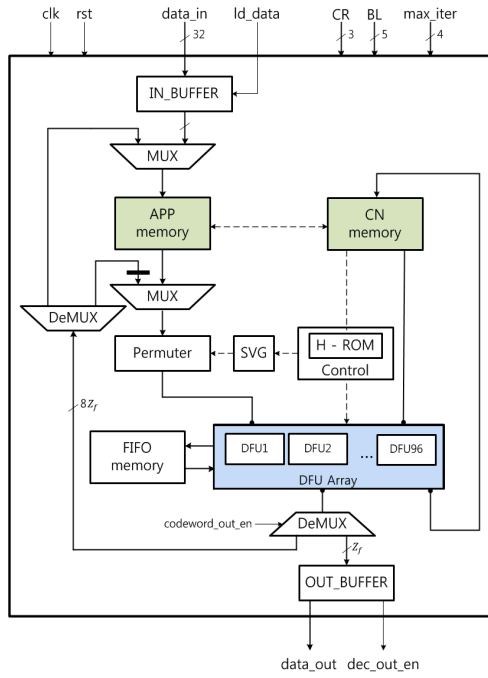


그림 2. 설계된 LDPC 복호기의 구조
Fig. 2 Architecture of designed LDPC decoder

한 레이어의 복호에는 레이어 당 유효부행렬 수(l_c)만큼의 클럭 주기가 소요된다. 1회의 반복복호에는 $l_c \times j_R$ 클럭 주기가 소요되며, j_R 은 레이어 수를 나타낸다.

H-ROM에 저장되는 6가지 기본 PCM들은 부행렬의 대다수가 영(0) 행렬로 이루어져 있다. 예를 들어 그림 1에서 보는 바와 같이, $R=1/2$ 이고 $n=2304$ 비트인 경우에는 212개의 영행렬이 포함 되어 있다. 본 논문에서는 PCM의 모든 정보를 저장하는 대신에, 영 행렬을 제외한 non-zero 부행렬들의 위치 정보와 순환 시프트 정보만을 H-ROM에 저장하는 방법을 적용함으로써 하드웨어가 최소화되도록 하였다. IEEE 802.16e 표준에는 블록길이가 2304일 때, 부호율에 따른 6개의 기본 PCM을 정의하고 있다. 블록길이가 2304인 경우를 제외한 나머지 블록길이와 부호율에 대한 PCM은 6개의 기본 PCM과 식(2), 식(3)을 구현한 SVG (shifting value generator)[18]를 통해 생성되도록 하였다.

3.2. 일반적인 DFU 구조

최소합 복호 알고리즘 기반 LDPC 복호기의 DFU는 그림 4와 같은 구조를 가지며[18], CN 메모리에 저장된 값으로부터 CN 값을 생성하는 CNV 블록, 최솟값 검출

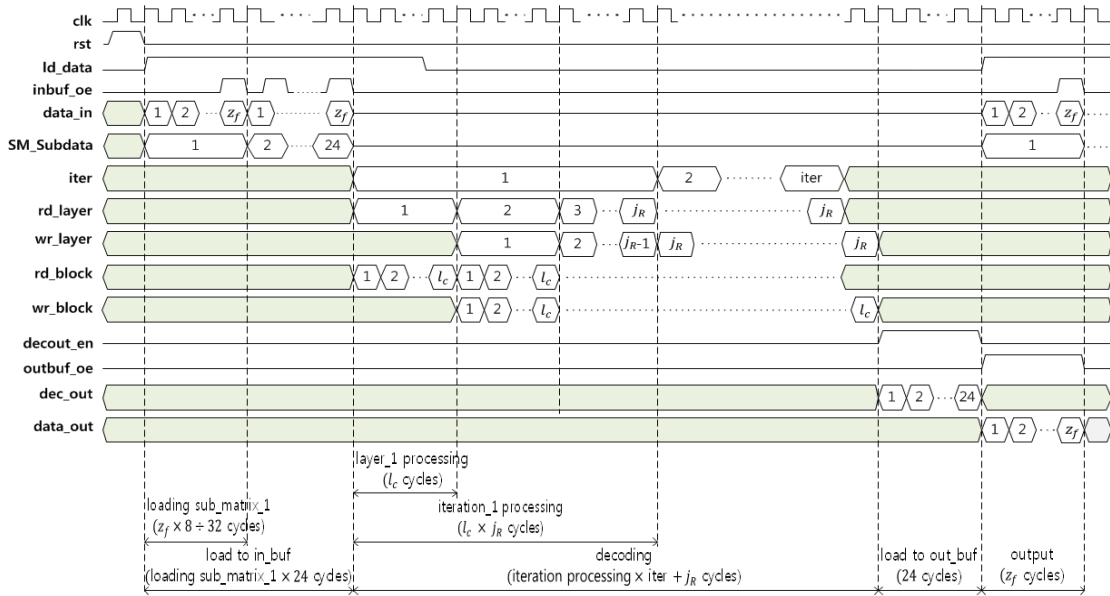


그림 3. 설계된 LDPC 복호기의 동작 타이밍도
Fig. 3 Timing diagram of the designed LDPC decoder

기(Min_det), 부호비트 누산기, 데이터 지연을 위한 FIFO(first-in first- out), 가산기, 감산기, 비교기, 수체계 변환기 등으로 구성된다. 최소합 복호 알고리즘에 의한 최솟값 검출을 위해 2의 보수 수체계를 SM 수체계로 변환하는 TC_SM 블록이 사용되고, 최솟값 검출 후 결정변수 값을 계산하기 위하여 SM 수체계를 2의 보수 수체계로 바꾸기 위한 SM_TC 블록이 사용된다. 수체계 변환 블록들은 DFU의 회로 복잡도와 동작속도에 영향을 미치게 된다.

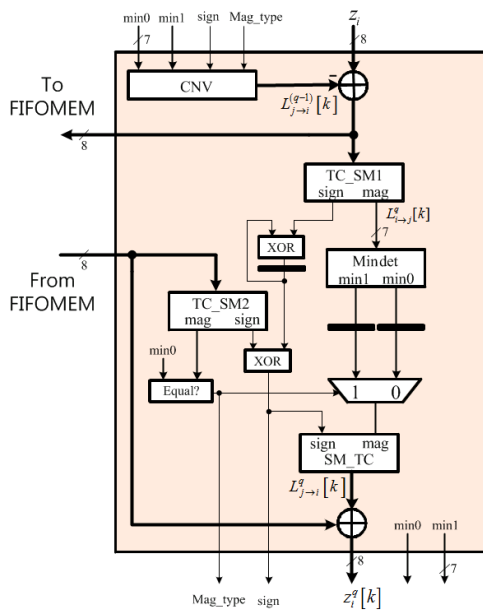


그림 4. 일반적인 DFU
Fig. 4 Conventional DFU

3.3. 본 논문의 DFU 구조

DFU는 입력 부호어에 포함되어 있는 오류를 정정하기 위해 자신을 제외한 나머지 부호어들의 LLR(log-likelihood ratio) 값을 취합하여 원래의 부호어에 가장 가까운 LLR 값을 예측하는 기능을 수행하며, 최소합 복호 알고리즘에 의한 CN 연산과 VN 연산을 수행하여 결정변수 값과 CN 값을 계산한다. 부행렬(sub-matrix) 단위로 복호연산을 처리하는 block-serial 방식의 복호기에는 부행렬 최대 크기만큼의 DFU 배열이 사용되며, WiMAX 표준용 LDPC 복호기에는 96개의 DFU가 사용된다.

본 논문에서는 그림 5와 같이 간소화된 DFU 구조를 제안하며, DFU 내부의 모든 연산이 SM 수체계로 처리되도록 함으로써 수체계 변환 블록을 사용하지 않는 것을 특징으로 한다. VN 값을 구하기 위한 SM 감산기(SM_Sub), 최솟값 검출기(Min_det), 부호비트 누산기, CN 연산 후의 결정변수 값을 구하기 위한 SM 가산기(SM_Add) 등으로 구성된다. 설계된 DFU 내부의 LLR 값들은 8비트로 근사화 되어 연산되며, 부호와 크기를 분리되어 계산된다.

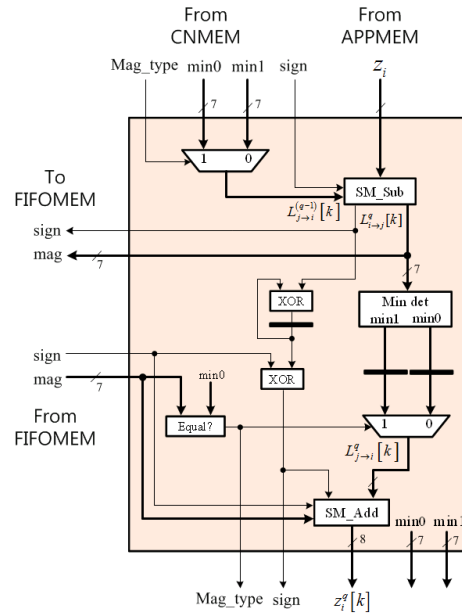
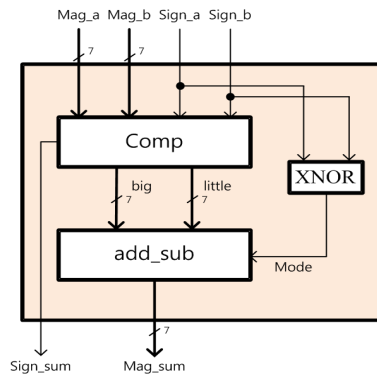


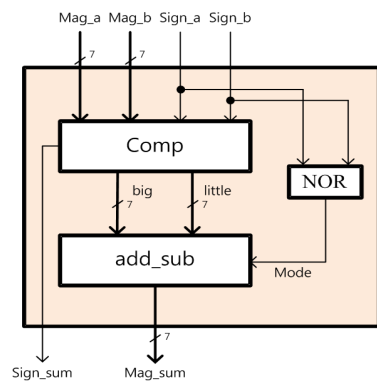
그림 5. 본 논문의 DFU
Fig. 5 Proposed DFU

DFU에서 복호가 이루어지는 과정은 다음과 같다. CN 값 $L_{j \rightarrow i}^{q-1}[k]$ 와 결정변수 Z_i^q 는 SM_Sub 블록을 통해 VN 값 $L_{i \rightarrow j}^q$ 으로 계산된다. 계산된 VN 값 $L_{i \rightarrow j}^q$ 은 부호와 크기로 분리되고 부호는 순차적으로 입력되어 곱셈 연산된다. 그리고 분리된 VN 값의 크기 $|L_{i \rightarrow j}^q|$ 는 최솟값 검출기(Min_det)를 통해 순차적으로 입력되는 $|L_{i \rightarrow j}^q|$ 들과 비교되어 최솟값과 준최솟값이 검출된 후 레지스터에 저장된다. 한편, SM_Sub 블록에 의해 계산된 VN 값 $L_{i \rightarrow j}^q$ 은 DFU의 외부로 보내져 FIFO 메모리에 순차적으로 저장된다. 한 레이어의 유효 서브블록 수만큼의 연산

이 완료되면 FIFO에 저장된 VN 값이 순차적으로 DFU에 입력된다. FIFO에서 입력된 VN 값의 크기 $|L_{i \rightarrow j}^q|$ 는 Min_det 블록을 통해 검출된 최솟값과 비교되어 두 값이 같으면 준최솟값 min1이 새로운 CN 값의 크기 $|L_{j \rightarrow i}^q|$ 로 결정되고, 다르면 최솟값 min0가 $|L_{j \rightarrow i}^q|$ 로 결정된다. 그리고 FIFO로부터 입력되는 VN 값 $L_{i \rightarrow j}^q$ 의 부호와 누적곱셈을 거친 부호가 곱셈연산을 거쳐 CN 값 $L_{j \rightarrow i}^q$ 의 부호로 결정된다. 부호의 누적곱셈은 XOR 연산으로 이루어진다. 결정된 CN 값 $L_{j \rightarrow i}^q$ 과 FIFO에서 들어오는 VN 값 $L_{i \rightarrow j}^q$ 은 SM_Add에서 가산되어 결정변수 값이 구해지고 결정변수 메모리에 저장된다.



(a)



(b)

그림 6. Sign-magnitude 감산 및 가산 회로
(a) SM_Sub 블록 (b) SM_Add 블록
Fig. 6 Sign-magnitude subtracter and adder
(a) SM_Sub block (b) SM_Add block

한편 누적곱셈을 통해 얻어진 CN 값의 부호 1비트와 비교기를 통해 얻은 mag_type 1비트 그리고 최솟값 검출기를 통해 얻어진 최솟값과 준최솟값은 CN 메모리에 저장된다. 그림 5의 DFU에서 SM_Sub과 SM_Add 블록은 각각 SM 수체계의 두 데이터에 대한 감산과 가산을 수행하며, 그림 6과 같이 설계하였다.

IV. 성능 평가 및 검증

Verilog HDL로 설계된 LDPC 복호기는 시뮬레이션 기능검증과 FPGA 구현을 통해 하드웨어 동작을 확인하였다. 기능검증을 위해 Matlab을 이용한 랜덤 소스벡터 생성, LDPC 부호화, QPSK 변조, 채널잡음 삽입 등을 통해 Eb/No=1.5 dB ~ 3 dB (0.3 dB 간격)의 시뮬레이션 벡터를 생성하였다. 8 비트로 양자화된 벡터를 이용하여 설계된 복호기의 시뮬레이션을 수행하였으며, 소스벡터와 비교를 통해 정정되지 못한 오류 비트들을 찾아 복호성능을 분석하였다. 설계된 LDPC 복호기의 블록길이 2304, 부호율 1/2에 대한 시뮬레이션은 그림 7과 같으며, 복호 완료된 값과 소스벡터를 비교하여 일치하는 것을 확인하여 LDPC 복호기가 정상 동작함을 확인하였다.

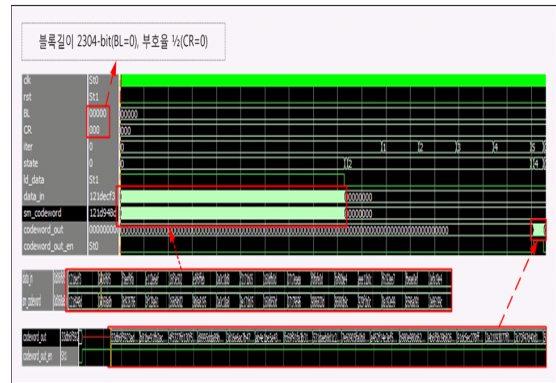
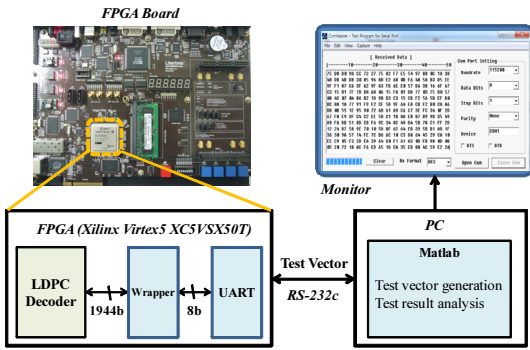


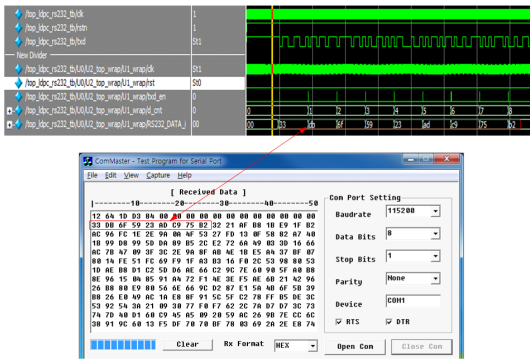
그림 7. 설계된 복호기의 기능검증 결과
(블록길이: 2304, 부호율: 1/2, 반복복호 횟수: 8회)
Fig. 7 Functional simulation result of LDPC decoder
(block length: 2304, code rate: 1/2, iteration: 8)

설계된 복호기는 그림 8-(a)와 같이 Xilinx Virtex-5 XC5VX50T FPGA 디바이스에 구현하여 하드웨어 동작

을 검증하였다. PC에서 Matlab으로 생성된 테스트 벡터는 RS-232c 통신을 통해 FPGA 보드로 보내져 wrapper를 통해 설계된 복호기로 인가된다. Eb/No=3.0 dB로 생성된 테스트 벡터를 이용한 FPGA 검증결과는 그림 8-(b)와 같으며, 복호된 데이터가 ModelSim 시뮬레이션 결과와 일치하여 설계된 LDPC 복호기가 정상 동작함을 확인하였다.



(a)



(b)

그림 8. 설계된 LDPC 복호기의 FPGA 구현 검증
(a) FPGA 검증 시스템
(b) FPGA 검증 결과

Fig. 8 FPGA verification of LDPC decoder
(a) FPGA verification system
(b) FPGA verification results

기능검증이 완료된 LDPC 복호기는 0.18- μ m CMOS 셀 라이브러리를 이용한 회로합성을 통해 게이트 수와 동작 속도를 평가하였다. 회로합성 결과는 표 2와 같으며, 268,870 게이트와 71,424 비트의 RAM으로 구현되었다.

표 2. 설계된 LDPC 복호기의 회로합성 결과
Table. 2 Synthesis results of designed LDPC decoder

구분		회로합성 결과
게이트 수	96개 DFU 배열	92,705
	I/O 버퍼	78,120
	permuter	30,723
	HROM & SVG	5,272
	기타 블록	62,050
합계		268,870
메모리 (bits)	APP 메모리	18,432
	CN 메모리	34,560
	FIFO 메모리	18,432
	합계	71,424

V. 결 론

최소합 알고리즘 기반의 LDPC 복호기에서 핵심 복호기능을 수행하는 DFU 블록을 기존의 2의 보수 수체계 대신에 SM 수체계 기반으로 설계하였으며, IEEE 802.16e WiMAX 표준을 지원하는 다중모드 LDPC 복호기를 설계에 적용하였다. 설계된 DFU는 SM 수체계의 연산을 적용함으로써 수체계 변환 회로가 필요 없으며, 기존의 방법에 비하여 96개 DFU 배열의 게이트 수를 약 18% 감소시켰다. 본 논문의 LDPC 복호기 설계 최적화 기법은 차세대 무선랜 표준(IEEE 802.11n), 유럽디지털 위성방송 규격(DVB-S2), 10-Gbps 이더넷 표준(IEEE 802.3an) 등의 LDPC 복호기 설계에 적용될 수 있다.

감사의 글

※ 본 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업의 결과임(No. 2011-218-018)
※ 반도체설계교육센터(IDECC)의 CAD Tool 지원에 감사드립니다.

참고문헌

- [1] R. Gallager, "Low-density parity-check codes," *IRE Trans. Info. Theory*, vol. IT-8, pp. 21-28, Jan. 1962.
- [2] D.J.C. MacKay and R. M. Neal, "Near Shannon limit performance of low density parity check codes," *IEE Electronic Letter*, vol. 32, no. 18, pp. 1645-1646, Aug. 1996.
- [3] T. Rhicardson and R. Urbanke, "Efficient encoding of low density parity-check codes," *IEEE Trans. Inform. Theory*, vol. 47, pp. 638-656, Feb. 2001.
- [4] T. Mohsenin and B. Bass, "Trends and Challenges in LDPC Hardware Decoders," 2009 *Asilomar Conference on Signals, Systems and Computers*, pp. 1273-1277, Nov. 2009.
- [5] DVB-S2 Draft ETSI EN 302 307 V1.1.1 (2004-06), ETSI
- [6] IEEE 802.11n: Wireless LAN medium access control(MAC) and physical layer(PHY) specification: enhancements for higher throughput, *IEEE Std. P802.11n*, 2008.
- [7] IEEE 802.16e, Part 16: Air interface for fixed and mobile broadband wireless access systems, *IEEE std 802.16e-2005*, Feb. 2006.
- [8] Amendment text proposal on rate compatible LDPC-convolutional codes, available : <http://www.ieee802.org/16/tgm/IEEE802.16m-09/0339>.
- [9] IEEE 802.3an Task Force, 2006. available: <http://www.ieee802.org/3/an/index.html>
- [10] Framing structure, Channel coding and modulation for digital television terrestrial broadcasting system, R. P. China Standard No.: GB20600-2006 Std.
- [11] R.M. Tanner, "A Recursive Approach to Low Complexity Codes," *IEEE Trans. Infor. Theory*, vol. IT-27, no. 5, pp 533-547, sep. 1981.
- [12] D. J. MacKay, "Good error correcting codes based on very sparse matrices," *TIT*, vol. 45, pp. 399 - 431, Mar. 1999.
- [13] M. Chiani, A. Conti, and A. Ventura, "Evaluation of low-density parity-check codes over block fading channels," *IEEE Inter. Conf. on Comm.*, pp. 1183-1187, 2000.
- [14] M. Fossorier, M. Mihaljevic and H. Imai, "Reduced complexity iterative decoding of low-density parity check codes based on belief propagation," *IEEE Trans. Commun.*, vol. 47, pp. 673-680, May 1999.
- [15] J. Chen, A. Dholakia, E. Eleftheriou, and M. Fossorier, "Reduced complexity decoding of LDPC codes," *IEEE Trans. on Communications*, vol. 53, pp. 1288-1299, Aug. 2005.
- [16] M. Mansour and N. Shanbhag, "Turbo decoder architecture for low density parity-check codes", in *Globecom*, pp. 1383-1388, Nov. 2002.
- [17] D. Hocevar, "A reduced complexity decoder architecture via layered decoding of LDPC codes," in *SiPS*, pp. 107-112, Oct. 2004.
- [18] 김은숙, 김해주, 신경욱, " IEEE 802.16e WiMAX용 LDPC 복호기 설계", 2011년 대한전자공학회 하계종합 학술대회 논문집, pp. 350-353, 2011. 6. 22.

저자소개

서진호(Jin-Ho Seo)



2011년8월 금오공과대학교
전자공학부(공학사)

※ 관심분야 : 통신 및 신호처리용 집적회로 설계,
정보보호용 집적회로 설계

박해원(Hae-Won Park)

한국해양정보통신학회 논문지
제15권 제2호 참조

신경욱(Kyung-Wook Shin)

한국해양정보통신학회 논문지
제15권 제2호 참조