
Fractional 스퍼 감쇄 위상/주파수검출기를 이용한 fractional-N 주파수 합성기

최영식* · 최혁환**

A Fractional-N Phase Locked Loop with Multiple Phase Frequency Detector

Young-Shig Choi* · Hyek-Hwan Choi**

요 약

본 논문에서는 다중 위상주파수검출기를 사용하여 fractional 스퍼를 줄이는 주파수 합성기를 제안하였다. 기존의 fractional-N 위상고정루프에서 발생하는 스퍼를 줄여주는 구조의 위상주파수 검출기를 사용하여 fractional-N 위상고정루프에서 fractional 스퍼를 억제할 수 있는 주파수 합성기를 설계하였다. 제안된 구조는 두 가지의 에지 검출 방식을 갖는 새로운 구조의 위상주파수검출기를 사용하여 위상주파수검출기의 출력 신호의 최대 폭을 제한하여 fractional 스퍼의 크기를 줄이도록 하였다. 제안된 주파수 합성기는 0.35 μ m CMOS 공정 파라미터들을 사용하여 HSPICE로 시뮬레이션 하였다. 시뮬레이션의 결과는 제안된 형태의 주파수 합성기는 빠른 위상고정시간을 가지고 fractional 스퍼를 감소시킬 수 있음을 보여준다.

ABSTRACT

In this paper, we propose the low fractional spur phase-locked loop(PLL) with multiple phase-frequency detector(PFD). The fractional spurs are suppressed by using a new PFD. The new PFD architecture with two different edge detection methods is used to suppress the fractional spur by limiting a maximum width of the output signals of PFD. The proposed PLL was simulated by HSPICE using a 0.35m CMOS parameters. The simulation results show that the proposed PLL is able to suppress fractional spurs with fast locking.

키워드

위상고정루프, 위상주파수검출기, $\Sigma\Delta$ fractional-N, fractional spur

Key word

Phase locked loop (PLL), PFD, $\Sigma\Delta$ fractional-N, fractional spur

* 정회원 : 부경대학교 (choiys@pknu.ac.kr)

** 정회원 : 부경대학교

접수일자 : 2011. 08. 10

심사완료일자 : 2011. 09. 22

I. 서 론

채널 간격이 좁은 통신 시스템에 사용되는 좁은 대역폭의 integer-N 주파수합성기는 위상고정시간이 시간이 길어지기 때문에 대역폭이 좁은 통신시스템에 integer-N 방식을 적용하는 것이 어려웠다. 이러한 문제점의 해결책으로 입력 주파수의 분수배로 주파수를 합성하는 fractional-N 방식이 제안 되었다[1]. 그러나 fractional-N 방식은 주파수를 더욱 효율 적으로 사용할 수 있지만 fractional 스퍼의 문제가 있다. Fractional 스퍼를 해결하기 위해 DAC를 이용하는 방법, delta sigma 변조를 이용하는 방법 등이 해결책으로 제시되고 있다 [2-4].

본 논문에서는 fractional-N 구조의 문제점인 fractional 스퍼를 해결하는 방법과, 동시에 위상고정시간 또한 줄일 수 있는 주파수합성기를 제안한다. Fractional 스퍼는 대역폭을 줄이게 되면 낮아지는데, 대역폭이 좁아지면 위상고정시간이 길어지는 단점이 있으므로 이 두 가지 문제점을 해결하기 위해 위상고정 이전과 위상고정 이후의 대역폭을 조절하여 위의 두 문제를 해결하였다[5]. 또한 새로운 구조의 PFD를 사용하여 위상고정 상태에서 PFD 출력 신호의 폭을 제한하여 fractional 스퍼의 크기를 감소시켰다. 제안한 주파수합성기는 0.35 μ m CMOS 공정을 이용하여 시뮬레이션 하였고, 동작주파수는 896 MHz이고, 위상고정 시간은 40 μ s이다.

II. 제안한 주파수합성기의 구조

2.1. 제안한 주파수합성기의 구조

그림 1의 제안한 구조의 주파수 합성기는 상승 예지 검출방식의 복합위상검출기 (PFD1)와 하강 예지 검출방식의 복합위상검출기 (PFD2)를 사용한다. Locking status Indicator(LSI)에서 PFD1의 출력 신호 UP, DN을 이용하여 PLL의 위상고정 상태를 확인하고, 전하펌프 제어신호 S를 만들어 낸다.

이 제어신호는 연결된 두 개의 전하펌프의 동작을 제어한다. PLL이 위상고정이 안된 상태일 때는 S신호는 두 개의 전하펌프2를 펌프2를 'on' 시켜 4개의 전하펌프가 모두 동작하여 루프 필터로 흐르는 전류를 크게 증가

시킨다. 주파수합성기가 위상 고정 된 상태일 때는 제어 신호에 의해 두 개의 전하펌프2를 'off' 시키게 되어 전하 펌프1의 전류만 루프 필터로 흐르게 된다. 이 전류량의 변화에 따라 전체 루프의 대역폭이 변화하며 짧은 위상 고정 시간을 가지게 된다. 그리고 3차 $\Sigma\Delta$ 변조기는 -3 ~ 4 사이의 값이 출력되어 분주기가 64 ~ 78의 값을 가지도록 한다.

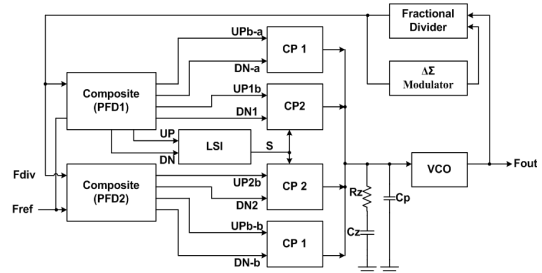


그림 1. 제안한 PLL의 구조.
Fig. 1 Architecture of proposed PLL.

2.2. 전달함수

루프의 동작특성을 s-domain에서 분석하면 열린 루프 전달함수와, 닫힌 루프의 전달함수는 수식 (1), (2)와 같이 나타낼 수 있다.

$$H_{open} = K_{PFD} \frac{K_{VCO}}{s} G_{LPF}(s) \quad (1)$$

$$H_{closed}(s) = \frac{K_{PFD} K_{VCO} G_{LPF}(s)}{s + K_{PFD} K_{VCO} G_{LPF}(s)} \quad (2)$$

여기서 $G_{LPF}(s)$ 는 루프 필터의 전달 함수이다. 2차 필터를 사용하는 경우에 대하여 PLL 루프의 동적 특성을 살펴보기로 한다. 2차 필터를 사용하면 두 개의 pole은 원점에 존재하므로 나머지 하나의 pole과 한 개의 zero를 이용하여 설계한다. 위상 여유를 고려하여 polder과 zero의 위치를 결정하며 대역폭을 조절하게 된다. 2차 필터를 이용한 전체 주파수합성기의 열린 루프와 닫힌 루프의 전달함수를 구하면 다음과 같다.

$$H_{open}(s) = \frac{1}{2\pi} I_P \frac{1 + sR_z C_z}{s(C_z + C_p) + s^2 R_z C_p C_z} \frac{K_{VCO}}{s} \quad (3)$$

$$H_{closed}(s) = \frac{K_{VCO}I_p(1+sR_zC_z)}{K_{VCO}I_p + K_{VCO}I_pR_zC_zs + 2\pi(C_z + C_{2p})s^2 + 2\pi R_zC_zC_p s^3} \quad (4)$$

여기서 I_p 는 위상고정이 된 후의 전하펌프의 전류이다. 위의 수식(3), (4)에서처럼 원점에 2개의 pole이 존재하고, $(C_z + C_p)/R_zC_zC_p$ 에 pole이 하나 존재하고, $1/R_zC_z$ 에 하나의 zero가 존재한다.

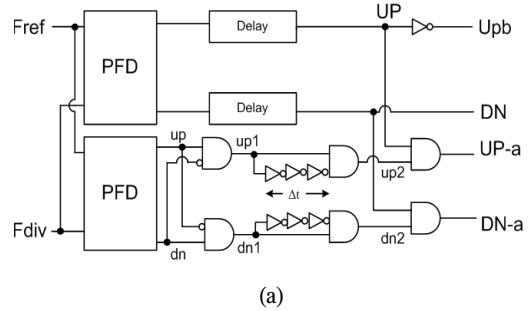
III. 주파수합성기 회로 설계

제안한 복합 위상 검출기의 구조는 그림 2에 나타나 있다. 복합 위상검출기 1은 상승 에지 검출 방식을 사용하고 복합 위상검출기 2는 하강 에지 검출 방식을 사용한다. 각각 복합 위상검출기는 그림 2(a)과 같이 2개의 위상검출기와 로직 회로로 구성된다.

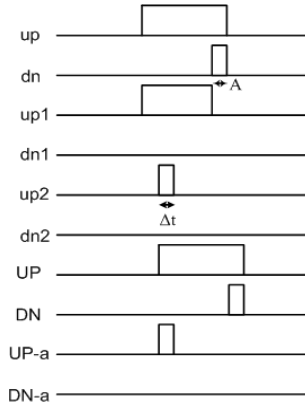
상단의 위상 검출기의 출력은 일반적인 위상검출기의 출력과 같으며 UP, DN신호는 up2, dn2와 AND 게이트를 통하여 UP-a와 DN-a신호를 출력한다. 따라서 UP, DN신호와 up2, dn2신호의 동기화가 중요하므로 지연 셀을 사용하여 동기를 맞춰주었다. 이 출력신호 UPb, DN은 전하펌프2와 연결되어 위상고정이 안된 상태에서 전하펌프2의 전류량을 조절한다.

하단의 위상검출기의 출력 up, dn은 그림 2(b)와 같이 A 만큼의 리셋 지연시간 동안 동시에 출력되고 이 리셋 지연만큼의 출력신호는 전하펌프 출력전류에 영향을 미치게 되어 위상고정루프의 위상잡음에 영향을 미치게 된다. 이 성분을 제거하기 위하여 로직 회로를 사용하여 제거한 up1, dn1을 출력한다. 본 연구의 초점은 위상고정 상태에서 위상검출기의 출력 폭을 제한하는 방법을 통하여 스퍼를 줄이는 것이므로 up1과 dn1을 반전 지연시킨 신호를 AND 로직을 이용하여 Δt 만큼의 폭을 갖는 up2, dn2신호를 출력한다. 이 신호는 상단 위상검출기의 출력과 AND 로직을 통하여 UP-a, DN-a신호를 출력하게 되므로 위상고정 상태에서의 기준 주파수와 분주기 출력 주파수간의 위상에러의 크기가 Δt 보다 크게 되면 Δt 를 출력하고 작을 경우 UP, DN신호를 출력한다. 이 출력신호는 전하펌프1과 연결되며 위상고정 상태에서

위상에러를 억제하여 VCO 입력 신호의 급격한 흔들림을 억제하게 된다.



(a)



(b)

그림 2. (a)제안된 복합 위상 주파수 검출기 회로와 (b) 출력파형.

Fig. 2 (a) circuit of composite PFD (b) its outputs.

그림 3의 LSI는 전하펌프1과 전하펌프2를 제어하기 위한 신호를 생성한다. 이 신호는 전하펌프1의 전류 크기와 전하펌프2의 동작의 유무를 위상고정 상태에 따라 조절하도록 한다. MP1, MN1에 흐르는 전류에 의해 C_{load} 의 전압 V_a 가 정해지고, V_a 에 따라서 Schmitt trigger가 동작한다. PLL이 위상고정이 안된 상태, 즉 PFD 두 입력신호의 주파수와 위상 차이가 커면 NOR 게이트의 출력은 상대적으로 "Low" 값을 많이 가지는 주기가 일정하지 않은 펄스파로 나타나고 NMOS가 "on" 되어 흐르는 전류보다 상대적으로 PMOS가 "on" 되어 흐르는 전류량이 많아서 커패시턴스 C_{load} 의 전압 V_a 는 서서히 증가한다.

반면, 위상고정상태일 때는 V_a 는 서서히 감소한다. 주파수합성기가 동작하는 과정에서는 V_a 는 NOR 게이트 출력의 비주기적 펄스에 의해 흔들리게 되고, 커패시턴스 C_{load} 를 랜덤 패턴으로 충/방전 시킨다. 만약 위상 고정 상태에 따라 LSI의 출력신호 S 가 일정하지 않고 움직인다면 신호 S 에 연결된 전하 펌프와 루프 필터가 원하지 않는 동작을 할 수 있다. Schmitt trigger의 히스테리시스 효과를 이용하면 V_a 의 출력거림에 관계없이 안정된 신호 S 를 출력한다. 따라서 V_a 의 출력거림이 심한 부분에서도 Schmitt trigger의 히스테리시스 동작 범위를 벗어나지 않게 충분한 여유를 두어 설계하였다.

또한, Schmitt trigger의 히스테리시스 동작 범위가 정해지면 MP1, MN1에 흐르는 전류와 C_{load} 의 값을 짧은 위상 고정 시간을 가지도록 설계하였다. 신호 S 로부터 생성되는 두 개의 신호 $sch1$ 과 $schb$ 는 위상 고정 상태에 따라 기준 전압회로와 전하 펌프들을 제어한다.

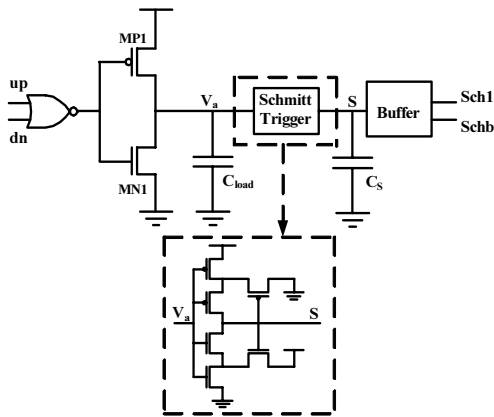


그림 3. LSI의 구조
Fig. 3 Architecture of LSI.

전압제어 저항 (VCR)은 넓은 주파수 대역을 가진 전압제어 발진기의 출력 주파수를 제어한다. 전체의 블록 다이어그램과 VCR을 포함한 전압제어 발진기(VCO)의 차동 지연소자 그리고 입력전압 대 주파수 특성이 그림 4에 나타나있다.

루프필터의 출력전압 V_{ctrl} 는 VCR을 통해 전압제어 발진기의 출력 주파수를 조절하는 전류로 변환된다. VCR은 입력 전압을 변화를 큰 전류의 변화로 바꾸어 주어 전압제어 발진기가 넓은 범위의 주파수를 만들어내

게 한다. 전압제어 발진기는 세 개의 차동 지연소자로 구성되어있다. MP2와 MP3, MN2와 MN3는 지연소자의 짧은 on-time을 가지게 하여 위상 잡음을 줄여준다. VCR에 연결된 MP1과 MP4는 지연소자에 흐르는 전류와 지연시간을 조절한다.

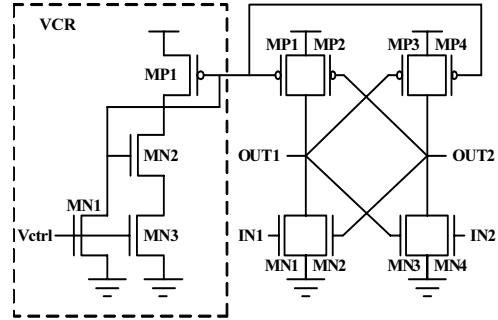


그림 4. VCR을 포함한 전압제어 발진기.
Fig. 4 VCO with VCR.

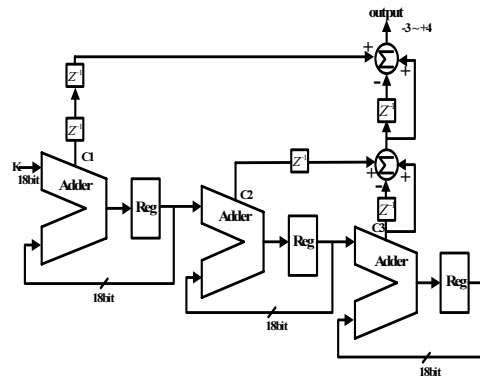


그림 5. 3단의 MASH $\Sigma\Delta$ modulator의 블록 다이어그램
Fig. 5 Block diagram of the 3-stage MASH $\Sigma\Delta$ modulator.

그림 5에 도시된 3단의 MASH $\Sigma\Delta$ modulator는 설계가 용이하기 때문에 제안한 구조에서는 이를 사용하였다. 3단의 MASH $\Sigma\Delta$ modulator는 1차 modulator의 cascade 형태로 구성되며, 다음 단의 입력이 된다. 각 modulator는 18-bit의 더하기와 레지스터로 구성되고 그 출력은 4-bit 데이터가 된다. 그림 6에는 fractional 분주기의 블록 다이어그램이 도시되어있다. Fractional 분주기는 64~78 분주 비를 가진다.

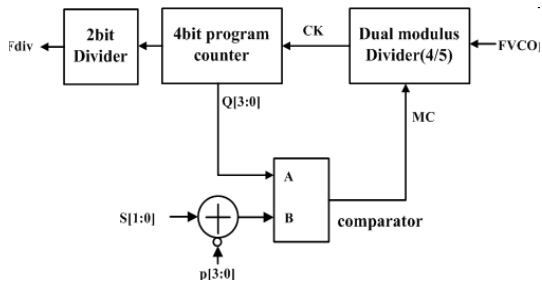
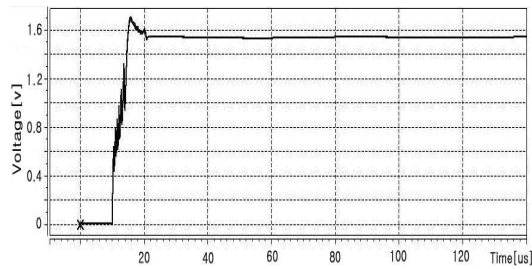


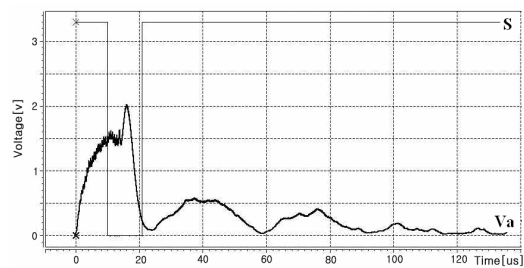
그림 6. Fractional 분주기의 블록 다이어그램
Fig. 6 Block diagram of fractional divider.

IV. 시뮬레이션 결과

그림 7은 제안한 주파수합성기를 CMOS 0.35 μ m 공정을 이용하여 HSPICE로 시뮬레이션 한 결과를 나타내었다.



(a)



(b)

그림 7. (a) VCO의 입력 전압 (b) Schmitt trigger의 입력 Va와 출력 S.

Fig. 7 (a) Input voltage of VCO (b) Input voltage of Schmitt trigger and its output voltage.

그림 7(a)은 제안한 구조의 전압제어 발진기의 입력 전압을 나타낸다. 제안된 주파수합성기는 복합위상검출기의 출력 폭을 0.35ns이하로 제한한 경우는 약 20us 이하의 위상고정 시간을 갖는다. 그림 7(b)는 LSI 내의 Schmitt trigger의 입력전압 Va와 출력 S를 나타낸다. 제안된 주파수합성기는 12.6MHz의 입력주파수, 896MHz의 출력주파수를 갖는다.

그림 8은 기존 fractional-N 주파수 합성기의 power spectral density(PSD)를 MATLAB을 이용하여 시뮬레이션한 결과를 나타내었다.

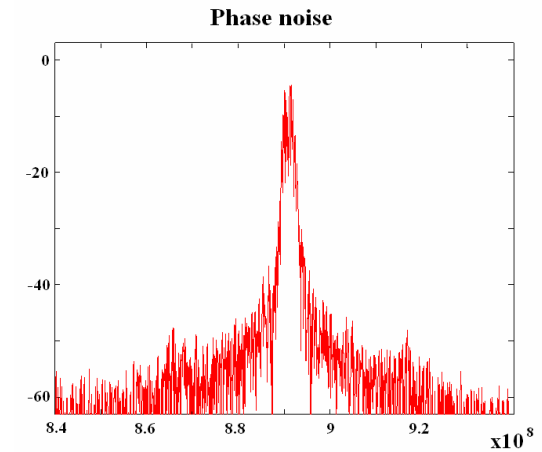
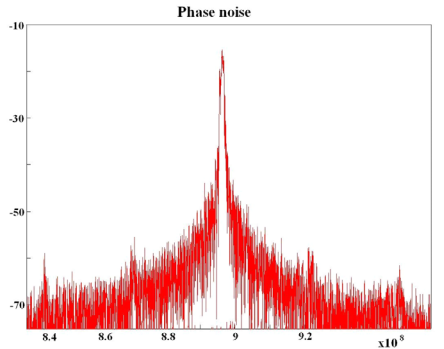
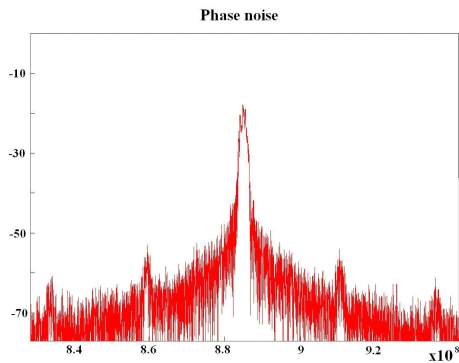


그림 8. 기존 구조의 PSD.
Fig. 8 PSD of a conventional PLL.

그림 9는 위상고정 상태에서 복합위상검출기의 출력 폭을 0.35ns이하로 제한한 경우와 0.55ns이하로 제한한 경우의 PSD를 나타내었다. 그림 9(b)는 위상검출기의 출력 폭의 제한이 없는 기존 구조에 보다 가깝게 되며 그림 9(a)과 비교하면 위상고정 상태에서 복합위상검출기의 출력 폭을 제한함으로써 주파수 특성이 개선되고 스퍼 성분은 줄어들어 줄어드는 것을 알 수 있다. 따라서 제안한 구조의 주파수 합성기는 기존 구조보다 낮은 스퍼를 갖는 것을 알 수 있다.



(a)



(b)

그림 9 (a). $\Delta t=0.35\text{ns}$ 일 때의 PSD (b). $\Delta t=0.55\text{ns}$ 일 때의 PSD.
Fig. 9 (a) PAD at $\Delta t=0.35\text{ns}$ (b) PAD at $\Delta t=0.55\text{ns}$.

V. 결론

본 논문에서는 기존의 fractional-N 위상고정루프에서 발생하는 스퍼를 줄여주는 구조의 위상주파수 검출기를 사용하여 fractional-N 위상고정루프에서 fractional 스퍼를 억제할 수 있는 주파수 합성기를 설계하였다. Delta sigma 변조기의 차수 또는 비트수를 올려서 fractional spur를 제거하는 방법이나, fractional ripple이 발생할 때마다 같은 크기의 반대 신호를 DAC를 통해 입력하여 fractional 스퍼를 제거하는 방법에 비해 복합위상검출기로 위상고정 상태에서 위상검출기 출력 신호의 폭을 제한하는 방법을 통해 전하펌프의 전류를 조절하여 fractional 스퍼의 영향을 줄이는 방법이 칩 면적 면에서

나, 전력소모 면에서 더욱 효과적인 방법이 될 것이다. 따라서 본 구조를 이용하면 낮은 스퍼와 동시에 빠른 위상고정 시간을 얻을 수 있음을 확인하였다. 그림 10은 제안된 주파수합성기의 레이아웃이다. CMOS 0.35 μm 공정을 사용하였으며 크기는 1.3mm X 1.5mm이다.

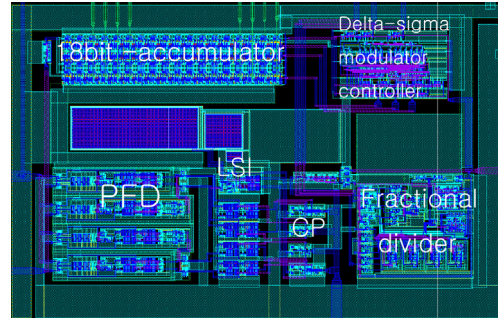


그림 10. 제안된 PLL의 레이아웃
Fig. 10 Layout of the proposed PLL.

참고문헌

- [1] Rizkalla, M. E., Gundrum, H. and Michel, H., "Design of a fractional phase locked-loop frequency synthesizer using a Motorola based microcontroller," Science, Measurement and Technology, IEE Proceedings-Volume 138, Issue 6, 295 - 299, Nov 1991.
- [2] T. A. D. Riley, M. A. Copeland, and T. A. Kwasniewski, "Delta-sigma modulation in fractional - N frequency synthesis," IEEE J, Solid-State Circuits, vol. 28, pp. 553-559, May, 1993.
- [3] H-U Jian, Zhiwei Xu Y-C Wu and M-C Frank Chang, "A fractional-N PLL for multiband(0.8-6GHz) communications using binary-weighted D/A differentiation and offset-frequency $\Delta\Sigma$ modulator," IEEE J. Solid-State Circuits, vol. 45, no. 4, pp. 768-780, April. 2010.
- [4] Yi-Da Wu, Chang-Ming Lai, C-C Lee and Po-Chiun Huang, "A Quantization error minimization method using DDS-DAC for wideband fractional-N frequency synthesizer," IEEE J. Solid-State Circuits, vol. 45, no. 11, pp. 2283-2291, Nov. 2010.

- [5] J. Lee and B. Kim, "A low-noise fast lock phase-locked loop with adaptive bandwidth control," IEEE J. Solid-State Circuits, vol. 35, no. 8, pp. 1137-1145, Aug. 2000.

저자소개



최영식(Young-sig Choi)

1982년 경북대학교
전자공학과 학사 졸업.
1986년 Texas A&M Univ.
전자공학과 석사 졸업.

1993년 Arizona State University 박사 졸업.
1987년~1999년 현대전자 (현 Hynix)
1999년~2003년 동의대학교 전자공학과
2003년~현재 부경대학교 전자공학과
※ 주관심분야: PLL, DLL, CDRC 설계



최혁환(Hyek-hwan Choi)

1979년 경북대학교 전자공학과
(공학사)
1990년 아리조나 주립대
전기공학과 (공학석사)

1993년 아리조나 주립대 전기공학과 (공학박사)
1994년~현재 부경대학교 교수 전자공학과
※ 주관심분야: RF 집적회로 설계, 아날로그 IC 설계