
H.264 하이프로파일 인트라 프레임 부호화기 설계

서기범*

The design of high profile H.264 intra frame encoder

kibum suh*

요 약

이 논문에서는, 화면내 예측기, CAVLC(구문기반 적응가변길이 부호화기), DDR2 메모리 제어모듈을 집적화한 H.264 하이프로파일 화면내 부호화기를 제안한다. 설계된 부호화기는 한 매크로블록당 440 cycle에 동작할 수 있으며, 부호화기의 기능을 검증하기 위하여, JM13.2 으로부터 참조 C 코드를 개발하고, 참조 C 코드로부터 생성된 테스트 벡터를 이용하여 개발된 하드웨어를 검증하였다. 개발된 부호화기는 FPGA에서 검증하였으며, DMA 는 200MHz 에서, 부호화기모듈은 50MHz에서, 영상입력모듈(VIM) 은 25MHz에서 동작한다. 회로의 크기는 Virtex 5 XC5VLX330을 사용시에 약 20%의 LUT(43099개)를 사용하였다.

ABSTRACT

In this paper, H.264 high profile intra frame encoder, which integrates intra prediction, context-based adaptive variable length coding(CAVLC), and DDR2 memory control module, is proposed. The designed encoder can be operated in 440 cycle for one-macroblock. In order to verify the encoder function, we developed the reference C from JM 13.2 and verified the developed hardware using test vector generated by reference C. The designed encoder is verified in the FPGA (field programmable gate array) with operating frequency of 200 MHz for DMA (direct memory access), operating frequency of 50 MHz of Encoder module, and 25 MHz for VIM(video input module). The number of LUT is 43099, which is about 20 % of Virtex 5 XC5VLX330.

키워드

하이프로파일, 인트라 프레임 부호화기, H.264/AVC, 화면내 예측

Key word

high profile, intra frame encoder, H.264/AVC, Intra prediction

* 종신회원 : 우송대학교 철도전기시스템학과 (kbsuh@wsu.ac.kr)

접수일자 : 2011. 10. 11

심사완료일자 : 2011. 10. 20

I. 서 론

오늘날 영상과 음성에 관련된 디지털 신호 처리의 기술 발전으로 우리 주변에서는 시간과 공간의 제약 없이 다양한 멀티미디어 콘텐츠의 접근이 가능해 졌다. 실제 다양한 응용 분야에서 규모와 기술의 발전을 이루고 있다.

이러한 발전의 중심에 있는 핵심기술 중 하나가 동영상 코덱과 관련된 기술들이다. 가장 최근에 제정된 영상 압축 알고리즘 표준안으로는 H.264/AVC가 있다[1][2]. H.264/AVC는 현존하는 가장 압축률이 우수한 성능의 비디오 부호화 표준으로 DMB, DVB-H, MediaFLO 등의 모바일 TV와 HD-DVD, Blue-ray 등의 차세대 DVD에 채택되어 사용되고 있으며, IPTV와 DTV 후발 국가에서도 채택이 유력하며, 향후 몇 년간은 가장 많이 사용될 것으로 예상된다.

H.264의 출현으로 디지털 콘텐츠는 고해상도 HD 서비스로 빠르게 전환되고 있다.

H.264는 현존하는 가장 우수한 비디오 부호화 표준이지만 모바일 TV에서는 QVGA 또는 CIF 해상도의 VCD급 품질만 제공 가능하며 성능의 한계를 보이고 있다. HD 콘텐츠에 익숙해진 사용자들은 모바일 TV의 VCD급 서비스에 점차적으로 불만족하며, DVD급 이상의 서비스로 빠른 전환을 요구하게 될 것이다. 이처럼 H.264의 출현으로 디지털 콘텐츠는 고해상도 HD 서비스로 빠르게 전환되고 있다. 이런 시점에서 고해상도를 지원하는 Encoder의 IP 개발은 중요한 의미를 갖고 있다고 본다.

H.264의 향상된 압축 알고리즘은 시간영역에서의 중첩성을 최소화하는 모션벡터 탐색 기법과 공간 영역에서 중첩성을 최소화하는 이산코사인 변환 (discrete cosine transform) 기법, 압축구조의 단순화, 자주 출현하는 부호에 적은 수의 비트를 할당하고 가끔 출현하는 부호에는 더 많은 비트를 할당하는 엔트로피 부호화 기술 등을 사용하여 동영상을 표시할 정보량을 최소화하였다. 하지만 영상 압축효율을 고려한 알고리즘들은 높은 압축 효율로 인해 화질은 개선되지만 복잡한 연산 식으로 인한 연산량이 급증하게 되어 기존의 알고리즘보다 압축 시간과 게이트 레벨 사이즈의 크기가 커지게 되었다[2][3].

본 논문에서는 그동안 연구실에서 연구 개발하여 설계한 모듈을 H.264/AVC의 하이 프로파일 규격 4에 맞게 인터페이스를 수정하고 통합 하여 H.264 용 부호화기를 설계하였다. 제안된 부호화기 구조를 검증하기 위하여 JM13.2[4]로부터 참조(Reference) 코드를 개발하고, 참조 코드로부터 테스트 벡터를 추출하여 설계된 회로를 검증하였다. I 장에는 서론에 대해 기술하고, II 장에서는 H.264의 기본 알고리즘을 설명하고, III 장에서는 각 모듈에 대한 세부적인 설계 구조와 알고리즘에 대하여 설명한다. IV 장은 부호화기의 전체적인 설계 구조와 검증과정에 대하여 설명하고 V 장에서는 결론을 제시한다.

II. 본 론

H.264는 기존의 어떠한 비디오 압축 표준보다도 획기적인 화질 개선 수단 제공을 목적으로 개발되었으며, 기본적인 개념 자체는 H.263과 MPEG-4와 유사하나, 세부적인 내부 구현에 있어 상당 부분 변경된 방식을 채택하고 있다. 움직임 추정/보상(motion estimation/compensation)의 경우를 살펴보면 H.264는 H.263이 모든 블록의 크기를 동일하게 하여 제공했던 것과는 달리 모양과 크기가 다른 블록들을 제공하고, 1/4 크기 움직임 추정, 다중 참조 프레임 선택 그리고 다중 지향모드 선택을 지원한다.

변환 단계에서는 이전 비디오 압축 표준들이 사용하던 이산코사인변환 대신에 정수기반 변환 (integer-based transform)을 사용하여 고속의 연산 작업이 가능토록 했으며, 또한 이 방식은 역 변환에서의 미스매치 (mismatch)로 인한 오차도가 없는 특성이 있다.

엔트로피 코딩 (entropy coding) 방식에는 UVLC (universal variable length coding)와 내용기반 적응형 가변 길이 코드 (context-based adaptive variable length coding, CAVLC), 내용기반 적응형 이진 산술 코딩 (context-based adaptive binary arithmetic coding, CABAC) 과 같은 새로운 압축 방식이 채택 되어 보다 효율적인 압축이 이루어지게 되었다.

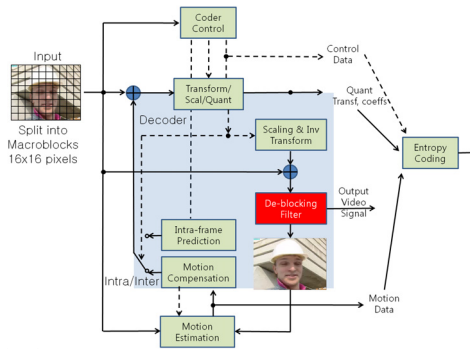


그림 1. H.264 Encoder 의 전체 구조도
Fig.1 The overall structure of H.264

H.264 프로파일에 따라서 인코더는 I 프레임, P 프레임 및 B 프레임과 같은 상이한 프레임 종류를 사용할 수 있다.

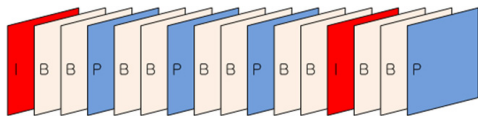


그림 2. I, P, B 프레임
Fig. 2 I, P, B frame

I 프레임 즉, 인트라 프레임 (intra frame)은 다른 이미지를 참조하지 않고 독립적으로 디코딩이 가능한 독립형 프레임이다. 비디오 순서 열에 있는 첫 번째 프레임은 항상 I 프레임이다. I 프레임은 새로운 뷰어를 위해 혹은 전송된 비트 스트림이 손상된 경우 재동기화 지점의 시작점으로서 필요하다. I 프레임은 빨리 감기, 되감기 및 기타 무작위 재생기능을 구현하는데 사용될 수 있다. 인코더는 정기적인 간격이나 자동적으로 혹은 새로운 클라이언트가 스트림 시청에 참여할 것으로 예상되는 경우 요구에 의해 I 프레임을 삽입한다. I 프레임의 결점은 상당히 많은 비트를 소모한다.

P 프레임은 프레임 사이의 예측을 의미하는 것으로써 이전의 I 프레임 및 P 프레임을 참조하여 프레임을 부호화한다. P 프레임은 보통 I 프레임보다 적은 비트를 요구하지만, 이전의 P 프레임과 I 프레임에 대한 복잡한 의존성으로 인하여 전송 오류에 아주 민감하다는 단점을 갖고 있다.

B 프레임, 즉 양방향 예측 인터 프레임 (bi-predictive

inter frame)은 이전의 참조 프레임과 이후의 프레임 모두를 참조하는 프레임이다. P 프레임은 이전의 I 프레임 또는 P 프레임을 참조할 수 있는 반면에 B 프레임은 이전 및 후속 I 프레임이나 P 프레임 모두를 참조할 수 있다.

비디오 디코더가 프레임 별로 비트 스트림을 해독하여 비디오를 복원할 때, 디코딩은 항상 I 프레임으로 시작해야 한다. P 프레임과 B 프레임이 사용될 경우에 참조 프레임이 있어야만 디코딩이 가능하다. H.264 기본 프로파일에서는 I 프레임과 P 프레임만이 사용된다. 이 프로파일은 B 프레임이 사용되지 않아 지연이 낮기 때문에 네트워크 카메라와 비디오 인코더에 이상적이다.

2.1. 인코더 전체 구조

본 논문에서 구현한 인코더의 전체 구조는 그림 3과 같다.

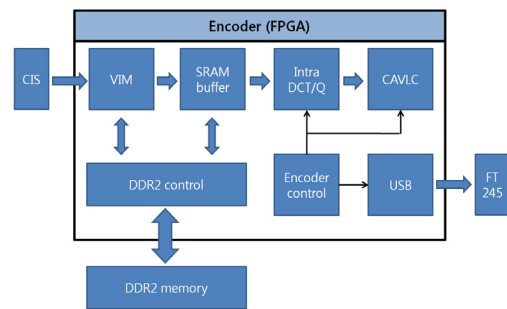


그림 3. 구현된 인코더 전체 블록 구조
Fig. 3 Hardware architecture of implemented encoder

내부에 크게 6 개의 모듈이 있는데 CIS(CMOS Image Sensor)로부터 영상을 받는 영상입력모듈(VIM), DDR2 메모리를 사용할 수 있게 하는 DDR2 제어 모듈, 화면내 부호화 역할을 담당하는 화면내예측(Intra DCT/Q)모듈, 가변길이 부호화 (CAVLC) 모듈 그리고 5 개 모듈을 제어하는 제어기가 존재한다. 카메라로부터 영상을 입력받아 DDR2 메모리에 저장 후 SRAM 버퍼에서 영상 데이터를 MB 단위로 읽어 화면내예측 모듈에 전달하게 된다. 화면내예측 모듈에서는 화면내 부호화를 수행하고 그 데이터를 가변길이 부호화에서 압축을 수행하여 USB 인터페이스를 이용하여 데이터를 PC에 전송하는 구조이다.

인코더는 연속적으로 영상을 처리할 수 있도록 5 개의 파이프라인으로 구성되어있다. 한 파이프라인 당 소요되는 사이클 수는 440으로 제한되어 있고, 모듈 당 440 사이클 이전에 영상 값을 처리하였다더라도 남은 사이클을 기다린 후 다음 영상 값을 처리 하는 구조이다.

III. 모듈별 상세 설명

3.1. DMA 모듈 설계

DMA 하드웨어 모듈에서는 화면내 부호화 모듈에 필요한 데이터 공급과 저장을 수행한다[5]. 마이크론에서 제공하는 DDR2 SDRAM 데이터 시트를 근간으로 하여 각 모듈에 최적화되도록 설계된 모듈이다.

영상입력 모듈에서 원 영상을 그림 4와 같이SRAM 버퍼의 영역에 저장을 하면, DMA는 저장된 데이터를 SDRAM의 원 영상 영역에 저장을 한다. 반 프레임이 저장될 동안은 위와 같이 반복하다가 반 프레임 이후에 부호화기를 실행하여 이미지를 처리한다. 제어 신호를 제외한 모든 데이터는 DMA의 제어를 통해서 적당한 장소의 SRAM 버퍼에 저장되고 필요로 하는 곳에서 읽어 간다[5].

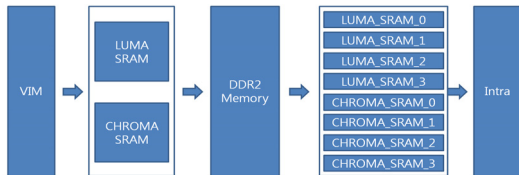


그림 4. DMA 버퍼 구조
Fig. 4 The structure of DMA buffer

그림 4를 이미지 처리 순으로 설명하면 VIM을 통하여 입력된 화면이미지는 VIM 버퍼에 저장되었다가 라인 스캔방식으로 DDR2 메모리에 저장된다. DDR2 메모리 이후에 존재하는 메모리는 DMA가 제어하여 매크로블록의 정보단위로 읽어다가 LUMA_SRAM_x, CHROMA_SRAM_x 버퍼에 저장한 후 부호화기 모듈에서 다시 읽어가기 위해 사용한다. VIM 버퍼 크기는 3840 픽셀을 저장할 수 있는 크기이고 CHROMA와 크기가 같다. Org LUMA 버퍼는 256 픽셀을 4 개를 저장할 수 있는 크기이고 CHROMA 버퍼는 128 픽셀 4 개를

저장할 수 있는 크기로 설계하였다. 실제로는 2 개의 SRAM만 필요하지만 추후에 ME 부분 추가를 위해 4 개의 SRAM을 사용하였다. 여러 개의 버퍼를 두고 사용하는 이유는 더블 버퍼링이 가능하게 하기 위해서다. 더블 버퍼링을 하면 데이터를 읽고 쓰는 시간을 숨김으로써 처리속도를 줄이는 효과가 있다.

DMA 는 동작주기에 따라 2 가지 방법으로 동작한다.

1) VIM에서 DDR2로 데이터 전송 방법

아래 그림 5와 같은 사이클로 data를 VIM에서 DDR2로 전송하게 된다. DDR의 동작 주파수가 200 MHz이기 때문에 부호화기의 동작 주파수 100 MHz로 환산하면 136 사이클을 소모하여 1 라인의 데이터를 DDR2로 전송하게 된다.

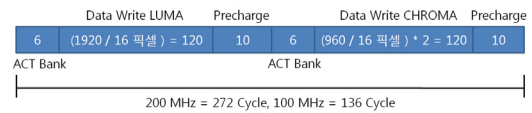


그림 5. VIM에서 DDR2로 데이터 전송사이클
Fig. 5 Data Transfer cycle from VIM to DDR2

2) DDR2에서 Intra로 데이터 전송 방법

아래 그림 6과 같은 사이클로 DDR2에서 데이터를 Intra 모듈로 16x16 블록만큼의 데이터를 전송한다. DDR의 동작 주파수가 200 MHz이기 때문에 부호화기의 동작 주파수 100 MHz로 환산 하면 75 사이클을 소모하여 한 매크로 블록의 데이터를 Intra 모듈로 전송하게 된다.

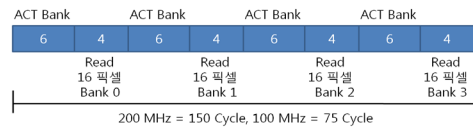


그림 6. DDR2에서 Intra모듈로 데이터 전송사이클
Fig. 6 Data Transfer cycle from DDR2 to Intra module

3.2. Intra Prediction 모듈 설계

화면내 예측 모듈은 각 블록에 대해 예측 블록과 인코딩되는 블록의 차이를 최소화하여 가장 좋은 예측모드를 찾는 모듈이다[6]. 하이 프로파일 레벨 4 규격을 처리할 수 있도록 모듈 안에 휘도신호에 대한 8x8 화면내 예측 및 4x4 화면내 예측, 16x16 화면내 예측이 처리가능하

다. 화면내 예측 모듈의 입력 및 출력 신호는 각각 그림 7에 표현하였다.

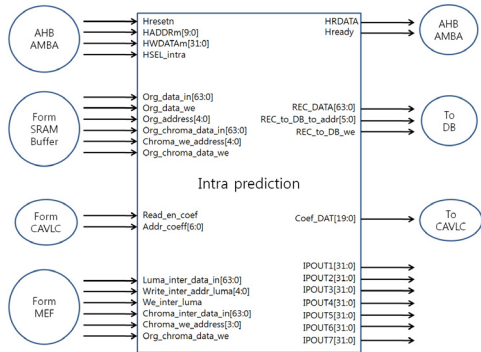


그림 7. 화면내 예측 모듈 입/출력 핀
Fig. 7 Pin configuration of Intra prediction module

3.3. CAVLC 모듈 설계

CAVLC 모듈은 내용기반 적응형 가변길이 코딩을 사용하여 부호화하는 기능 모듈이다. 코딩과정의 최종단계는 엔트로피 코딩이다. 엔트로피 코딩은 심볼의 출현 빈도에 따른 확률에 근거하여 최적의 코드워드를 배정하는 통계학적 예측에 기초하고 있다. 기존에 설계되었던 CAVLC 모듈[7]을 하이프로파일 레벨 4 구역을 처리할 수 있도록 모듈 안에 입력 데이터와 출력 데이터의 흐름을 제어하는 인터페이스 컨트롤러를 추가/수정하였다. CAVLC 모듈의 입/출력 및 신호는 각각 그림 8에 나타내었다.

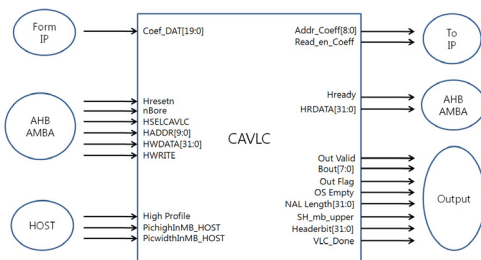


그림 8. CAVLC 모듈 입/출력 핀
Fig. 8 Pin configuration of CAVLC

3.4. VIM 모듈 설계

VIM 모듈은 CIS 카메라로부터 RGB 영상을 받아 4:2:0 YUV 영상으로 출력하는 모듈이다. 또한 CIS 카메

라를 IC2 버스를 이용하여 세팅하는 기능을 한다. 그림 9는 VIM의 입/출력을 나타낸다.

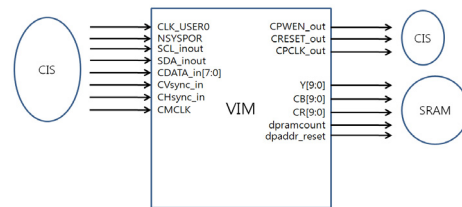


그림 9. VIM 모듈 입/출력 핀
Fig. 9 Pin configuration of VIM

3.5. USB 모듈 설계

USB 모듈은 인코더의 최종 출력을 외부의 FT245 모듈을 통하여 PC로 비트스트림을 전달하는 기능을 한다. 입력으로는 32 비트 데이터를 받아 USB 모듈 내부에서 8 비트씩 FT245 모듈에 전달한다. 그림 10은 USB 모듈과 연결되는 FT245 모듈을 보이고 있다.

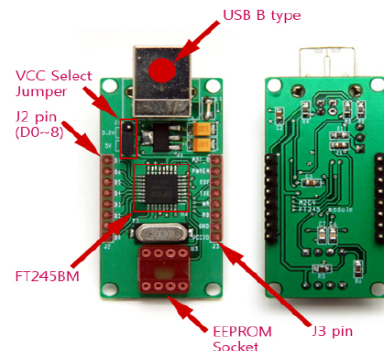


그림 10. FT245 모듈 입/출력 핀
Fig. 10 Pin configuration of FT245

IV. 설계 및 검증

JM13.2 코드를 분석하고 이를 바탕으로 참조 C코드를 제작하였다. 제작 후 동작 수행이 맞는지 살펴보기 위해 JM13.2에서 테스트 벡터를 추출하여 참조코드와 비교하였다. 비교 후 동작수행 결과 값이 100% 적합한지 확인하고 참조코드를 바탕으로 하드웨어 설계 언어인 verilog HDL을 사용하여 하드웨어를 설계 하였다. 기능 검증을 위하여 그림 11과 같이 Modelsim 시뮬레이터를

이용하여 참조코드에서 출력한 테스트 벡터를 입력으로 하여 하드웨어의 출력과 100 % 적합한지 확인 하였다.

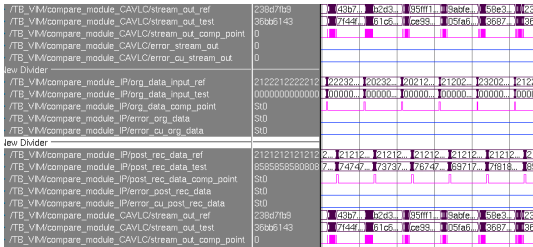
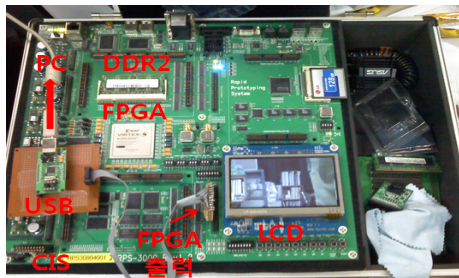
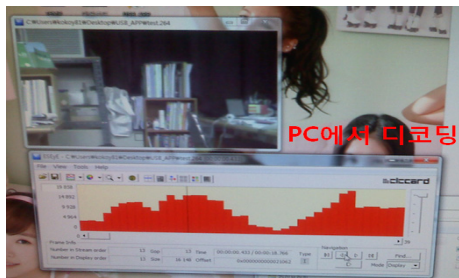


그림 11. TOP Encoder simulation한 파형
Fig. 11 The waveform of top encoder simulation

설계된 인코더는 Huins 의 SOC 플랫폼을 이용하여 설계검증을 하였다. FPGA에서 출력되는 H.264 비트스트림 DATA를 USB 모듈을 통하여 PC에 파일로 저장한 후 H.264 디코더를 이용하여 디코딩하여 영상을 확인하였다. 그림 12는 FPGA상에서의 동작 과정을 보여준다.



(a)



(b)

그림 12. FPGA에서의 설계 검증
(a) 테스트 보드 (b) PC에서 복호화
Fig. 12 Design verification on the FPGA
(a) Test board (b) Decoding on PC platform

FPGA 검증을 위한 LCD 크기는 480×272 로 하였다 실제 성능은 표 1과 같은 성능이다. 제안된 하드웨어는 108 MHz에서 Full HD (1088p) 영상을 초당 30 프레임 인코딩 가능하다. 본 논문의 결과는 [8]의 논문과 비교시, 같은 frame 의 처리시 140MHz로 처리하는데 비하여 32MHz 낮은주파수로 처리가 가능하다.

표 1. 부호화기 성능 분석
Table. 1 The performance analysis of encoder

DDR 주파수	CIS 주파수	Encoder 주파수	최대 cycles / MB	성능
200 MHz	25 MHz	50 MHz	FPGA 검증	480×272 30f/sec
200 MHz	50 MHz	60 MHz	440	720p 30f/sec
200 MHz	50 MHz	108 MHz	440	1088p 30f/sec
[8]		140 MHz	441	1088p 30f/sec

V. 결 론

본 논문에는 H.264/AVC 하이프로파일용 부호화기를 FPGA로 제작하고, 그 과정 및 결과를 제시 하였다. H.264/AVC 하이프로파일용 Encoder는 그 동안 설계/검증된 베이스라인의 각 모듈 (Intra Prediction, CAVLC, DMA)을 하이프로파일 규격에 맞게 수정 및 보완하여 제작되었다. 제작 시 Synopsys 사의 Synplify Pro와 Xilinx 사의 Xilinx ISE Design Suite 10.1을 사용하였다.

구현된 하드웨어는 FPGA Virtex5 XC5VYLX330 에서 DDR2 DMA 200 MHz, Encoder 50 MHz, VIM 25 MHz에서 동작하는 것을 보드 상에서 확인하였으며 FPGA의 20 % 정도인 43099 LUT를 사용하였다. Chartered 0.18 um 공정으로 합성 결과 120 MHz에 동작함을 확인하였다. USB 인터페이스를 통하여 신호의 비트스트림을 PC로 전송하여 동작 했을 때 문제없이 복호화 됨을 확인하였다.

최근에 거론되는 HDTV, DVD급 VOD와 같은 대용량 디지털 영상신호를 저장하거나 전송하기 위해서는

반드시 영상 압축 기술이 필요하다. DVR (digital video recorder) 업계에서도 고화질의 영상 압축을 위해 H.264/AVC를 적용하고 있다. 본 논문에서 설계된 H.264 인코더는 고화질 DVR와 임베디드 시스템의 영상처리 부분에서 사용될 수 있다.

참고문헌

- [1] T.wiegant, et al., "Overview of the H.264/AVC Video Coding Standard." IEEE Trans, on Circuits and Systems for Video Technology, Vol. 13, No.7 pp. 560-576, July. 2003.
- [2] ITU-T Rec. H.264/ISO/IEC 14496-10, "Advanced Video Coding", Final Committee Draft, Document JVT-F100, December 2002
- [3] ISO/IEC 14496-10:2004 FDAM 1, Information technology Coding of audio-visual objects-part 10: Advanced Video Coding, Amendment 1: AVC professional extensions, 2004.
- [4] Joint Video Team (JVT) software JM 13.2
- [5] 정일섭, 서기범, "H.264 Direct Memory Access (DMA)", 한국해양정보통신학회 동계종합학술대회, Oct 2008
- [6] 서기범,이혜운,이용주,김호의, "H.264 High-Profile Intra Prediction 모듈 설계", 한국해양정보통신학회 논문지/제12권, 제11호, pp.2045-2049,2008
- [7] 이용주, 서기범, "H.264 CAVLC(Context Adaptive Variable Length Coding)설계", 한국해양정보통신학회 동계종합학술대회, Oct. 2008
- [8] Lin,Y.K., Ku,C.W., Li,D.W., & Chang, T. S. "A 140MHz 94 K Gates HD1080p 30-Frames/s Intra-Only profile H.264 encoder", In IEEE Trans Circuits and Syst Video Technol, vol 19,Issue 3, March, 2009.

저자소개



서기범(Ki-Bum Suh)

1989년 한양대학교 전자공학과
학사 졸업
1991년 한양대학교 대학원 석사
졸업

2000년 한양대학교 대학원 박사 졸업
2000년 ~ 2002년 한국 전자통신연구원
2002년 ~ 현재 우송대학교 철도 전기시스템학과 교수
※관심분야: 영상코덱, SOC설계, 영상처리 및 인식