
PMIC용 32bit eFuse OTP 설계

김민성* · 윤건수* · 장지혜** · 김려연** · 하판봉** · 김영희**

Design of a 32-Bit eFuse OTP Memory for PMICs

Min-Sung Kim* · Keon-Soo Yoon* · Ji-Hye Jang** · Liyan Jin** · Pan-Bong Ha** · Young-Hee Kim**

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices"). And this research was supported by IDEC.

요 약

본 논문에서는 Magnachip 0.18 μ m 공정을 이용하여 PMIC용 32bit eFuse OTP IP를 설계하였다. eFuse 링크 아래에 N-Well을 두어 프로그램시 eFuse 링크와 p-기판의 VSS가 단락되는 문제점을 해결하였다. 그리고 디코딩된 WERP (WL Enable for Read or Program) 신호가 eFuse OTP 메모리로 바로 입력되는 경우 듀얼 포트 eFuse OTP 메모리 셀의 RWL (Read Word-Line)과 WWL (Write Word-Line)을 선택적으로 활성화해 주는 WL 구동회로를 제안하였다. 또한 BL 프리차징 회로에서 delay chain을 제거하여 제어회로의 레이아웃 면적을 줄였다. 메모리 테스트 장비를 이용하여 제작된 94개의 샘플 die를 측정 한 결과 5.5V의 프로그램 전압에서 100%의 수율을 얻었다.

ABSTRACT

In this paper, we design a 32-bit eFuse OTP memory for PMICs using MagnaChip's 0.18 μ m process. We solve a problem of an electrical shortage between an eFuse link and the VSS of a p-substrate in programming by placing an n-well under the eFuse link. Also, we propose a WL driver circuit which activates the RWL (read word-line) or WWL (write word-line) of a dual-port eFuse OTP memory cell selectively when a decoded WERP (WL enable for read or program) signal is inputted to the eFuse OTP memory directly. Furthermore, we reduce the layout area of the control circuit by removing a delay chain in the BL precharging circuit. We can obtain an yield of 100% at a program voltage of 5.5V on 94 manufactured sample dies when measured with memory tester equipment.

키워드

이퓨즈, 듀얼 포트, 오티피

Key words

PMIC, eFuse, Dual Port, OTP

* 준회원 : 창원대학교
** 종신회원 : 창원대학교 (youngkim@changwon.ac.kr)

접수일자 : 2011. 08. 16
심사완료일자 : 2011. 09. 01

I. 서 론

PMIC (Power Management IC) 등에 내장되는 비휘발성 메모리 IP는 EEPROM이나 Flash보다는 추가 공정이 필요 없는 eFuse (electrical Fuse) OTP (One-Time Programmable) 메모리 IP가 많이 사용되고 있다. 폴리실리콘 퓨즈는 아날로그 트리밍용으로 사용되고 있다[1]. 폴리실리콘 퓨즈를 사용하는 eFuse OTP 메모리는 eFuse에 과전류를 흘려 프로그램 한다[2][3]. eFuse의 프로그램 이전 저항은 50~200Ω 정도이고, eFuse를 통해 프로그램 전류가 흐르면서 eFuse의 저항은 대개 수 kΩ 이상이 된다. 이와 같이 eFuse는 전도 상태와 고저항 상태 중 하나로 프로그램 된다[4]. eFuse OTP는 소용량의 OTP 메모리 응용에 많이 응용되고 있으며, 추가공정이 없이 표준 CMOS 공정으로 구현이 가능하다.

기존의 듀얼 포트 eFuse OTP 셀의 회로도도 그림 1에서 보는 바와 같으며, 큰 프로그램 전류를 흘릴 수 있는 프로그램용 NMOS 트랜지스터 (MN1)와 읽기 모드 전류를 줄일 수 있는 읽기용 NMOS 트랜지스터 (MN2)가 각각 사용되고 있다. 듀얼 포트 eFuse OTP 셀의 WL (Word-Line)을 구동하는 회로는 동작 모드에 따라 행 어드레스 (row address)를 디코딩하여 RWL (Read Word-Line)과 WWL (Write Word-Line) 신호를 선택적으로 활성화시켜 준다[4].

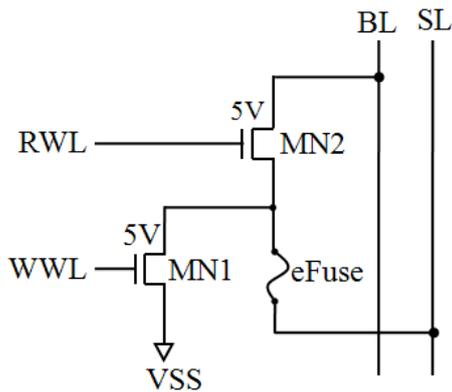


그림 1. 듀얼 포트 eFuse OTP 셀의 회로도.
Fig. 1. Circuit of a dual-port eFuse OTP memory cell.

eFuse OTP 메모리 설계에서 고려해야할 기존 기술의 문제점은 eFuse가 thermal rupture되면서 eFuse 링크와 VSS로 바이어스된 p-기판이 단락될 가능성이 있으며, 만약 단락이 된다면 '1'로 프로그램된 eFuse 셀은 '0'으로 읽히지면서 메모리 불량 발생할 수 있다. 그리고 eFuse OTP 메모리 설계에서 요구되는 기술은 다음과 같다. 첫째는 eFuse OTP 메모리로 행 어드레스가 아닌 행 디코딩된 WERP (WL Enable for Read or Program) 신호가 바로 입력되는 경우 동작 모드에 따라 그림 1의 WWL과 RWL 신호를 선택적으로 활성화해주는 WL 구동회로 설계가 요구된다. 둘째는 원가 감소를 위해 저면적 eFuse OTP 메모리 설계가 요구되며, 저면적 설계를 위한 방법 중 한 가지 방법은 MOS 커패시터로 delay를 주므로 면적을 많이 차지하는 delay chain 회로를 가능하면 작게 사용하여야 한다.

본 논문에서는 프로그램시 eFuse 링크와 VSS로 바이어스된 p-기판이 단락되는 문제점을 해결하기 위해 eFuse 링크 아래에 플로팅된 N-Well을 두어 eFuse 링크와 VSS가 단락되는 문제점을 해결하였다. 그리고 행 디코딩된 WERP 신호가 eFuse OTP 메모리로 바로 입력되는 경우 듀얼 포트 eFuse OTP 셀의 WL 신호인 WWL과 RWL 신호를 선택적으로 활성화해주는 WL 구동회로를 제안하였다. 또한 eFuse OTP 메모리의 BL을 VSS로 프리차징해 주는 기존의 방식은 읽기 모드로 진입하면서 short pulse 구간동안 프리차징해 주는 방식이었으나, 본 논문에서는 대기 모드에서 BL을 VSS로 프리차징하는 방식으로 변경하였다. 이렇게 하므로 BL 프리차징 신호에서 사용되는 delay chain을 제거하여 제어회로의 레이아웃 면적을 줄일 수 있었다. 매그나칩반도체 0.18μm CMOS 공정을 이용하여 32bit eFuse OTP 메모리를 설계하였다.

II. 회로설계

Magnachip 0.18μm GF-ACL공정을 이용하여 설계한 32bit eFuse OTP 메모리의 주요 특징은 표 1과 같다. 셀 어레이는 32행 × 1열로 구성되어 있으며, n+ polysilicon eFuse를 사용하였다. 동작모드는 프로그램, normal read 모드와 test read 모드가 있으며, eFuse OTP 메모리는 비

트 단위로 프로그램과 읽기 동작을 수행한다. 그리고 프로그램 시간은 20μs이다. 사용되는 전원전압은 VDD의 단일전원이 사용된다. VDD 전압은 프로그램 모드인 경우 eFuse에 충분한 프로그램 파워를 공급하기 위해 5.5V~6V가 사용되며, 읽기 모드인 경우 프로그램되지 않은 cell에 흐르는 읽기 전류 (read current)를 낮추기 위해 저전압인 1.8V±10%가 사용된다. 설계에 사용된 소자는 5V MOS 트랜지스터만 사용하였다.

표 1. 32bit eFuse OTP 메모리의 주요 특징.
Table 1. Major specifications of 32-bit eFuse OTP memory.

Items		Main Features
Process		Magnachip 0.18μm GF-ACL
Memory Density		32b
eFuse Type		n+ polysilicon
Operating Mode		Program / Normal Read / Test Read
Program bit/Read bit		1b/1b
Program Time		20μs
VDD	Program	5.5V ~ 6V
	Read	1.8V ± 10%
Temperature Range	Program	0°C ~ 125°C
	Read	-40°C ~ 125°C
Program Current		Typical 32.1mA

동작 모드에 따른 타이밍 다이어그램은 그림 2와 같다. 프로그램 모드에서 타이밍 다이어그램은 그림 2(a)에서 보는 바와 같이 디코딩된 행 선택 신호인 WERP[31:0]를 먼저 인가한 상태에서 Access 신호와 PE 신호를 각각 high와 low로 활성화하면 선택되는 OTP 메모리 셀을 프로그램하게 된다. Access 신호는 read나 program access를 위한 신호로 active high이며, PE는 program enable 신호로 active low이다. eFuse 링크가 센싱 가능한 최소 저항보다 조금 크게 프로그램된 경우 eFuse의 저항이 사용 중에 센싱 가능한 최소 저항 이하로 변동할 수 있으며, 이 경우는 데이터 센싱 불량 발생한다 [3]. 그래서 본 논문에서는 variable pull-up load를 갖는 센싱 마진 테스트 (sensing margin test) 기술을 적용하였다. Test read 모드는 normal read 모드보다 BL S/A (Bit-Line Sense Amplifier) 회로의 풀-업 부하 (pull-up load)를 높은

임피던스 (high impedance)가 되도록 하여 웨이퍼 테스트시 eFuse의 프로그램 저항이 높게 프로그램된 것만 pass시키도록 하였다. 그림 2(b)와 그림 2(c)는 각각 normal read와 test read mode에 대한 타이밍 다이어그램을 보여주고 있으며 선택된 셀의 비트 데이터는 access 시간이 지난 이후 OUTPUT 포트에 출력된다. Normal read 모드는 T1이 활성화되는 반면, test read 모드는 T2가 활성화된다.

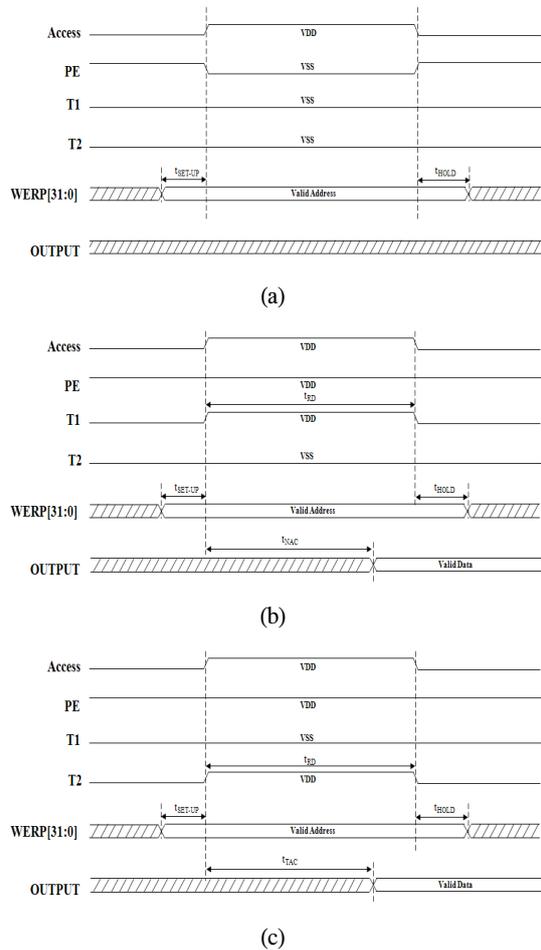


그림 2. 동작 모드에 따른 타이밍 다이어그램
(a) 프로그램 모드 (b) normal read (c) test read.
Fig. 2. Timing diagrams according to operational modes: (a) in the program mode, (b) in the normal read mode, and (c) in the test read mode.

32bit eFuse OTP 메모리의 블록도는 그림 3에서 보는 바와 같이 32행 × 1열의 eFuse OTP 메모리 셀 어레이, WL 구동회로, SL (Source Line) 구동회로와 BL S/A와 제어 로직으로 구성되어 있다. 제어로직은 제어신호 (Access, PE, T1, T2)에 따라 프로그램과 읽기 모드에 적합한 내부 제어신호를 공급한다. 그리고 BL S/A 회로는 읽기 모드에서 OTP 셀의 eFuse를 프로그램한 유·무에 따라 BL을 통해 나오는 디지털 데이터를 센싱하여 OUTPUT 포트에 출력한다.

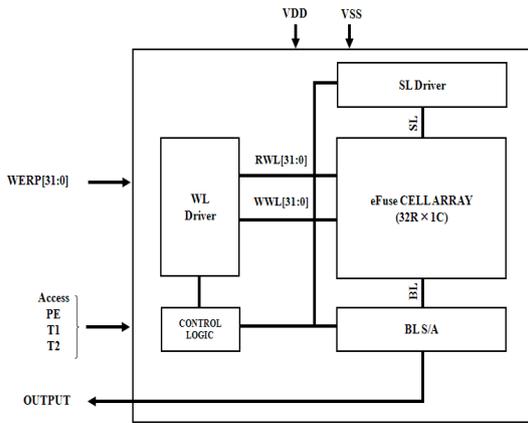


그림 3. 32bit eFuse OTP 메모리의 블록도.
Fig. 3. Block diagram of a 32-bit eFuse OTP memory.

32bit eFuse OTP 메모리는 그림 1의 듀얼포트 eFuse OTP 셀 회로를 사용하였으며, 셀 레이아웃 이미지는 그림 4와 같다. 프로그램시 eFuse 링크와 VSS로 바이어스된 p-기판이 단락되는 문제점을 해결하기 위해 그림 4에서 보는 바와 같이 eFuse 링크 아래에 플로팅된 N-Well을 두었다. 설계된 eFuse OTP 메모리 셀의 레이아웃 크기는 38.03 μm × 4.56 μm 이다.

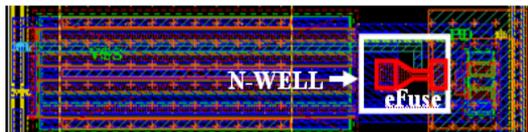


그림 4. 듀얼 포트 eFuse OTP 셀의 레이아웃 이미지.
Fig. 4. Layout image of a dual-port eFuse OTP memory cell.

표 2는 동작 모드별 eFuse OTP 메모리 셀 노드에서의 바이어스 전압을 보여주고 있다. 프로그램 모드에서 선택된 셀의 WWL은 VDD로 활성화된다. 그리고 선택되지 않은 셀의 WWL은 0V를 유지하므로 OTP 셀의 eFuse 링크는 BL으로부터 격리된다. 프로그램 모드에서 eFuse OTP 셀을 프로그램하기 위해서는 그림 1의 SL과 WWL에 VDD 전압이 인가되면서 eFuse와 MN1을 통해 프로그램 전류가 흐른다. 이렇게 하면 eFuse는 프로그램되고 eFuse의 저항은 수 십k Ω 이상이 된다. 한편 읽기 모드에서는 BL이 VSS 전압으로 프리차징된 상태에서 선택된 셀의 RWL만 VDD 전압으로 활성화된다. 만약 eFuse가 프로그램 되지 않은 셀의 경우 그림 1의 MN2, eFuse 링크를 통해 BL은 low voltage인 0V로 유지하며, DOUT은 로직 '0'가 출력된다. 한편 프로그램된 셀은 eFuse가 고저항 상태에 있으며, BL 전압은 풀-업 부하에 의해 high voltage인 VDD로 풀-업되므로 OUTPUT은 로직 '1'이 출력된다.

표 2. 동작 모드별 eFuse OTP 메모리 셀의 노드별 바이어스 전압.

Table 2. Node bias voltages of an eFuse OTP memory cell according to operational modes.

	프로그램 모드	읽기 모드	
WWL	VDD	0	
SL	VDD	0	
BL	Floating	0	VDD
OUTPUT	X	0	1
eFuse	Blown	Unblown	Blown

그림 5(a)는 행 디코딩된 WERP 신호가 eFuse OTP 메모리로 바로 입력되는 경우 듀얼 포트 eFuse OTP 셀의 WL 신호인 WWL과 RWL 신호를 선택적으로 활성화해주는 WL 구동회로를 보여주고 있다. 프로그램 모드로 진입하게 되면 WLEN_RD와 PGM_EN은 각각 로직 '1'과 로직 '0'로 되며, WERP 신호에 의해 선택된 WL 구동회로는 WWL은 VDD, RWL은 0V를 구동하도록 설계하였다. 그림 5(b)의 SL 구동 회로는 프로그램 모드에서 eFuse의 양극 (anode)에 VDD 전압을 공급하고 읽기 모드에서는 PGM_EN 신호가 로직 '0' 상태이므로 SL은 0V를 구동하도록 한다.

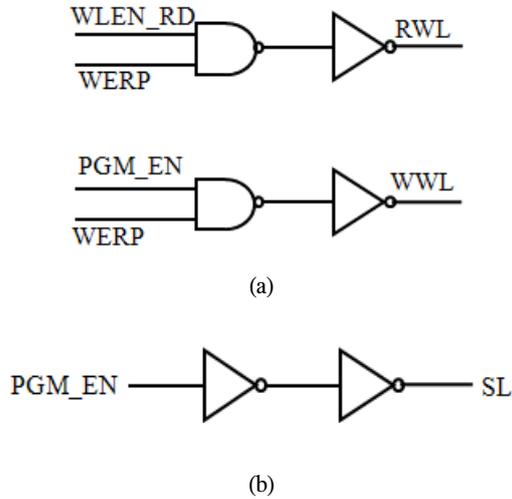


그림 5. (a) WL 구동회로 (b) SL 구동회로.
Fig. 5. (a) WL driver circuit and (b) SL driver circuit.

32비트 eFuse OTP 메모리 설계에서 사용된 BL S/A 회로는 그림 6과 같으며, BL_PCG 신호에 의해 BL을 VSS로 프리차징시키는 프리차징 트랜지스터 (MN0), BL을 VDD로 풀-업시키는 풀-업 부하 트랜지스터 (MP0와 MP1)와 negative level sensitive D-래치로 구성되어 있다. BL S/A 회로는 RWL이 활성화되기 이전에 BL을 VSS로 프리차징 한다. 그래서 프로그램된 eFuse 셀을 access하는 경우만 BL은 VDD로 풀-업되고, 프로그램되지 않은 경우는 프리차징 레벨 (precharging level)인 VSS를 유지한다. 한편 eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달된 뒤 SAENb (Sense Amplifier Enable bar) 신호가 0V로 활성화되면 negative-level sensitive D-래치는 BL 전압인 VDD 또는 0V를 센싱하여 OUTPUT 포트에 출력한다. 그림 7(a)와 그림 7(b)는 각각 기존의 방식과 본 논문에서 제안된 방식의 BL 제어 타이밍 다이어그램을 보여주고 있다. 기존의 BL 제어 타이밍 다이어그램은 RD (Internal Read) 신호가 high로 활성화되면서 BL_PCG 신호가 high의 짧은 펄스 (short pulse)가 발생하여 BL가 VSS로 프리차징되는 반면, 그림 7(b)의 타이밍 다이어그램은 RD 신호가 대기 모드로 진입하면서 BL을 VSS로 프리차징한다. 그림 7(b)의 제어 타이밍 다이어그램을 사용하므로 BL_PCG의 delay chain을 제거하므로 제어 로직이 차지하는 면적을 줄일 수 있다.

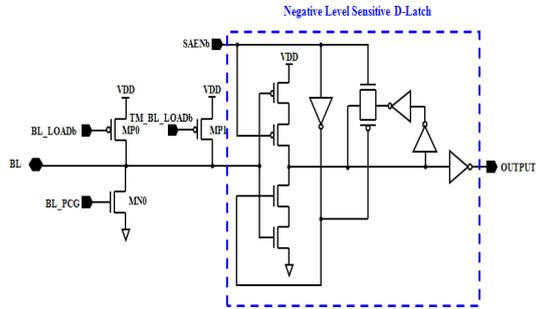


그림 6. VSS BL 프리차징 방식의 BL S/A 회로.
Fig. 6. BL S/A circuit of VSS BL precharging scheme.

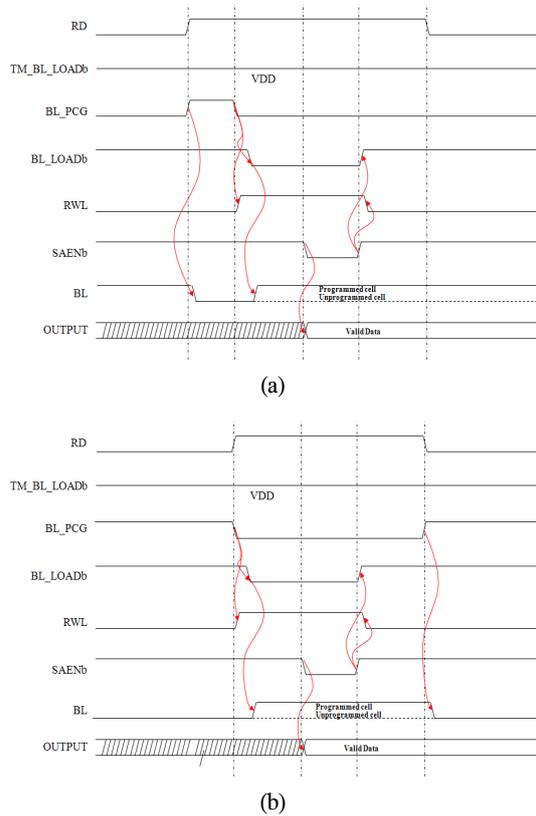


그림 7. BL 제어 타이밍 다이어그램
(a) 기존 방식 (b) 제안된 방식.
Fig. 7. Control timing diagrams: (a) conventional scheme and (b) proposed scheme.

Variable pull-up load를 갖는 센싱 마진 테스트 기술 [5]은 그림 2(c)의 test read 모드를 이용하여 설계하였다. Test read 모드는 normal read 모드보다 BL S/A (Bit-Line Sense Amplifier) 회로의 풀-업 부하를 높은 임피던스의 MPI를 ON시켜 정상적으로 프로그램되었는지 테스트한다. 반면 normal read 모드에서는 풀-업 저항이 작은 MP0를 ON시켜 프로그램된 eFuse 저항이 낮게 변동하더라도 BL을 정상적인 '1' 데이터로 센싱하도록 한다. 프로그램된 eFuse 저항이 높게 변하는 경우는 센싱 마진이 증가하는 경우이므로 문제가 되지 않는다. 그래서 프로그램된 저항이 낮아지는 경우만 설계에서 고려하였다.

그림 8은 0.18 μm GF-ACL 공정을 이용하여 설계된 32bit eFuse OTP 메모리의 레이아웃 이미지를 보여주고 있으며, 레이아웃 면적은 38.1 μm ×252.745 μm 이다.

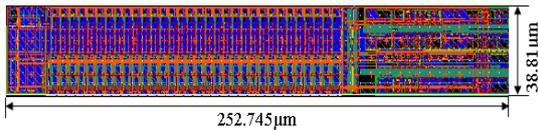


그림 8. 설계된 eFuse OTP 메모리의 레이아웃 이미지.
Fig. 8. Layout image of a designed eFuse OTP memory.

III. 모의실험 및 측정 결과

Magnachip 0.18 μm GF-ACL 공정을 이용하여 설계된 32bit eFuse OTP 메모리 IP의 전원선 라우팅 (Power Line Routing) 저항과 칩 레벨에서 IP가 사용되었을 때 라우팅 저항 10 Ω 이 모델링되어 프로그램 모드에서 프로그램 전류를 모의실험 하였다. 그림 9에서 보는 바와 같이 eFuse 저항에 따른 프로그램 전류는 5.5V의 VDD 전압과 상온에서 32.1mA이다.

그림 10는 Normal read mode의 모의실험 파형을 보여 주고 있다. 읽기 명령어 들어오면 그림 6에서 보는 바와 같이 BL을 VSS로 프리차징하는 BL_PCG 신호가 low로 되면서 BL 프리차징 트랜지스터 (MN0)를 OFF 시킨다. BL 프리차징 트랜지스터가 OFF된 이후 RWL이 활성화 되면서 셀의 데이터가 BL에 전달된다. B

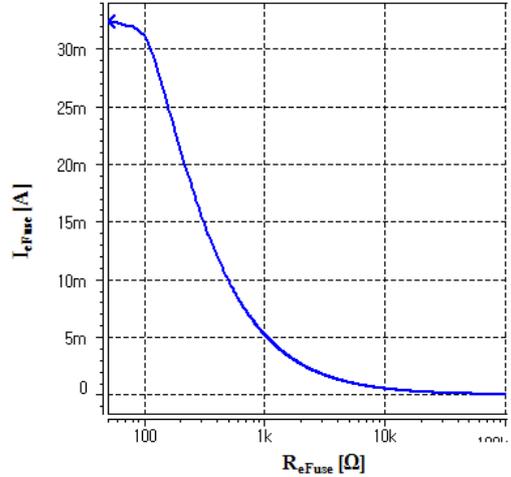


그림 9. 프로그램 모드 시 eFuse 저항에 따른 프로그램 전류 모의실험 결과.

Fig. 9. Simulation result of programming current with respect to eFuse resistances in the program mode.

L에 셀의 데이터가 충분히 전달되면 SAENb 신호에 의해 BL의 데이터는 센싱 되어 OUTPUT 포트에 출력된다. 그리고 대기 모드로 진입하면서 BL_PCG는 활성화 되어 BL을 VSS로 프리차징한다. 그래서 BL_PCG 회로 설계 시 짧은 펄스를 만들어주기 위한 delay chain을 제거할 수 있다.

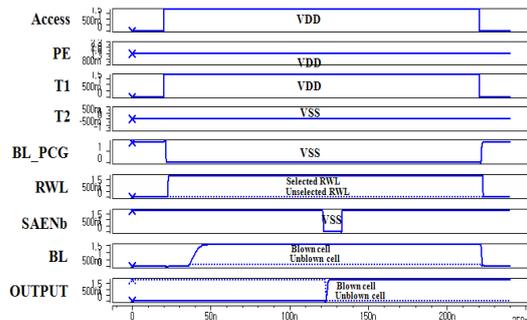


그림 10. Normal 읽기 모드에서의 모의실험 파형.
Fig. 10. Simulation result in the normal read mode.

그림 6의 variable pull-up load를 사용한 BL S/A 회로를 사용하므로 센싱 가능한 저항은 test read 모드와 normal read 모드 각각 31k Ω , 20k Ω 으로 모의실험되었다. 이 경우 field에서 eFuse 저항이 11k Ω 이하로 떨어지지 않는

이상 정상적으로 센싱이 가능하다.

그림 11은 eFuse OTP IP의 테스트 칩에 대한 기능별 출력 측정 파형을 보여 주고 있다. 프로그램된 셀의 출력이 정상적으로 읽혀지는 것을 확인할 수 있다. 그리고 Advantest 장비를 이용해서 94개의 die를 측정 한 결과 그림 12의 웨이퍼 맵 (wafer map)에 보는 바와 같이 100% 정상적으로 기능이 동작하는 것을 확인하였다.

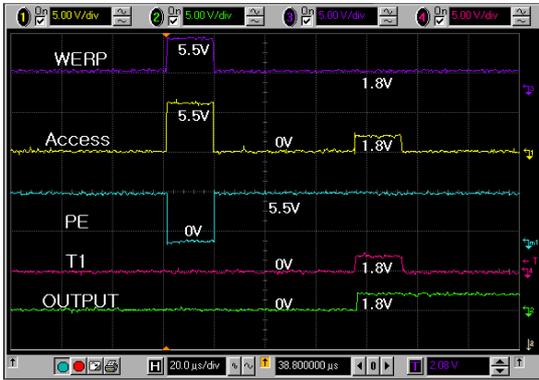


그림 11. 동작모드에 따른 function 측정 파형.
Fig. 11. Functional measurement waveforms according to operational modes.

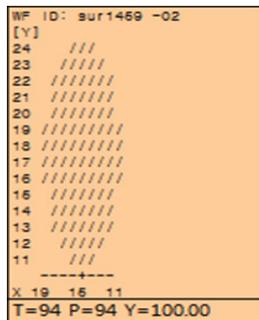


그림 12. Wafer에서 function test 결과.
Fig. 12. Functional test result on a wafer.

IV. 결 론

본 논문에서는 eFuse 링크 아래에 플로팅된 N-Well을 두어 프로그램시 eFuse 링크와 VSS가 단락되는 문제점을 해결하였다. 그리고 행 디코딩된 WERP 신호가

eFuse OTP 메모리로 바로 입력되는 경우 듀얼 포트 eFuse OTP 셀의 WL 신호인 WWL과 RWL 신호를 선택적으로 활성화해주는 WL 구동회로를 제안하였다. 또한 BL 프리차징 신호에서 사용되는 delay chain을 제거하여 제어회로의 레이아웃 면적을 줄였다. 매그나칩반도체 0.18 μm CMOS 공정을 이용하여 32bit eFuse OTP 메모리를 설계하였으며, 설계된 eFuse OTP 메모리의 레이아웃 면적은 38.81 $\mu\text{m} \times 252.745\mu\text{m}$ 이다. 메모리 테스터 장비를 이용하여 제작된 94개의 die를 측정 한 결과 5.5V의 프로그램 전압에서 OTP 메모리 수율은 100%의 결과를 얻었다.

감사의 글

This work was supported by Industrial Strategic Technology Development Program funded by the Ministry of Knowledge Economy (MKE, Korea) (10039239, "Development of Power Management System SoC Supporting Multi-Battery-Cells and Multi-Energy-Sources for Smart Phones and Smart Devices"). And this research was supported by IDEC.

참고문헌

- [1] Donald G. Fink and Donald Christiansen, Electronics Engineers' Handbook, McGraw-Hill, Nov. 1996.
- [2] N. Robson et al., "Electrically Programmable Fuse (eFuse): From Memory Redundancy to Autonomic Chips", Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007.
- [3] S. H. Kulkarni et al., "High-Density 3-D Metal-Fuse PROM featuring 1.37 μm^2 1T1R Bit Cell in 32nm High-k Metal-Gate CMOS Technology", Symp. VLSI Circuits, pp. 28-29, 2009.
- [4] Du-Kwi Kim, Ji-Hye Jang, Liyan Jin, Jae-Hyung Lee, Pan-Bong Ha, and Young-Hee Kim, "Design and

Measurement of a 1-KBit eFuse One-Time Programmable Memory IP Based on a BCD Process”, The Institute of Electronics, Information, and Communication Engineers, vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.

- [5] Jeong-Ho Kim, Du-Hwi Kim, Liyan Jin, Pan-Bong Ha, and Young-Hee Kim, “Design of 1-Kb eFuse OTP Memory IP with Reliability Considered”, Journal of Semiconductor Technology and Science, vol. 11, no. 2, pp. 88-94. June 2011.

저자소개



김민성(Min-Sung-Kim)

2011.2 창원대학교 전자공학과
공학사
2011.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야 : PMIC IC용 Memory 설계, Non-Volatile memory 설계



윤건수(Keon-Soo-Yoon)

2011.2 창원대학교 전자공학과
공학사
2011.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야 : PMIC IC용 Memory 설계, Non-Volatile memory 설계



장지혜(Ji-Hye Jang)

2008.2 창원대학교 전자공학과
공학사
2008.3 창원대학교 전자공학과
석사과정

※ 관심분야 : Non-Volatile memory 설계



김려연(Li-Yan Jin)

2007.7 연변대학교 컴퓨터공학과
공학사
2009.9 창원대학교 전자공학과
석사과정

2009.9~현재 창원대학교 전자공학과 박사과정
※ 관심분야 : Non-Volatile memory 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사
1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※ 관심분야 : 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1~2001.2 현대전자 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※ 관심분야 : 메모리 IP 설계, SoC 설계