

두 가지 타입의 CuPC FET 전극 구조에서의 전기적 특성

이원재¹, 이호식^{2,a}

¹ 경원대학교 전자공학과

² 동신대학교 병원의료학과

Electrical Properties of CuPc FET Using Two-type Electrode Structure

Won-Jae Lee¹ and Ho Shik Lee²

¹ Department of Electronic Engineering, Kyungwon University, Seongnam 461-701, Korea

² Department of Hospital Service and Biomedical Science, Dongshin University, Naju 520-714, Korea

(Received November 4, 2011; Revised November 17, 2011; Accepted November 18, 2011)

Abstract: We fabricated a copper phthalocyanine (CuPc) based field-effect transistor with different device structure as a bottom and top contact FET. Also, we used a SiO₂ as a gate insulator and analyzed using a current-voltage (I-V) characteristics of the bottom and top contact CuPc FET device. In order to discuss the channel formation, we were observed the capacitance-gate voltage(C-V) characteristics of the bottom and top contact CuPc FET device.

Keywords: Organic FET, CuPc, Bottom and top contact FET

1. 서 론

박막 트랜지스터는 유기물과 고분자 반도체를 이용하여 최근에 매우 활발하게 연구가 진행되고 있다. 유기물을 이용한 소자제작은 무기물에 비하여 공정이 간단하고, 또한 저온에서의 소자 제작이 가능하기 때문에 무기물 반도체 소자에 비하여 많은 장점들을 가지고 있다 [1-3].

박막트랜지스터의 능력을 향상을 위해 많은 실험과 이론적 연구들이 최근에도 여전히 진행되고 있으며, 특히 소자의 구조 연구도 꾸준히 진행되고 있다. 또한 최근에 많은 연구 주제로 부각되고 있는 유연성이 있고 가벼운 플라스틱 기판의 사용이 가능해지고, 간단한 공정으로 소자를 제작할 수 있어서, 소자를 제작하는 비용의 절감 효과가 극대화되고 있다 [4-6].

본 연구에 사용한 CuPc는 유기 발광 소자의 정공

주입층 뿐만 아니라 유기물 FET (field-effect transistor) 연구에도 많이 사용되고 있는 물질로 알려져 있다 [7-9].

따라서 본 연구에서는 CuPc 물질을 활성 영역으로 사용하여 bottom-contact과 top-contact 두 가지 형태의 CuPc FET 구조의 소자를 제작하고, 이 소자들의 전기적 특성을 측정하였다.

2. 실험 방법

그림 1은 본 연구에서 사용한 물질의 구조 및 CuPc FET 소자의 구조를 나타낸 것이다.

본 연구에 사용한 소자는 top-contact과 bottom-contact 형태의 구조를 가지는 소자를 제작하여 실험을 하였다. 절연층 물질로는 Si-wafer 위에 열 증착법으로 형성된 SiO₂를 500 nm의 두께로 제작하였으며, 소자에서의 채널 길이는 50 μ m, 채널 폭은 3 mm로 하여 소자를 제작하였다. 또한 게이트 전극, 소스 전극, 그리고 드레인 전극은 Au를

a. Corresponding author; hslee@dsu.ac.kr

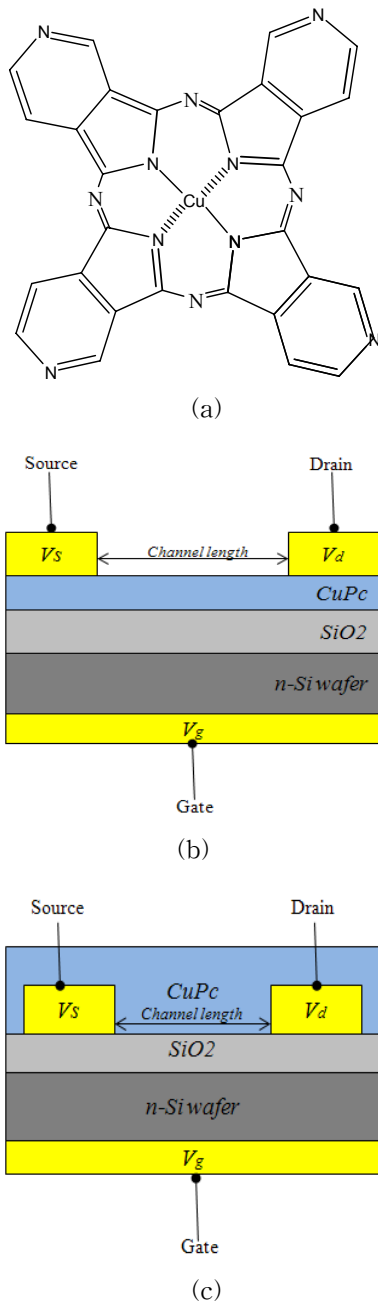


Fig. 1. Device and molecular structure. (a) CuPc molecular structure, (b) top contact FET device, (c) bottom contact FET device.

사용하여 각각 소자를 제작하였다. 또한 게이트 전극의 형성 시에는 Si-wafer와의 ohmic contact을 형성하기 위하여 Cr층을 사용하여 전극을 형성하였다. 전극 형성은 열 증착 방법을 이용하여 형성하였다. 활성층으로 사용한 CuPc 물질은 TCI (Tokyo Kasei

Kogyo Co.)로 부터 구입을 하였으며, 역시 열 증착 방법을 이용하여 박막을 형성하였다 [3].

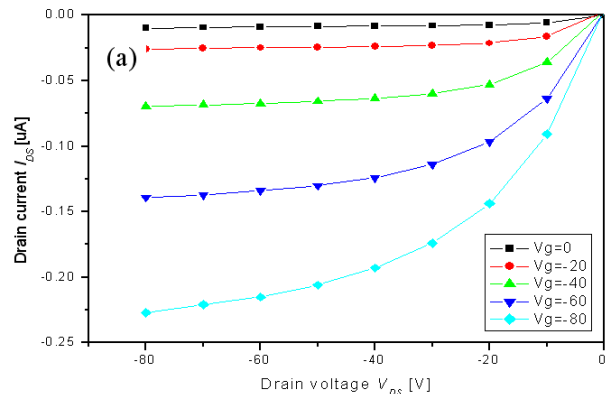
박막 형성 시의 진공도는 약 10^{-6} [torr]였으며, 증착 속도는 0.5 [Å/s]의 속도를 유지하면서 증착하였다 [3,4]. 또한 기판으로 사용한 Si-wafer는 CuPc 물질을 증착하기 전에 기판의 세척을 위하여 30분 동안 UV/ozone 처리를 하여 사용하였다. UV/ozone 처리를 기판을 사용하는 이유는 이미 본 연구팀에서 보고한 바가 있으며, UV/ozone 처리의 유무에 따라 소자의 전기적 특성이 확연하게 달라지는 것을 이미 확인한 바가 있다 [5,6].

또한 OFET (organic field-effect transistor)의 전기적 특성 측정은 Keithley type-2400을 이용하여 측정을 하였다. 특히 bottom-contact FET 소자의 경우는 in-situ로 전기적 특성을 측정하였으며, top-contact FET 소자의 경우는 대기 중에서 전기적 특성을 측정하였다.

3. 결과 및 고찰

그림 2는 bottom-contact과 top-contact CuPc FET의 전류-전압 특성을 측정한 것을 나타내었다.

그림에서 보면 두 소자 모두에서 전형적인 FET 소자의 특성을 보이고 있는 것을 알 수 있다. 그러나 top-contact CuPc FET (그림 2(b))에서의 드레인 전류보다 bottom-contact CuPc FET (그림 2(a))의 소자에서 약 10배 정도의 전류가 더 흐르는 것을 볼 수 있다. 또한 top-contact CuPc FET의 소자에서 누설 전류가 흐르는 것을 확인할 수 있는데 이는 in-situ 상태의 측정과는 달리 소자의 열화가 진행된 것으로 볼 수 있으며, 소자 제작 과정의 차이에서 오는 현상으로 생각되어 진다.



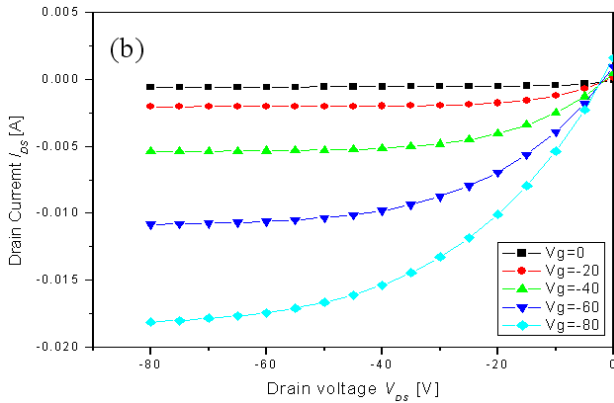


Fig. 2. Current-voltage characteristics of the CuPc FET with two type electrode device. (a) bottom-contact CuPc FET, (b) top-contact CuPc FET.

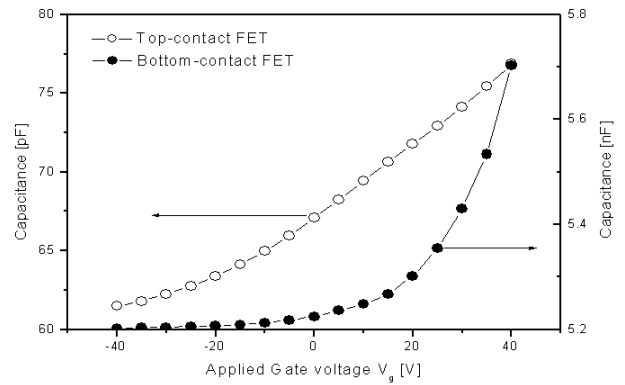


Fig. 4. Capacitance-gate voltage characteristics of CuPc FET with two type electrode devices.

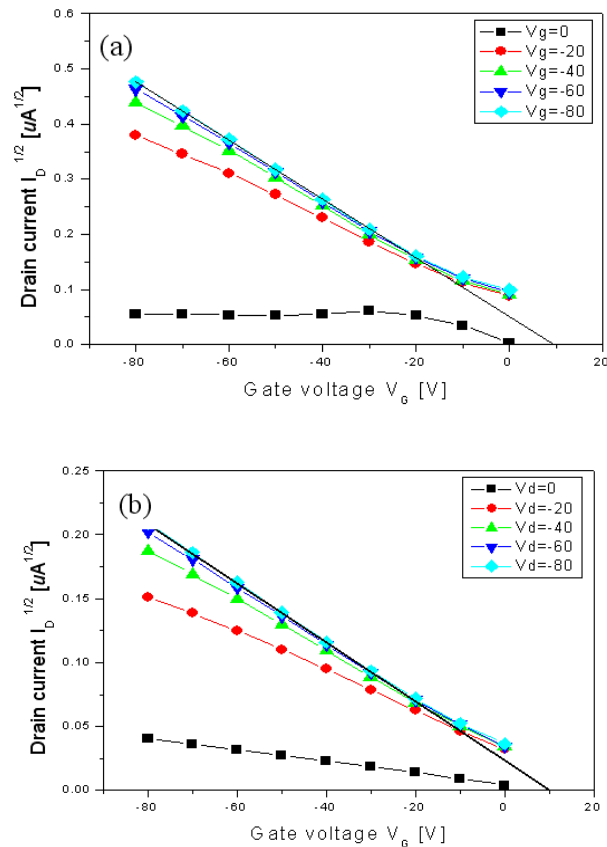


Fig. 3. The transfer characteristics ($\sqrt{I_d - V_g}$) of CuPc FET with two type electrode devices. (a) bottom-contact CuPc FET, (b) top-contact CuPc FET.

그림 3은 두 가지 형태의 CuPc FET 소자의 문턱 전압을 ($\sqrt{I_d - V_g}$)을 이용하여 도시하였다.

다음의 FET 특성식으로 부터 문턱전압의 관계식을 유도해 보면 다음과 같다.

$$I_D = \frac{W\mu C_{ox}}{2L} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad (1)$$

또한 포화 영역에서의 관계식은

$$I_D = \frac{W\mu C_{ox}}{2L} (V_{GS} - V_T)^2 \quad (2)$$

여기서 W 는 채널 폭, μ 는 이동도, C_{ox} 는 절연층의 캐패시턴스, L 은 채널 길이, V_{GS} 는 게이트 전압, 그리고 V_T 는 문턱 전압이다. 또한 여기서의 I_D 는 포화 영역에서의 드레인 전류 값을 나타낸다.

위의 식으로부터 문턱 전압은 포화 전류와 게이트 전압과의 관계로 볼 수 있다. 따라서 그림 3의 두 가지 형태의 CuPc FET 소자에서의 문턱 전압은 약 10 V의 값을 가지고 있음을 알 수 있으며, 소자의 구조에 관계없이 비슷한 값을 보이고 있다 [3].

그림 4는 게이트 전압과 캐패시턴스와의 관계를 두 가지 형태의 소자에 대하여 나타내었다. 그림에서 보면 bottom-contact CuPc FET의 경우는 게이트 전압이 약 20 V일 때 캐패시턴스값이 급격하게 증가하는 것을 알 수 있으며, top-contact CuPc FET의 경우는 일정하게 캐패시턴의 값이 증가하는 것을 볼 수 있다.

이는 그림 2의 전압 전류의 특성에서 보는 것처럼 top-contact CuPc FET 소자에서 채널 형성은 이루

어지고 있으나, 누설전류가 흐르고 있는 것을 확인할 수 있다.

4. 결 론

본 연구에서 CuPc를 활성층으로 사용하고, 소스와 드레인 전극을 Au로 사용하여 두 가지 형태의 CuPc FET를 제작하여 전기적 특성 측정을 하였다.

측정 결과 bottom-contact과 top-contact CuPc FET 모두에서 전형적인 FET의 특성을 확인할 수 있었으며, 채널 형성도 잘 이루어지고 있는 것을 확인할 수 있었다. 또한 문턱전압을 도시하여 확인할 결과 두 가지 형태의 소자 모두가 거의 비슷한 값의 전압을 보이고 있음을 알 수 있었다. 반면에 전압과 캐패시턴스와의 관계에서 top-contact의 소자에서 누설 전류가 존재하고 있음을 알 수 있는데 이는 향후 다양한 방법의 소자에서의 전류의 분포에 대한 연구를 통해 확인할 수 있을 것으로 사료된다.

감사의 글

이 연구는 2011년도 경원대학교 지원에 의한 결과이다.

REFERENCES

- [1] T. Manaka and M. Iwamoto, *Thin Solid Films*, **438**, 157 (2003).
- [2] T. Manaka, K. Yoshizaki, and M. Iwamoto, *Current Applied Physics*, **6**, 877 (2006).
- [3] E. Lim, T. Manaka, R. Tamura, and M. Iwamoto, *Jpn. J. Appl. Phys.*, **45**, 3712 (2006)
- [4] C. R. Kagan and P. Andry, *Thin-Film Transistor* (Marcel Dekker Inc., New York, 2003).
- [5] H. S. Lee, Y. P. Park, and M. W. Cheon, *Trans. Electr. Electron. Mater.*, **8**, 170 (2007).
- [6] H. S. Lee, Y. P. Park, and M. W. Cheon, *J. KIEEME*, **20**, 47 (2007).
- [7] S. K. Cheng, *J. KIEEME*, **15**, 233 (2002).
- [8] H. W. Hwang, S. S. Hwang, and Y. S. Kim, *J. KIEEME*, **11**, 522 (2002).
- [9] Y. M. Kim, S. W. Pyo, J. H. Kim, J. H. Shim, and Y. K. Kim, *J. KIEEME*, **15**, 233 (2002).