

# TSV 기술을 이용한 3D IC 개발 동향

## 3D IC Using through Silicon via Technologies

IT 융합 · 부품 기술 특집

최광성 (K.S. Choi)	패키지연구팀 선임연구원
엄용성 (Y.S. Eom)	패키지연구팀 책임연구원
임병옥 (B.O. Lim)	패키지연구팀 연구원
배현철 (H.C. Bae)	패키지연구팀 선임연구원
문종태 (J.T. Moon)	패키지연구팀 책임연구원

### 목 차

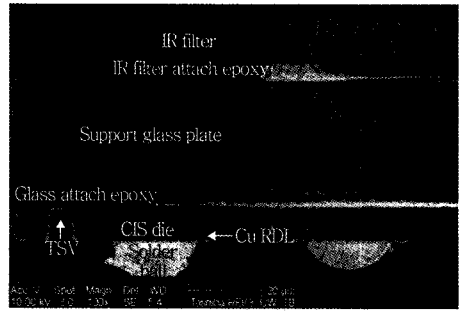
- .....
- I. 서론
  - II. 3D IC를 위한 TSV 및 적층 요소 기술
  - III. 3D IC 표준화 동향 및 개발 사례
  - IV. 결론

모바일과 유비쿼터스 센서 네트워크 센서 시대가 도래함에 따라 가볍고, 작고, 얇고, 멀티기능을 구현할 수 있는 부품에 대한 요구가 증대하고 있다. 이에 대한 여러 가지 솔루션 중 MCM의 개념을 수직 방향으로 확장시킨 3D IC가 최근 각광을 받고 있다. 이는 물리적인 한계에 부딪힌 반도체 집적 공정의 한계를 극복하여 지속적으로 무어의 법칙에 맞춰 집적도를 향상시킬 수 있을 뿐만 아니라 소재와 공정이 달라도 3차원적으로 집적이 가능하여 메모리와 프로세서로 대표되는 디지털 칩뿐만 아니라 아날로그/RF, 수동소자, 전력소자, 센서/액추에이터, 바이오칩 등을 하나로 패키징 할 수 있는 장점이 있기 때문이다. 이를 통해 성능 향상, 경박단소, 저비용의 부품 개발이 가능하기 때문에 미국, 유럽, 일본 등 선도국뿐만 아니라 싱가포르, 타이완, 중국 등에서도 활발한 연구가 진행되고 있으며 CMOS 이미지 센서 모듈 생산에 TSV 기술이 이미 적용되고 있다. 본 고에서는 3D IC를 위한 TSV 및 적층 요소 기술을 소개하고 이를 통해 개발된 사례와 표준화 동향에 대하여 소개하고자 한다.

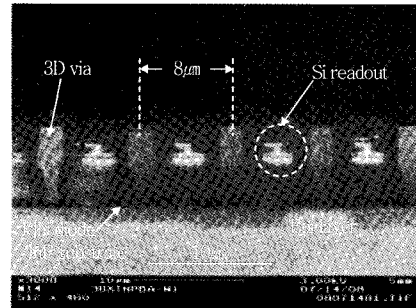
## I. 서론

반도체 집적도는 최근 하이닉스에서 20nm 64Gb 낸드 플래시 개발 뉴스에서 보듯이 반도체 공정의 집적도는 물리적인 한계에 다다르고 있다[1]. 이와 더불어 게이트의 지연시간은 집적도 향상에 따라 줄어들고 있지만 와이어에 의한 배선 지연시간은 오히려 늘어나 전체적인 성능을 떨어뜨리는 현상을 보이고 있다. 예를 들어, 22nm에서 게이트 지연시간은 약 0.5ps 미만이지만 배선 지연시간은 약 2000ps로 대부분의 지연시간이 와이어에 의한 배선에서 발생하고 있음을 알 수 있다. 이러한 배선 지연시간이 게이트 지연시간보다 늘어나는 것은 90nm 공정에서부터 발생한다. 이러한 배선 지연시간을 줄이기 위해 필요한 것은 배선과 관련된 전기적 기생 성분을 줄이는 기술로 가장 대표적인 기술이 TSV 기술이다. TSV 기술은 본딩 와이어나 플립 칩 기술에 비해 가장 짧은 전기적 배선을 제공하므로 전기적 성능 향상에 가장 효과적인 해답을 제공해주는 것으로 최근 주목을 받고 있는 것이다.

TSV 기술이 필요한 이유를 명확하게 설명하는 사례는 CIS 센서 및 스마트폰으로 대표되는 휴대 전화 시장이다. CIS와 스마트폰에서 부품에 가장 중요하게 요구되는 특성은 휴대성 향상을 위한 경박단소이다. 기존의 CIS에서는 이미지 센서와 드라이버 칩을 2차원으로 배열하여 본딩 와이어와 배선으로 연결하며 큰 면적을 차지하였으나, 이미지 센서 칩에 TSV 기술을 이용한 삼차원 배선을 도입하므로 배선을 이미지 센서 크기 내에서 연결시키므로 초소형의 CIS를 만들 수 있게 되었다[2]. (그림 1)은 Toshiba사에서 개발한 CIS 모듈을 보여준다. 스마트폰에서도 이종의 IC를 하나의 패키지에 집적하는 SiP가 수십 여 개 사용되고 있다. 아직까지는 플립 칩 기술을 이용하



(그림 1) CIS 모듈[2]



(그림 2) Pin Diode에 집적된 Si Readout 칩[3]

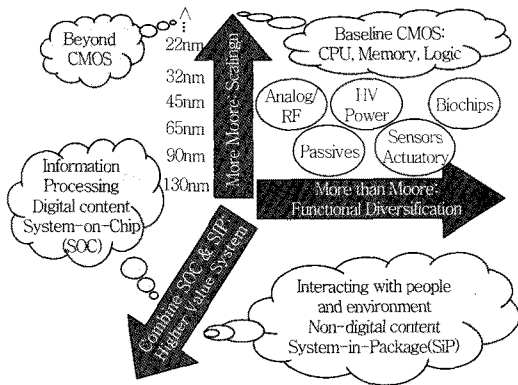
거나 본딩 와이어를 이용하여 삼차원적으로 집적도를 높인 수준이지만 이 경우 면적을 줄이는 데 한계가 있어 TSV 기술이 적용된 SiP가 사용될 것으로 보인다.

마지막으로 소재나 공정이 다른 칩을 삼차원으로 적층하여 성능이 우수하고 크기가 작은 시스템을 만들 수 있다는 것이 TSV가 필요한 이유들 중의 하나이다. MIT Lincoln 실험실에서는 (그림 2)에서 보는 바와 같이 InGaAs/InP PIN photodiode array를 Si CMOS readout 회로와 wafer bonding 기술을 이용하여 삼차원적으로 적층한 기술을 선보였다[3]. TSV 기술을 이용하지 않고서는 InGaAs/InP와 Si 같이 소재와 공정이 다른 칩을 연결하고 여기에 array와 같이 많은 IO를 연결해야 하는 칩들을 집적한다는 것은 불가능하다고 할 수 있다.

(그림 3)은 ITRS 로드맵에서 발표된 것으로, CMOS scaling 넘어서는 SiP 기술이 지향하는 바를

도식적으로 나타내고 있다. TSV 기술은 SiP 기술 중 가장 기술적으로 앞서 있는 기술로서, 물리적인 한계에 부딪히고 있는 반도체 집적도 향상, CMOS 집적 기술과의 상호 보완을 통한 고부가가치의 시스템 개발, 그리고 디지털, 아날로그/RF, 수동소자, 전력소자, 센서/액추에이터, 바이오칩을 하나의 패키지에 집적화할 수 있어 무어의 법칙을 뛰어넘는 융합 기술의 총아라고 할 수 있다.

이러한 TSV를 이용한 3D IC를 구현하려고 하면



(그림 3) CMOS Scaling을 넘어서는 SiP 기술[4]

TSV와 관련된 기술뿐만 아니라 적층에 필요한 소재 및 기술을 개발하여야 한다. 본 고에서는 3D IC 구현에 필요한 TSV 및 적층 요소 기술과 관련된 표준화 동향과 개발된 사례에 대하여 소개하고자 한다.

## II. 3D IC를 위한 TSV 및 적층 요소 기술

TSV를 이용한 3D IC 공정 기술은 TSV 형성을 언제 하느냐에 따라 크게 세 가지—via first, via middle, via last—로 분류할 수 있다. (그림 4)에서 보는 바와 같이 via first는 via를 형성하고 난 이후에 소자를 제작한다. Via first에서는 TSV를 채우기 위해 도핑된 poly silicon을 사용하는데 이는 후속 공정과의 열적 재료적 호환성을 확보하기 위함이다. 그런데, 도핑된 poly silicon의 비전도도가 금속에 비해 높다는 것이 단점이다. Via middle은 소자를 제작한 뒤 TSV를 형성하고 이를 채운 이후 BEOL 공정을 진행한다. Via middle의 경우 텅스텐이나 구리를 이용하여 TSV를 채운다. 텅스텐의 경우 내부 응력 문제로 증

Process Flow	Step 1	Step 2	Step 3	Step 4	Step 5	
Via First	TSV(Etch)	TSV(Depo. Metal.)	FEOL 900C	BEOL 400C	Thinning	BGT De-Bond
Via Mid	FEOL 900C	TSV(Etch)	TSV(Depo. Metal.)	BEOL 400C	Thinning	BGT De-Bond
Via Last Front Side TSV	FEOL 900C	BEOL 400C	TSV(Etch)	TSV(Depo. Metal.)	Thinning	BGT De-Bond
Via Last Back Side TSV	FEOL 900C	BEOL 400C	Thinning	TSV(Etch)	TSV(Etch Depo. Me.)	Temp. De-Bond
After Bonding	Bonding	Thinning	TSV(Etch)	TSV(Depo. Metal.)	BEOL 400C	NA

(그림 4) TSV를 이용한 3D IC 공정 기술[5]

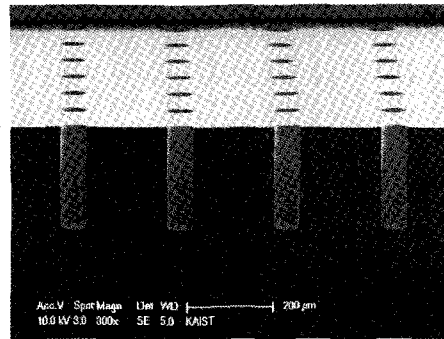
착 두께의 제한이 있어서 TSV의 aspect ratio에 제약이 있다. Via last는 소자 제작이 완료된 이후 TSV 공정을 진행한다.

Via first, via middle 공정의 장점은 TSV의 직경이 작아 라우팅의 자유도가 높다는 것이고 via last 공정은 소자가 완성된 이후에 TSV 공정이 진행되므로 TSV 공정이 없는 파운더리에서도 제작이 가능하다는 것이 장점이다. 실질적으로 어느 접근 방법이 유리한가는 3D IC 소자를 개발 혹은 생산하는 곳의 제반 여건에 따라 달라진다고 볼 수 있다. 웨이퍼에 TSV가 들어가면 칩의 면적이 그에 따라 증가하므로 오히려 배선 길이가 증가하는 경우가 있으므로 TSV에 의해 배선 길이가 증가하는지 그렇지 않은지를 면밀히 살펴야 한다. (그림 5)는 평균 배선 길이와 TSV 수와의 관계를 나타낸 것이다[6]. 적층되는 칩 수와 게이트 수에 따라 다르지만, TSV가 있다고 해서 배선의 수가 줄어들어 관련된 기생성분을 줄일 수 있는 것이 아니다. 최적의 TSV 수가 존재하므로 여러 가지 TSV 분포와 수를 검토하여 배선 길이를 줄이는 최적의 설계를 확보해야 한다. 아직까지 이를 해결할 수 있는 설계 프로그램은 개발되지 않은 상태이다. 마지막으로, 웨이퍼의 수율 문제와 TSV 공정의 수율 문제가 중요하다. 이는 공정을 진행하면서 발생하는 불량 문제에

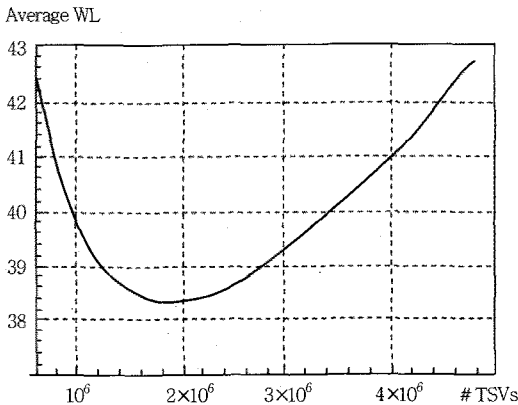
대해 칩 제조 공정에서 발생하는 문제인지 TSV 공정에서 발생한 문제인지 규명하는 것이 쉽지 않을 것으로 예측되기 때문이다.

### 1. TSV 형성 기술

TSV를 형성하는 기술로는 Bosch 공정으로 알려진 DRIE 공정과 UV 레이저를 이용하는 기술이 있다. Bosch 공정은 플라즈마 에칭 기술로서 SF<sub>6</sub>를 사용하여 실리콘을 에칭시키고, CF<sub>2</sub> 막으로 via의 측면을 보호하여(passivation) 이방성 에칭(anisotropic etching)을 하는 방법이다. 두 기술 모두 직경 1μm 미만의 TSV를 형성할 수 있으며 공정 조건을 조절하여 비아 벽면의 거칠기를 조절하여야 한다. (그림 6)은 Bosch 공정을 통해 형성된 TSV의 단면을 보여준다.



(그림 6) Boshe 공정으로 형성된 TSV 단면

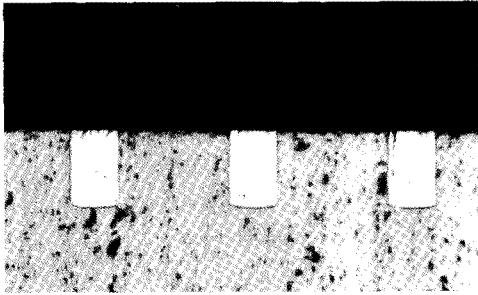


(그림 5) 평균 배선 길이와 TSV 수와의 관계[6]

### 2. 유전층/확산방지층/접착층 형성 및 구리 전기 도금 기술

SiO<sub>2</sub>층은 전기적으로 비아를 채우는 물질과 전기적으로 절연시키기 위해 유전층으로 사용된다. 1μm 미만의 두께로 형성되기 때문에 커패시턴스가 커서 이로 인한 전기적 손실을 초래한다. 주로 TEOS가 사용된다.

일반적으로 사용되는 전기도금 구리가 사용될 경



(그림 7) 구리가 충전된 TSV 단면

우 구리가 실리콘으로 확산되지 않도록 하는 것이 중요하다. 구리 비아의 경우 Ti, TiN, Ta, TaN이나 이들의 조합을 확산방지층과 접착층으로 일반적으로 사용하고, 여기에 구리 도금을 위한 씨앗층(seed layer)을 스퍼터링 공정으로 형성한다. TiN이나 TaN을 선호하는데 이는 migration에 대한 저항성이 크기 때문이다. 비아의 종횡비(aspect ratio)가 클 경우에는 TiN층과 구리 씨앗층을 MOCVD로 증착하기도 한다.

구리는 주로 전기 도금 기술로 씨앗층 위에 채워진다. TSV를 채우는 구리 안에 void를 제거하기 위해 일반적으로 reverse pulse plating 기술이 적용된다. 역방향의 전류가 흐를 때 두껍게 형성된 구리가 제거되어 일정한 두께가 유지되는 데 도움이 되고 펄스로 전류가 공급되어 신선한 도금 액이 공급되도록 하는 것이 핵심 기술이다. 일정한 구리 충진을 위해 비아 아래쪽으로부터 구리가 충전되도록 하는 bottom-up 공정이 적용되기도 한다. (그림 7)은 직경 약 50 $\mu$ m의 깊이로 형성된 TSV에 유전층, 확산방지층을 형성한 다음 구리로 채운 웨이퍼의 단면을 보여준다.

TSV 공정에서 가장 시간이 많이 걸리고 비싼 공정이 바로 구리 전기도금 공정이다. 이를 줄이기 위한 많은 연구가 진행되고 있으며 구리 대신에 일본의 NEC 경우에는 니켈을 사용하기도 하고 Toshiba사의 CIS 모듈에서는 수지를 이용하여 TSV

를 채우기도 한다.

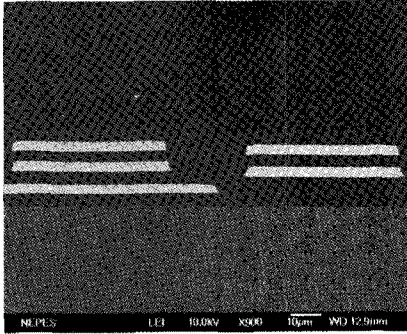
### 3. 웨이퍼 접합 및 Thinning 공정 기술

비아를 형성하기 위해서나 비아가 형성된 웨이퍼를 얇게 하기 위해서거나 thinning 공정이나 적층을 위한 공정이 수행되어야 하며 이를 위해 웨이퍼를 일시적으로 carrier wafer에 접합시킨 후에 공정을 진행하고 그 다음 다시 웨이퍼를 carrier wafer에서 떼어내는 공정이 필요하다. 실질적으로 가장 중요한 공정으로 웨이퍼의 수율을 결정하는 공정 중의 하나이다. 이는 웨이퍼에 실리콘이 아닌 이종 물질로 채워져 있는 비아가 있기 때문에 외부의 기계적인 충격에 매우 취약한 구조를 가지고 있기 때문이다.

Thinning 공정은 두 가지 단계로-back grinding 공정과 CMP 공정-이루어진다. Back grinding 공정은 웨이퍼에 일반적으로 5~10 $\mu$ m 두께의 물리적인 손상을 주기 때문에 CMP 공정을 통해 혹은 플라즈마 건식 에칭이나 습식 에칭을 통해 손상된 부분이나 표면 거칠기를 제거해야 한다. CMP 공정은 일반적으로 pH 10에서 0.3 $\mu$ m 실리카 슬러리로 수행된다.

### 4. 재배열 기술삼차원 적층 공정 기술

재배열 기술(redistribution) 기술은 삼차원 적층에 필요한 IO의 위치가 동일하지 않거나 실리콘 인터포저(Si interposer) 위에 접합할 때와 같이 IO의 위치를 변경해야 할 경우 적층을 위한 칩이나 실리콘 인터포저 위에 유전체층과 금속 배선층을 여러 층 형성하고 적층을 위한 패드와 뱀프를 형성하거나 UBM을 형성하는 것으로 완성된다. 현재까지 일반적인 유전체는 BCB 등과 같은 고분자이다. (그림 8)은 웨이퍼 위에 형성된 재배열층을 보여준다.

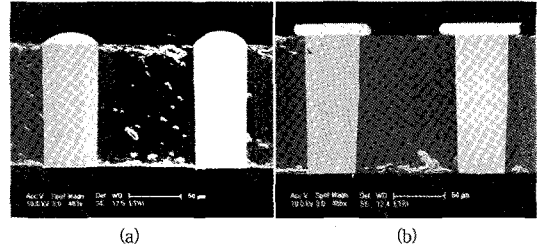


(그림 8) 웨이퍼 위에 형성된 재배열층

### 5. 삼차원 적층 공정 기술

삼차원 적층 공정은 웨이퍼에 웨이퍼를 적층하는 기술과 웨이퍼에 칩을 적층하는 기술, 그리고 칩에 칩을 적층하는 기술로 구분할 수 있다. 웨이퍼에 웨이퍼를 적층하는 기술은 메모리와 같이 칩의 크기가 같고 수율이 높을 경우 생산량이 높다는 장점이 있어서 적용 가능하며 웨이퍼 표면 관리가 매우 중요하다. 웨이퍼에 칩을 적층하거나, 칩에 칩을 적층하는 기술은 good die만을 붙이기 때문에 수율이 높고 칩의 종류나 크기, 소재 등에 구애를 받지 않지만 생산량이 떨어진다 단점이 있다. 현재까지 가장 일반적인 접근 방법은 웨이퍼에 칩을 적층하는 C2W 적층 공정이 가장 일반적인 기술이다.

삼차원 적층에 있어 접합에 사용되는 기구는 산화막을 이용하는 방법, 금속의 확산을 이용하는 방법, 금속간 화합물을 이용하는 방법, 폴리머 접착제를 이용하는 방법, 범프를 이용하는 방법이 있고 마지막으로 위 방법들을 조합하여 적용하는 방법이 있다. 이들 접합 기구들은 삼차원 적층 기술에 따라 선택적으로 적용된다. 이중 C2W 혹은 C2C 적층 공정에 적용되는 것은 전통적으로 사용되어 온 솔더나 금속간 화합물을 이용한 방법이 많이 사용된다. 이는 공정 기구가 충분이 이해되었고 접합에 요구되는 온도와 압력이



(그림 9) SBM을 이용하여 TSV 칩 위에 형성된 솔더 범프 (a)와 Coining 공정 이후 균일한 솔더 범프(b)[8]

상대적으로 크지 않아 일반적인 플립 칩 본딩 기술로도 쉽게 구현이 가능하기 때문이다. 범프로 사용되는 소재로는 금, 구리, 솔더 등이 사용되고 범프 형성 공정으로는 evaporation, 전기 도금, 무전해 도금, stud bumping, solder jet, screen printing, solder ball을 이용하는 방법 등 여러 가지 방법이 범프 소재에 따라 사용된다. 형성 방법에 따라 비용, 미세 피치 대응 가능성, 부산물 발생, 수율 등이 달라진다.

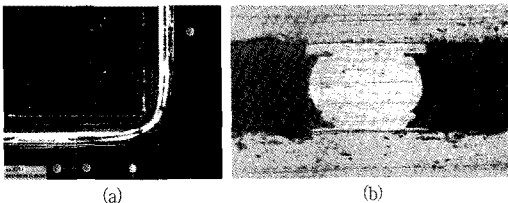
한국전자통신연구원에서는 솔더와 수지로 이루어진 SBM를 이용한 저렴한 비용으로 마스크 없이 구리로 충전된 TSV 위에 범프를 형성할 수 있는 기술을 개발하였다[7]. 솔더와 구리 표면에 있는 산화막을 플럭스 없이 제거하여 솔더 파우더들이 고온에서 녹아 구리 위에 젖어 범프를 형성하는 기구로 범프가 형성된다. 범프의 높이 차이가 다소 있어 범프를 형성한 이후 coining 공정을 통하여 범프를 일정하게 유지시킨다. (그림 9)는 구리가 충전된 TSV 칩 위에 SBM을 이용하여 솔더 범프를 형성한 것과 coining 공정 이후 균일한 솔더 범프를 보여준다. 코이닝 공정 이후에 솔더 범프 중의 일부가 TSV 영역을 벗어나 실리콘 위에 퍼지는데 실리콘 상에는 절연막이 형성되어 있으므로 누설 전류를 막을 수 있다. 이와 같은 공정을 통해서 균일도 =  $[(\text{Max}-\text{Min})/(\text{Max}+\text{Min})] \times 100\%$ 로 정의된 균일도가 30.8%에서 3.7%로 증가되었으며 적층을 위한 저비용 범프 형성 기술을 확보하였다[8].

## 6. 언더 필 소재 및 공정 기술

언더 필(underfill)은 일반적인 플립 칩 공정에서 사용돼 온 소재로 실리콘과 기판과의 열팽창계수 차이로 인해 솔더 범프에 가해지는 열 응력을 분산시켜 범프의 기계적 신뢰성을 증가시키는, 실리콘 칩과 기판 사이에 도포되는 폴리머 소재이고 물성을 조절하기 위해 필러가 포함되어 있다. 최근에는 휴대폰 등에서 요구하는 drop reliability 강화를 위해 언더 필의 물성이 최적화되고 있다.

실리콘 칩이 삼차원으로 적층되어 있는 경우에는 열 팽창 계수가 모두 같기 때문에 열 팽창 계수 차이로 인한 열 응력이 발생하지 않으나 PCB에 실장이 될 경우 열 팽창 계수 차이가 발생하여 반드시 언더 필 공정을 수행하여야 한다. 일반적인 언더 필 공정은 플립 칩 공정에서 발생한 플럭스 잔유물을 세척한 이후 언더 필에 void를 없애기 위해 플라즈마 공정을 통해 기판과 칩 표면을 활성화시킨 다음 언더 필을 도포하여 경화시키는 단계를 거친다. 그렇지만, 3D IC에서는 칩 사이의 간격이  $10\mu\text{m}$  미만이라서 언더 필을 void 없이 도포하는 것이 매우 어렵다.

한국전자통신연구원에서는 플립 칩 본딩 공정과 언더 필 공정을 한번에 수행하므로 세척 공정, 플라즈마 공정 등의 복잡한 공정을 없애는 플렉싱 언더 필 소재를 개발하였다. 더욱이 electrochemical migration을 유발하는 할로젠이 없는 친환경 소재여서 의미가 더욱 크다. (그림 10)은 플렉싱 언더 필을 실



(그림 10) 플렉싱 언더 필 소재로 C2W 접합 후 형성된 언더 필 필렛(a)과 플렉싱 언더필로 금속 기판에 젖은 솔더 범프(b)

리콘 인터포저 상에 플렉싱 언더 필을 도포하고 칩을 실장한 다음 열 압착 공정을 통해 C2W 접합 공정과 언더필 공정을 한번에 실시한 이후의 모습이다. 언더 필에 필렛(fillet)이 잘 형성되었고 솔더 범프가 칩 상의 금속 기판에 잘 젖어 있는 모습을 볼 수 있다. 이는 플렉싱 언더 필이 금속 기판과 솔더 볼의 산화막을 성공적으로 제거하여 플럭스의 기능을 충실히 이행하였다는 것을 보여준다. 기존의 이와 비슷한 용도의 no-flow underfill 소재와의 차이점은 no-flow underfill 소재는 플럭스를 포함하고 있어 공정 중에 30% 이상이 기화되므로 언더 필 내에 다량의 void가 형성되는 것을 막을 수가 없었다. 그렇지만, 플렉싱 언더 필은 플럭스를 사용하지 않고 환원제를 사용하여 열 압착 공정 중의 무게 감소가 5% 미만이라서 공정 최적화를 통해 void 형성을 막을 수 있다.

## III. 3D IC 표준화 동향 및 개발 사례

3D IC와 관련하여 전세계적으로 통일된 표준화 동향은 아직까지 시도되고 있지 않다. 이는 기술과 적용되는 분야가 다양하여 연구소, 회사별로 입장이 서로 다르기 때문이고 무엇보다 아직까지 표준화를 논의할 만한 크기의 시장이 형성되지 않았기 때문이라고 생각된다. 그럼에도 불구하고 향후 high-end 부품에서부터 점차적으로 폭발적인 시장 성장이 예상되어 미국을 중심으로 한 산업계에서 주도적으로 표준화 논의가 진행되고 있다.

먼저, 3D IC 표준화 활동을 활발하게 주도하는 것은 EDA 업체와 팹 리스 반도체 업체이다. 미국의 Silicon Integration Initiative 협회와 Global Semiconductor Association은 매년 워크숍을 가지고 3D IC와 관련된 여러 가지 주제를 논의하고 있다. 아직까지는 3D 설계와 제조와, 관련된 설계에 있어서 인

터페이스를 정의하고, 참여 업체를 강화하고, 다른 표준과의 연계성을 조사하며, 학교 및 다른 기업체와의 공조를 논의하는 단계이다.

또 하나 3D IC 관련하여 적극적인 활동을 보이는 곳은 3D-IC alliance이다. Tezzaron사와 Ziptronix사가 설립한 것으로 구체적인 표준화 활동으로 메모리를 삼차원 공정으로 적층할 때 인터페이스에 대한 Intimate Memory Interface Specification이라는 표준화 문서를 발행하였다. 이 표준은 시스템의 핀에 대한 정의, 핀의 위치, 순서를 폭 넓게 정의하여 광범위한 분야에 적용 가능하게 한 것이 특징이며 동시에 적층 공정을 위한 표면 처리에 관한 사양도 포함하고 있지만, 전기적인 사양과 같은 것은 포함되어 있지 않다. 이는 소자와 시스템에 따라 너무나도 다양한 사양이 존재하기 때문이다. 위와 같은 것은 3D IC의 표준을 제정하는 데 있어 어려움을 시사한다고 할 수 있다.

마지막으로 JEDEC 활동의 결과를 소개하면 아래와 같다. JEDEC에서는 아직까지 공식적으로 3D IC 관련 표준화 활동을 진행하고 있지 않다. 다만, 보고

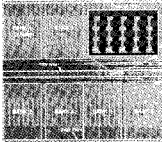
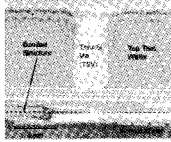



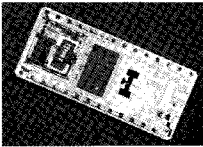
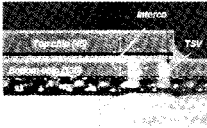
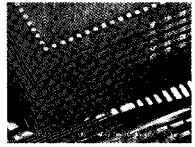
서를-3D chip stack with through-silicon vias: identifying, evaluating and understanding reliability, JEP158-출판하였다. 이것은 용어 정의와 신뢰성 등 기술의 대략적인 소개에 그치고 있는 정도의 내용으로 본격적인 표준화 활동에는 아직 시일이 더 필요할 것으로 예상된다.

<표 1>은 TSV 기술이 적용된 개발 사례이다. 앞서 설명한 바와 같이 메모리, 프로세서와 메모리, 이미지 센서, MEMS 센서, activity monitor, set top box 응용을 위해 TSV 기술을 이용하여 다양한 부품이 개발되고 있다.

#### IV. 결론

3D IC를 위한 TSV 및 적층 요소 기술을 소개하고 이를 통해 개발된 사례와 표준화 동향에 대하여 소개하였다. 배선길이 감소를 통한 전기적 특성 향상, 이중 소자 적층을 통한 다기능 구현, 휴대기기를 위한 경박단소 부품의 구현 등의 장점을 가지고 있는 TSV 기술을 위한 3D IC 적층기술은 디지털 칩, 아날로그/

<표 1> TSV 기술이 적용된 개발 사례

연구소/업체명	Samsung	Intel	ASTRI	Kyusyu Univ. Fukuoka IST
TSV 적용 제품				
용도	DDR3 DRAM[9]	MOSFET and SRAM[10]	Memory and Logic[11]	Image Sensor[12]
연구소/업체명	Infineon Fraunhofer IZM	Philips IMEC	Leti	Elpida NEC
TSV 적용 제품				
용도	TPMS[13]	Activity Monitor[13]	Set Top Box[13]	4Gb DRAM[12]



RF, 수동소자, 전력소자, 센서/액추에이터, 바이오칩을 하나의 패키지 안에 통합할 수 있어 융합 기술의 대표적인 핵심 기술이라고 할 수 있다. 이를 통해 차세대 휴대기기, 에너지, 의료/건강, 보안/안전, 통신과 같은 다양한 분야에 사용될 수 있을 것으로 예상된다.

● 용 어 해 설 ●

SiP(System-in-Package): 하나의 단위로 패키징하여 시스템이나 서브 시스템과 연관된 다기능을 수행하도록 한, 서로 다른 기능의 능동 전자 부품들의 조합

JEDEC(Joint Electron Device Engineering Council): 미국 전자 공업 협회(EDA)의 하부 조직으로 제조업체와 사용자 단체가 합동으로 접적 회로 등 전자 장치의 통일 규격을 심의, 제정하는 기구. 여기에서 제정되는 규격이 국제 표준이 되므로 JEDEC은 사실상 이 분야의 국제 표준화 기구로 통합

약어 정리

BCB	Benzo-Cyclo-Butene
BEOL	Back End Of Line
C2C	Chip-to-Chip
C2W	Chip-to-Wafer
CIS	CMOS Image Sensor
CMP	Chemical Mechanical Polishing
DRIE	Deep Reactive Ion Etching
EDA	Electronic Design Automation
MCM	Multi-Chip Module
PCB	Printed Circuit Board
SBM	Solder Bump Maker
SiP	System-in-Package
TEOS	tetraethylorthosilicate
TSV	Through Silicon Via
UBM	Under Bump Metallization

참고 문헌

- [1] 전자신문 2010. 2. 10.
- [2] www.i-mocronews.com
- [3] C.L. Chen et al., "Wafer-Scale 3D Integration of InGaAs Image Sensors with Si Readout Circuits," *IEEE Int'l Conf. 3D System Integration*, 2009.
- [4] International Technology Roadmap for Semiconductors, Assembly and Packaging, 2009.
- [5] M. Yamaguchi, "3D Project," *SETATECH Symp.*, 2009.
- [6] D.H. Kim et al., "TSV-aware Interconnect Length and Power Prediction for 3D Stacked ICs," *IEEE Int'l Interconnect Technology Conf.*, 2009, pp.26-28.
- [7] K.-S. Choi et al., "Novel Maskless Bumping for 3D Integration," *ETRI J.*, Vol.32, No.2, 2010, pp.342-344.
- [8] Ki-Jun Sung et al., "Solder Bump Maker with Coining Process on TSV Chips for 3D Package," *Int'l Conf. Electronic Packaging Technology and High Density Packaging*, 2010, pp.185-189.
- [9] U. Kang et al., "8Gb 3D DDR3 DRAM Using Through-Silicon-Via Technology," *ISSCC 2009*, pp.130-131.
- [10] P.R. Morrow et al., "Three-Dimensional Wafer Stacking Via Cu-Cu Bonding Integrated With 65-nm Strained-Si/Low-k CMOS Technology," *IEEE Electron Device Letters*, Vol.27, No.5, May 2006, pp.335-337.
- [11] D. Shi, "Key Through-Silicon-Via(TSV) Enabling Technologies for Flash Memory and CMOS Image Sensor Applications," Plenary Keynote, ICEPT-HDP 2010.
- [12] D. Sei-ichi, "Die with TSV Packaging from Japan," ICEPT-HDP 2010.
- [13] E. Beyne et al., "European R&D Activities for 3D Integrated Heterogeneous Systems," *IEEE 3D System Integration Conference 2009*.