

논문 2010-47SD-9-4

## 실리콘 나노와이어 MOSFET의 고주파 모델링

## (RF Modeling of Silicon Nanowire MOSFETs)

강인만\*

(In Man Kang)

## 요약

본 논문에서는 30 nm 채널 길이와 5 nm의 채널 반지름을 갖는 실리콘 기반의 나노와이어 MOSFET의 고주파 모델링을 다루고 있다. 3차원 소자 시뮬레이션을 이용하여 실리콘 나노와이어 MOSFET의 Y-parameter와 Z-parameter를 100 GHz까지 확보하였으며 이를 이용하여 모델 파라미터에 필요한 수식을 구하였다. 모델과 파라미터 추출 수식을 이용하여 회로 검증용 tool인 HSPICE에 의하여 검증이 이루어졌으며 quasi-static 기반의 고주파 모델이 100 GHz의 높은 주파수까지도 소자의 특성을 정확히 예측함을 확인하였다. 모델 검증은 MOSFET의 포화 영역 ( $V_{gs} = V_{ds} = 1$  V)과 선형 영역 ( $V_{gs} = 1$  V,  $V_{ds} = 0.5$  V)의 바이어스 조건에서 이루어졌으며 두 바이어스 조건에서의 Y-parameter에 대한 모델의 오차는 약 1%로 매우 작은 값을 보여 준다.

## Abstract

This paper presents the RF modeling for silicon nanowire MOSFET with 30 nm channel length and 5 nm channel radius. Equations for analytical parameter extraction are derived by analysis of Y-parameter. Accuracies of the new model and extracted parameters have been verified by 3-dimensional device simulation data up to 100 GHz. The model verifications are performed under conditions of saturation region ( $V_{gs} = V_{ds} = 1$  V) and linear region ( $V_{gs} = 1$  V,  $V_{ds} = 0.5$  V). The RMS modeling error of Y-parameters was calculated to be 1%.

**Keywords:** silicon nanowire, MOSFET, model, Y-parameter

## I. 서론

CMOS 소자의 크기가 계속하여 작아지면서 MOSFET의 최대 차단 주파수 (cut-off frequency,  $f_T$ )와 같은 고주파 특성이 계속하여 증가하고 있다<sup>[1~5]</sup>. 그러나 일반적으로 conventional planar MOSFET의 경우 채널 길이의 감소로 인하여 short channel effect가 나타나게 되어 소자의 문턱전압을 정확히 예측하기 어렵거나 전류 구동 능력을 평가하는데 어려움이 있는 것으로 널리 알려져 있다. 이러한 문제를 해결하고 소자의 채널 길이를 지속적으로 감소시켜 집적도를 향상시키기 위하여 새로운 트랜지스터 구조에 대한 연구가 활발히

진행 중이다. 그 중에서 실리콘 나노와이어 (silicon nanowire, SNW) MOSFET은 50 nm 급 이하의 채널 길이를 효과적으로 구현할 소자 구조로서 큰 각광을 받고 있다<sup>[6~8]</sup>. 나노와이어 소자는 게이트 전극이 소자의 채널을 둘러싸고 있어서 게이트 전압에 의한 채널의 제어 능력이 탁월하고 우수한 transconductance ( $g_m$ ) 특성을 보여 준다. 이러한 장점으로 인하여 실리콘 나노와이어 MOSFET은 높은  $f_T$ 를 가질 수 있고 RF 응용에 널리 쓰일 소자 구조의 좋은 후보 중 하나이다. 트랜지스터가 고주파 영역의 집적회로 (RF IC) 설계에 사용된다면 위해서는 소자의 RF 모델링이 정확히 이루어져야 한다. 본 논문에서는 실리콘 나노와이어 MOSFET에 대한 quasi-static 기반의 RF model을 제시하고 ATLAS 3차원 소자 시뮬레이션을 이용하여 구현된 30 nm의 채널 길이를 갖는 소자에 대하여 Y-parameter

\* 정회원, 경북대학교 IT대학 전자공학부  
(School of Electronics Engineering, Kyungpook National University)

접수일자: 2010년6월25일, 수정완료일: 2010년8월17일

분석을 통해 각종 파라미터를 추출하기 위한 방법을 제시하였다. 그리고 100 GHz까지의 고주파 영역에서의 모델의 정확도를 검증하였다.

## II. 본 론

### 1. 소자 구조와 RF 소신호 등가회로 모델

그림 1은 이번 연구에서 사용된 실리콘 나노와이어 MOSFET을 실바코 (Silvaco) 3차원 ATLAS 시뮬레이션 tool을 이용하여 구현한 모습을 보여 준다. 채널과 소스, 드레인이 형성되는 실리콘 body는 그림과 같이 원통형으로 이루어져 있으며 게이트 산화막 및 전극이 채널 부분의 body를 둘러싸고 있다. 게이트 길이는 30 nm, 채널의 반지름은 5 nm이며 따라서 소자의 전체 너비는 31.4 nm 이다. 소스와 드레인의 도핑 농도는  $1 \times 10^{20}$  As atoms/cm<sup>3</sup>으로 설정하였으며 문턱전압 ( $V_{th}$ )는 0.254 V였다. 모델링에 사용된 바이어스 조건  $V_{gs} = V_{ds} = 1$  V 와  $V_{gs} = 1$  V,  $V_{ds} = 0.5$  V에서의 최대 전류 이득 차단 주파수인  $f_T$ 는 각각 545 GHz, 525 GHz였다.

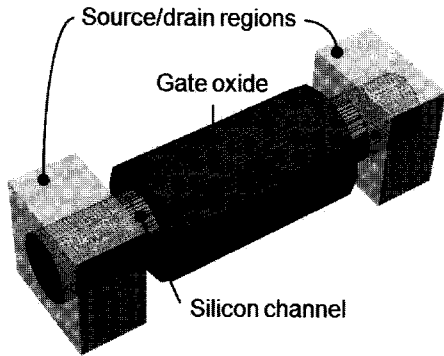


그림 1. 실리콘 나노와이어 MOSFET의 3차원 구조도  
Fig. 1. 3-D structure for SNW MOSFETs.

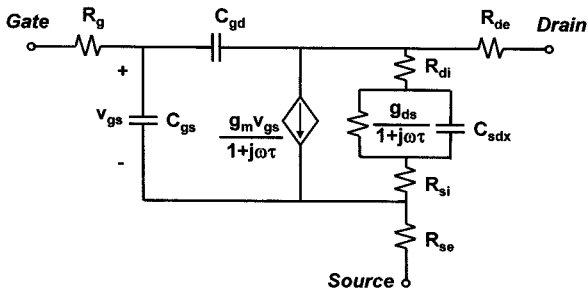


그림 2. 강반전 (strong inversion) 영역에서 동작하는 SNW MOSFET에 대한 소신호 등가회로 모델  
Fig. 2. The small-signal circuit model of the SNW MOSFETs operating in strong inversion region.

그림 2는 실리콘 나노와이어 MOSFET이 강반전 영역 (strong inversion region)에서 동작할 때 유효한 소신호 등가회로 모델을 보여주고 있다. 이 모델은 RF MOSFET에 대한 기존의 모델을 기반으로 구성되었으며 소스, 드레인 저항을 LDD 및 고농도 diffusion 영역의 성분으로 분리시킨 모델로서 실리콘 나노와이어 소자 뿐만 아니라 SOI FinFET 및 substrate 기생 성분을 배제할 경우에 일반적인 MOSFET에도 적용 가능한 모델이다.

$R_g$ 는 게이트 단에서 들여다 볼 때 보이는 유효 게이트 저항 (effective gate resistance)이다.  $C_{gs}$ 와  $C_{gd}$ 는 게이트와 소스, 게이트와 드레인 단 사이에서 소신호 변화에 따른 전하의 변동을 표현하기 위한 capacitance이다.  $g_m$ 은 게이트와 소스 단 사이의 전압 변화에 따라서 드레인 전류의 변화량을 보여주는 transconductance이며,  $g_{ds}$ 는 드레인 전압 변화에 따라서 드레인 전류의 흐름을 표현하기 위한 conductance이다.  $g_m$ 과  $g_{ds}$ 의 계수에 존재하는 시정수 (time constant)  $\tau$ 는 채널에서 전류가 흐를 때, 전하가 동작 주파수에 응답하는데 필요한 지연 시간 (delay time)을 보여준다.  $C_{sdx}$ 는 short channel 소자에서 흔히 보이는 DIBL (drain induced barrier lowering) 효과에 따른 채널 전하의 변화를 모델링하게 된다.  $R_{si}$ 와  $R_{di}$ 는 lightly doped drain (LDD) 등에 의하여 게이트 edge 안으로 확산된 도핑 물질에 의한 소스, 드레인 영역에 의해서 발생하는 저항 성분을 보여 주며,  $R_{sc}$ ,  $R_{de}$ 는 고농도로 도핑된 deep source와 drain 영역에 의한 저항을 보여 준다. Deep 소스, 드

표 1. 포화 영역 ( $V_{gs} = V_{ds} = 1$  V)과 선형 영역 ( $V_{gs} = 1$  V,  $V_{ds} = 0.5$  V)에서 추출된 소신호 파라미터의 값

Table 1. Summary of the extracted parameters.

The intrinsic parameters were extracted at saturation region ( $V_{gs} = V_{ds} = 1$  V) and linear region ( $V_{gs} = 1$  V,  $V_{ds} = 0.5$  V).

	$V_{gs} = V_{ds} = 1$ V	$V_{gs} = 1$ V, $V_{ds} = 0.5$ V
$R_g$	2925.85 $\Omega$	2516.88 $\Omega$
$C_{gd}$	1.49 aF	1.73 aF
$C_{gs}$	9.36 aF	9.18 aF
$g_{ds}$	19.55 $\mu$ S	21.09 $\mu$ S
$g_m$	35.28 $\mu$ S	34.01 $\mu$ S
$C_{sdx}$	0.012 aF	0.003 aF
$R_{se}/R_{de}$	1193.3 $\Omega$	1193.3 $\Omega$
$R_{si}/R_{di}$	310.2 $\Omega$	529.1 $\Omega$
$\tau$	0.113 psec	0.096 psec

레인 영역에 의한 외부 저항 성분인  $R_{se}$ ,  $R_{de}$ 는 소자가 꺼져 있는 turn-off 상태에서 추출이 가능하다. 이 경우는 전류가 흐르지 않아서  $g_m$ 이 사라지며 채널이 형성되지 않아서 채널의 conductance인  $g_{ds}$ 가 0의 값을 가지게 되어 내부 소스, 드레인 저항 성분인  $R_{si}$ ,  $R_{di}$ 가 소자의 특성의 영향을 주지 않게 되어 overlap capacitance와  $R_{se}$ ,  $R_{de}$ 만 남게 되어 추출이 상당히 쉽다.  $R_{si}$ 와  $R_{di}$ 는 참고문헌 [9]에 제시된 방법을 이용하여 추출한 소스, 드레인 저항의 값에서  $R_{se}$ ,  $R_{de}$ 의 값을 제거하여 구하였다.

$R_{se}$ 와  $R_{de}$ 의 값은 1193.3 ohm이었으며, [9]에 의하여 추출된 소스, 드레인 저항은  $V_{gs} = V_{ds} = 1$  V 와  $V_{gs} = 1$  V,  $V_{ds} = 0.5$  V에서 각각 1503.5 ohm, 1722.4 ohm 이었다. 참고 문헌 [9]에 제시된 방법에 의하여 추출된 저항의 값은 소스, 드레인 저항의 내부 성분과 외부 성분을 모두 포함하므로 여기에서  $R_{se}$ 와  $R_{de}$ 의 값을 제거하면 내부 저항 성분인  $R_{si}$ 와  $R_{di}$ 의 값이 추출된다. 이렇게 하여 얻은  $R_{si}$ 와  $R_{di}$ 의 값은 각각의 바이어스 조건에서 310.2 ohm, 529.1 ohm이었다.

## 2. RF model의 파라미터 추출을 위한 수식 유도

제시된 모델을 구성하는 각각의 파라미터들을 추출하기 위해서는 Y-parameter의 해석이 필요하다. 우선 앞서 추출한  $R_{se}$ ,  $R_{de}$ 의 값을 등가회로 상에서 디임베딩한다. 이는 등가회로에 대한 Y-parameter의 해석을 용이하게 하며 소자의 3차원 시뮬레이션으로부터 얻은 Y-parameter에서  $R_{se}$ ,  $R_{de}$ 의 영향을 제거하여 나머지 파라미터에 대한 정확한 추출이 가능하도록 하기 위함이다.  $R_{se}$ 와  $R_{de}$ 의 제거 후에, 나머지 등가회로 모델에 대하여 Y-parameter 해석을 진행하였다. 게이트 단을 port 1, 드레인 단을 port 2로 두고 일반적인 RF 응용에서 common 소스 구조를 사용하므로 소스 단은 접지 (ground)된 상태에서 회로의 해석이 이루어진다. 회로 해석을 통한 Y-parameter 수식의 유도 결과는 다음과 같다.

$$Re(Y_{11}) = \omega^2 R_g (C_{gs} + C_{gd})^2 \quad (1)$$

$$Im(Y_{11}) = \omega (C_{gs} + C_{gd}) \quad (2)$$

$$Re(Y_{12}) = -\omega^2 R_g C_{gd} (C_{gs} + C_{gd})^2 \quad (3)$$

$$Im(Y_{12}) = -\omega C_{gd} \quad (4)$$

$$Re(Y_{21}) = g_m - \omega^2 R_g C_{gd} (C_{gs} + C_{gd})^2 \quad (5)$$

$$Im(Y_{21}) = -\omega C_{gd} - g_m (\tau + R_g (C_{gs} + C_{gd})) \quad (6)$$

$$Re(Y_{22}) = \frac{g_{ds}}{1 + g_{ds} (R_{si} + R_{di})} - \omega^2 R_g C_{gd} (C_{gs} + C_{gd})^2 + \frac{\omega^2 C_{sdx} (R_{si} + R_{di}) (C_{sdx} - \tau g_{ds})}{(1 + g_{ds} (R_{si} + R_{di}))^2} \quad (7)$$

$$Im(Y_{22}) = \omega C_{gd} + \omega \frac{C_{sdx} - \tau g_{ds}}{(1 + g_{ds} (R_{si} + R_{di}))^2} \quad (8)$$

(1)에서 (8)까지 유도된 수식을 조합하여 방정식을 풀면 제안된 소신호 등가회로 내부를 구성하는 intrinsic 파라미터들을 추출할 수 있다. 추출을 위한 수식은 다음과 같다.

$$R_g = \frac{Re(Y_{11})}{Im(Y_{11})^2} \quad (9)$$

$$C_{gd} = -\frac{Im(Y_{12})}{\omega} \quad (10)$$

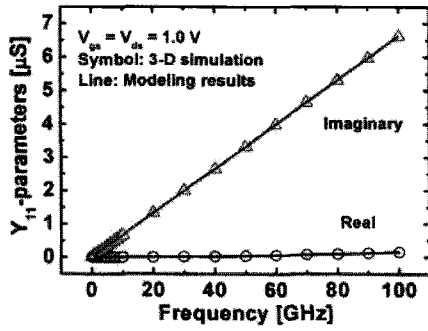
$$C_{gs} = \frac{Im(Y_{11})}{\omega} - C_{gd} \quad (11)$$

$$g_m = Re(Y_{12})|_{\omega^2=0} \quad (12)$$

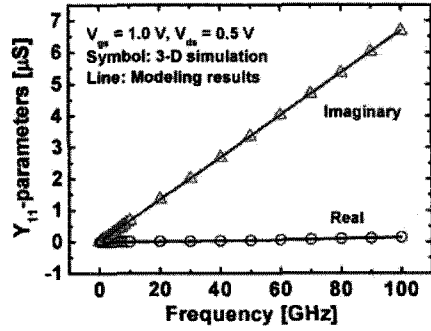
$$\tau = -\frac{1}{g_m} \left( \frac{Im(Y_{21})}{\omega} + C_{gd} \right) \quad (13)$$

$$g_{ds} = \frac{Re(Y_{22})|_{\omega^2=0}}{1 - (R_{si} + R_{di}) Re(Y_{22})|_{\omega^2=0}} \quad (14)$$

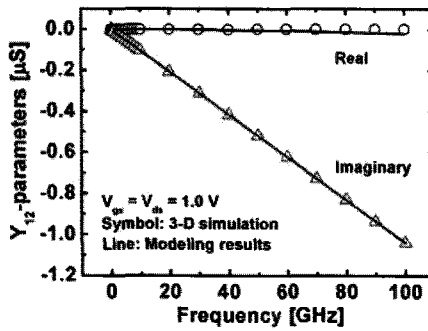
$$C_{sdx} = \tau g_{ds} + (1 + g_{ds} (R_{si} + R_{di}))^2 \times \left( \frac{Im(Y_{22})}{\omega} - C_{gd} \right) \quad (15)$$



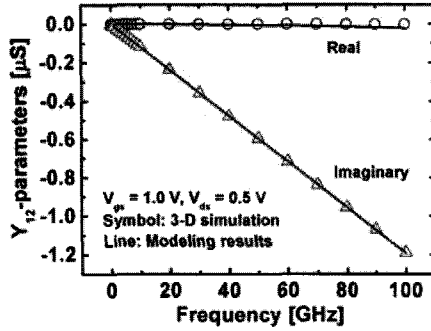
(a)



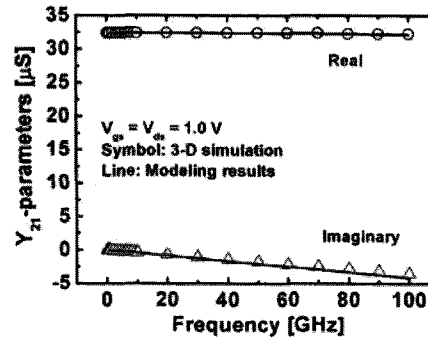
(a)



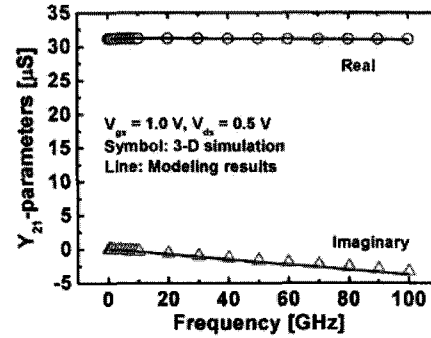
(b)



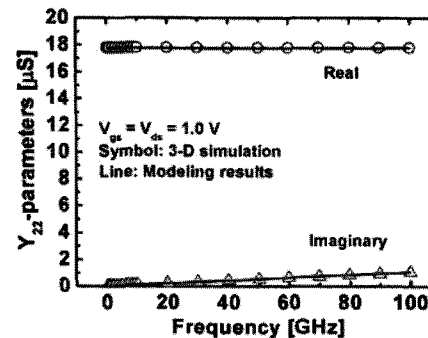
(b)



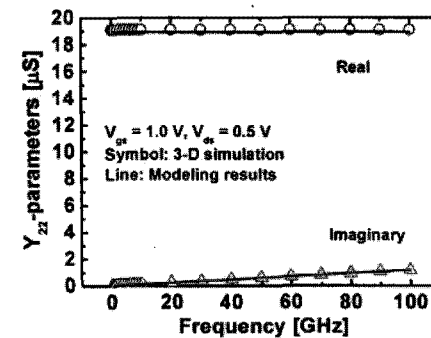
(c)



(c)



(d)



(d)

그림 3. 포화 영역 바이어스 조건인  $V_{gs} = V_{ds} = 1V$ 에서 Y-parameter에 대한 모델 검증 그래프 (a) Y11, (b) Y12, (c) Y21, (d) Y22

Fig. 3. Verification for Y-parameters at  $V_{gs} = V_{ds} = 1V$  (saturation region).

그림 4. 선형 영역 바이어스 조건인  $V_{gs} = 1V, V_{ds} = 0.5V$ 에서 Y-parameter에 대한 모델 검증 그래프 (a) Y11, (b) Y12, (c) Y21, (d) Y22

Fig. 4. Verification for Y-parameters at  $V_{gs} = 1V, V_{ds} = 0.5V$  (linear region).

### 3. 모델 검증

제시된 모델을 구성하는 각각의 파라미터들을 추출하기 위해서는 Y-parameter의 해석이 필요하다. 우선 앞의 식 (9)-(15)와 3차원 시뮬레이션으로부터 얻은 Y-parameter를 이용하여 추출한 소신호 파라미터의 결과를 표 1에 나타내었다. 시뮬레이션에 사용된 바이어스 조건은  $V_{gs} = V_{ds} = 1\text{ V}$ 와  $V_{gs} = 1\text{ V}$ ,  $V_{ds} = 0.5\text{ V}$ 이다. 이렇게 추출된 파라미터를 등가회로에 접목시켜 회로 검증용 tool인 HSPICE를 이용하여 모델 검증을 실시하였다, 그림 3와 4는 3차원 시뮬레이션을 통해 얻은 Y-parameter와 모델 시뮬레이션을 통해 얻은 Y-parameter를 보여 준다. Symbol은 3차원 소자 시뮬레이션 결과이며 실선은 HSPICE에 의해서 시뮬레이션된 모델링 결과를 보여준다. 검은색은 Y-parameter의 real part (실수부)를 의미하고 빨간색은 imaginary part (허수부)를 나타낸다. 검증에 사용된 주파수는 100 GHz까지였다. 그림 3와 4에서 보는 것과 같이 이번 연구에서 제안된 RF model의 경우 100 GHz라는 매우 높은 고주파까지도 소자의 동작 특성을 잘 예측할 수 있다는 것을 확인하였다. 또한 바이어스 조건이 특정 동작 영역에 국한된 것이 아니라 포화 영역과 선형 영역 모두에서 매우 정확한 모델링 결과를 확인하여 강반전 영역 전반에 사용 가능한 모델임을 입증하였다. RMS (root-mean-square) 수식을 이용하여 모델의 오차를 구한 결과, 약 1%의 모델 오차로서 무시할 수 있을만한 매우 작은 오차였고 모델의 정확도가 매우 높다는 것을 확인할 수 있었다.

### III. 결 론

이번 논문에서는 short channel effect를 개선하고 뛰어난 게이트의 채널 제어 능력으로 우수한 고주파 특성을 보일 것으로 기대되는 실리콘 나노와이어 MOSFET에 대한 RF model을 제시하고 검증 과정을 진행하였다. Y-parameter에 대한 analytical한 회로 분석을 통하여 등가회로 모델을 구성하는 각각의 파라미터를 추출할 수 있는 방법을 제시하였으며 3차원 소자 시뮬레이션으로 구현된 실리콘 나노와이어 MOSFET의 Y-parameter에 대하여 100 GHz까지의 주파수에 대하여 검증을 실시하였다. 검증 결과, 모델의 오차는 1%정도의 매우 작은 값을 보였으며 향후 고주파 집적회로 (RF IC)를 설계할 때, 실리콘 나노와이어 MOSFET의 활용 가능성을 보여준 것으로 판단된다.

### 참 고 문 헌

- [1] 윤형선, 임수, 안정호, 이희덕, "RFIC를 위한 Nano-scale MOSFET의 Effective gate resistance 특성 분석", 대한전자공학회논문지 제 41 권 SD 편 11 호 pp. 1-6, 2004.
- [2] 이병진, 박성욱, 엄우용, "SOI FinFET's의 소신호 등가 모델과 변수 추출", 대한전자공학회논문지 제 44 권 IE 편 제 2 호 pp. 1-7, 2007.
- [3] N.-K. Tak and J.-H. Lee, "RF Small Signal Modeling of Tri-Gate MOSFETs Implemented on Bulk Si Wafers", *2004 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 266-269, 2004.
- [4] A. A. Breed and K. P. Roenker, "A small-signal, RF simulation study of multiple-gate and silicon-on insulator MOSFET devices", *2004 Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, September 2004, pp. 294-297.
- [5] S. Jin, C. H. Park, I.-Y. Chung, Y. J. Park, and H. S. Min, "NANOCAD Framework for Simulation of Quantum Effects in Nanoscale MOSFET Devices", *Journal of Semiconductor Technology and Science*, March 2006, Vol. 6, No. 1, pp. 1-9.
- [6] Z. Yan, A. H. Majedi, "Experimental Investigations on Nonlinear Properties of Superconducting Nanowire Meanderline in RF and Microwave Frequencies", *IEEE Trans. Appl. Supercond.*, Vol. 19, No. 5, pp. 3722-3729, Oct. 2009.
- [7] J. Song, B. Yu, Y. Yuan, and Y. Taur, "A Review on Compact Modeling of Multiple-Gate MOSFETs," *IEEE Trans. Circuits Syst. Regul. Pap.*, vol.56, no. 8, pp. 1858-1869, Aug. 2009.
- [8] J. Zhunge, R. Wang, R. Huang, X. Zhang, and Y. Wang, "Investigation of Parasitic Effects and Design Optimization in Silicon Nanowire MOSFETs for RF Applications," *IEEE Trans. Electron Devices*, vol.55, no. 8, pp. 2142-2147, Aug. 2008.
- [9] S. Lee and H. K. Yu, "A Semianalytical Parameter Extraction of a SPICE BSIM3v3 for RF MOSFET's Using S-parameters," *IEEE Trans. on Microwave Theory and Techniques*, Vol.48, No. 3, pp. 412-416, 2000.

---

저 자 소 개

---



강 인 만(정회원)-교신저자

2001년 경북대학교 전자전기공학부 학사 졸업.

2007년 서울대학교 전기공학부 박사졸업 (석박사 통합과정).

2007년~2010년 삼성전자 System LSI사업부 책임연구원.

2010년~현재 경북대학교 전자공학부 전임강사.

<주관심분야 : CMOS RF modeling, nano CMOS, passive device modeling>