

# Dynamic Bias Switching을 이용한 3.5 GHz Balanced Power Amplifier의 효율 개선

## Efficiency Enhancement for the 3.5 GHz Balanced Power Amplifier Using Dynamic Bias Switching

서민철 · 김경원 · 김민수 · 김형철 · 전정배 · 양영구

Mincheol Seo · Kyung-Won Kim · Min-Su Kim · Hyung-Chul Kim · Jeongbae Jeon · Youngoo Yang

### 요 약

본 논문에서는 3.5 GHz에 설계된 balanced amplifier에 DBS(Dynamic Bias Switching)를 적용하여 평균 전력에서 효율을 개선하였다. DBS는 입력 신호의 포락선 크기에 따라 전력 증폭기에 두 단계의 드레인 전압을 인가하여 효율을 개선하는 기술로써 balanced amplifier에 DBS를 적용하기 위해서 동일하게 구성된 DBS 회로를 각 단계에 설치하여 실제 제작하였다. 20 MHz 대역폭과 8.5 dB의 PAR(Peak to Average Ratio)을 갖는 OFDM 신호를 사용하여 측정된 결과, 28 V 단일 드레인 전압을 사용했을 때보다 42.5 dBm에서 6 %의 PAE 개선을 나타냈다.

### Abstract

This paper presents an efficiency enhancement for the balanced power amplifier using DBS(Dynamic Bias Switching) method which dynamically provides the power amplifier with two bias voltage levels according to the input envelope signal. In order to apply the dynamic biases to each side of the balanced power amplifier, two switching stages are adopted. Using an OFDM signal with a bandwidth of 20 MHz and a PAR(Peak to Average Ratio) of 8.5 dB, 6 % of PAE(Power-Added Efficiency) is improved at an output power of 42.5 dBm.

Key words : Dynamic Bias Switching, Envelope Tracking, Balanced Amplifier, Orthogonal Frequency-Division Multiplexing

### I. 서 론

현대 무선 통신 시스템에 사용되는 신호들은 주파수 사용 효율을 높임과 동시에 높은 전송률을 얻을 수 있는 선형 변조 방식을 많이 사용한다. 특히, OFDM 방식은 다중 경로를 다루는 효율적인 변조 방식으로써 협대역 간섭에 강하며 전송 용량이 크다는 장점으로 최근 각광을 받고 있다. 이러한 신호는

높은 PAR 특성을 나타내며, 이로 인해 전력증폭기의 최대 출력에서 back-off된 평균 전력에서의 효율이 중요한 성능 지수가 되고 있다<sup>[1][2]</sup>. 이렇게 back-off된 지점에서의 낮아진 효율을 개선하기 위하여 다양한 방법들이 연구되어 왔다. 대표적으로 DPA(Doherty Power Amplifier)나 다양한 bias modulation 방식이 있다. 큰 효율 개선의 가능성이 있는 것으로 알려진 EER(Envelope Elimination and Restoration)이

「이 논문은 2009년 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(2009-0067097).」

성균관대학교 정보통신공학부(School of Information and Communication Engineering, Sungkyunkwan University)

· 논문 번호 : 20100604-01S

· 교신저자 : 양영구(e-mail : yang09@skku.edu)

· 수정완료일자 : 2010년 8월 4일

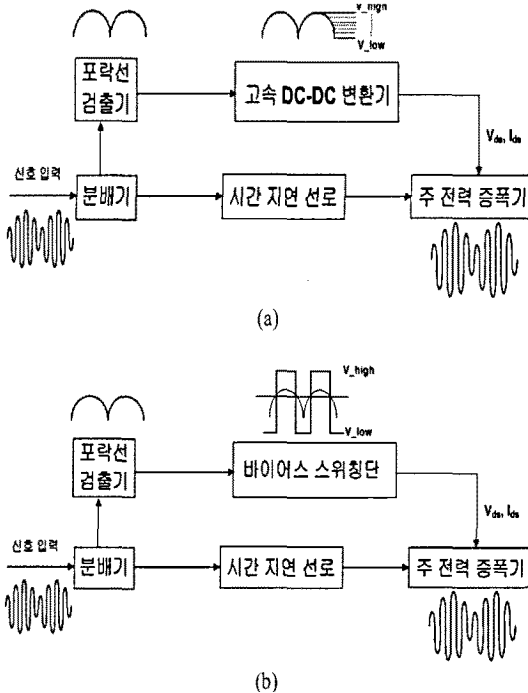


그림 1. (a) ET와 (b) DBS의 간략한 블록도  
Fig. 1. Block diagrams of (a) ET and (b) DBS.

나 ET(Envelope Tracking) 등의 bias modulation 기법을 실제 전력 증폭기에 적용하기 위해서 여러 가지 시도가 진행되고 있다<sup>[6]~[7]</sup>.

Bias modulation의 대표적인 방식인 ET는 이론적으로 전력 증폭기에 적용시 높은 효율을 가진다. 그러나 기저 대역 신호의 넓은 대역폭과 높은 PAR 등의 이유로 전력 증폭기 적용에 많은 제약이 따르고, 또한 낮은 선형성의 특성을 나타내어 추가적인 선형화 기술을 사용해야 하는 단점이 있다<sup>[4],[5]</sup>.

DBS(Dynamic Bias Switching)는 ET와 유사한 동작 원리를 가지는 bias modulation 기술이다. 그러나 ET가 연속되는 드레인 전압을 사용하는데 반해 2단계의 레벨을 갖는 전압을 교차 스위칭 함으로써 전력 증폭기에 DC 전력을 공급해 주는 방법을 사용한다<sup>[6],[7]</sup>.

본 논문에서는 3.5 GHz에 설계된 balanced amplifier에 DBS를 적용하여 평균 전력에서 효율을 개선하였다. 제 2절에서는 DBS의 동작 원리를 ET와 비교하여 설명하고, 이에 대한 설계 내용을 제시하였다. 제 3절에서는 실제 제작된 DBS를 OFDM 신호를

사용하여 검증하고 balanced amplifier에 적용한 실험 결과를 바탕으로 결론을 통하여 연구 결과를 정리하였다.

## II. 이론 및 설계

### 2-1 ET vs. DBS

그림 1은 ET와 DBS의 원리를 알아보기 위한 간략한 블록도이다. ET은 입력 신호가 포락선 검출기를 통해 포락선 신호를 만들고 고속 DC-DC 변환기를 통하여 그 출력이 전력 증폭기의 드레인 또는 콜렉터에 인가되게 된다. 이러한 구조의 단점은 연속된 전압을 인가하기 위해 고속의 DC-DC 변환기가 필수적이라는 것이다. 왜냐하면 DC-DC 변환기에서 처리해야 되는 대역이 포락선 신호의 수십 배 이상이 되어야 완벽한 처리가 가능하기 때문이다. 따라서 넓은 대역폭을 가지는 신호에 적용하기 어렵다.

그러나 DBS는 주 전력 증폭기의 드레인 또는 (콜렉터) 전압을 두 단계의 레벨을 이용하여 포락선의 크기에 따라 교차 스위칭하기 때문에 고속의 DC-DC 변환기가 필요 없게 된다. 고속의 DC-DC 변환기 대신 스위치 회로를 사용하여 매우 빠르게 동작하므로 현대 무선 통신에서 사용하는 넓은 대역의 신호들을 더 쉽게 처리할 수 있다. 그러므로 ET가 가지고 있는 문제점들을 극복할 수 있게 된다. 표 1은 ET와 DBS의 장단점을 분석한 것으로써 넓은 대역의 뿐만 아니라 회로 구성에 있어서도 ET에 비해 더 좋은 장점을 나타내고 있다.

### 2-2 주요 회로 구성

표 1. ET와 DBS의 비교

Table 1. Comparison between ET and DBS.

	ET(Envelope Tracking)	DBS(Dynamic Bias Supply)
바이어스 공급	고속의 DC-DC 변환기	스위칭 회로
드레인 전압	연속적으로 변화하는 전압	두 단계의 전압 레벨 사용
선형성	선형성 열화	선형성 유지
회로 구성	복잡함	상대적으로 간단함

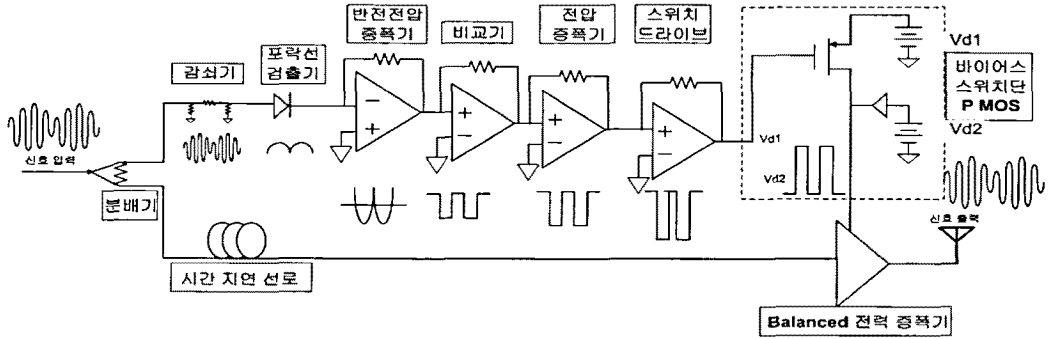


그림 2. 제안된 DBS의 회로 블록도  
Fig. 2. A block diagram of the proposed DBS circuits.

그림 2는 본 논문에서 제안한 DBS 회로의 블록도이다. 입력된 신호는 분배기를 통하여 DBS단과 전력증폭기단으로 나누어진다. DBS에 입력된 신호는 감쇠기를 통하여 DBS의 동작에 적합한 레벨로 신호를 감쇠시킨 후 포락선 검출기를 통하여 포락선 신호를 생성한다. 다음은 반전 전압 증폭기를 통하여 포락선 신호를 반전시켜 준다. 바이어스 스위치의 스위치 소자를 전력 증폭기의 드레인 전압과 전류 레벨을 고려하여 PMOS를 선택하였기 때문이다.

반전된 포락선 신호는 비교기를 통하여 2단계의 전압 레벨로 나타내어지며, 전압 증폭기와 스위치 드라이브를 통하여 바이어스 스위치단의 스위치를 구동할 수 있는 전압 레벨로 증폭시켜 준다. 드라이브된 2단계의 전압 레벨은 바이어스 스위치단의 스위치를 동작시킨다. 그러므로 입력 신호의 포락선 크기의 정보에 따라  $V_{d1}$ 과  $V_{d2}$ 의 2단계의 전압을 교차 스위칭하여 주 전력 증폭기의 드레인에 인가하게 된다. 마지막으로 DBS 회로에 사용된 아날로그 소자들의 시간적 지연을 보상하기 위해서 주 전력 증폭기의 앞단에 시간 지연 선로를 삽입하였다.

본 논문에서 사용된 전력 증폭기의 주 증폭단은 balanced 전력 증폭기로서, 구성된 DBS 회로를 각 단에 설치하였다. 각 단에 DBS를 적용하기 위해서 전압 증폭기의 출력단에서 동일한 2개의 선로를 사용하여 balanced 전력 증폭기의 각 단의 드레인 부분에 구성된 스위치 드라이브와 바이어스 스위치단에 연결하여 구성하였다. 바이어스 스위치단을 동작하기 위한 드라이브 레벨을 고려하였기 때문이다.

그림 3은 본 논문에서 제작된 전력 증폭기의 블록

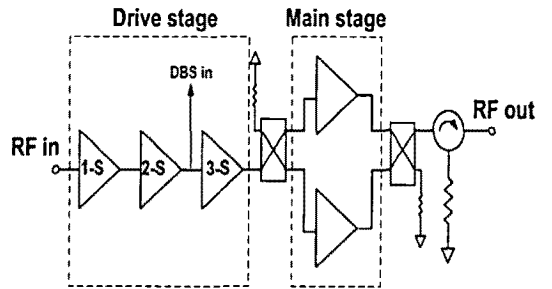


그림 3. 제작한 전력 증폭기의 블록도  
Fig. 3. A block diagram of the implemented power amplifier.

도이다. 3단으로 구성된 드라이브 증폭기와 주 증폭단인 balanced 전력 증폭기로 구성하였다. DSB의 입력은 레벨을 고려하여 두 번째 드라이브의 출력에서 10 dB 커플러를 사용하여 제작하였다.

### III. 제작 및 측정

그림 4는 실제 제작된 전력증폭기와 DBS의 사진이다. 전력 증폭기로는 3단의 드라이브단과 balanced 전력 증폭기의 주 증폭단으로 구성되었다.

표 2와 3은 제작된 전력 증폭기와 DBS에 사용된 소자의 정보를 나타낸다. 주 증폭단의 balanced 전력 증폭기는 75 W급 소자를 사용하여 150 W PEP(Peak Envelope Power)를 갖도록 설계하였다.

DSB의 모든 analog 증폭 단에는 출력 전압의 레벨을 조절을 위해서 가변 저항을 사용하여 설계 및 제작하였으며, 이에 대한 조절을 통하여 원하는 동작을 쉽게 얻을 수 있도록 하였다.

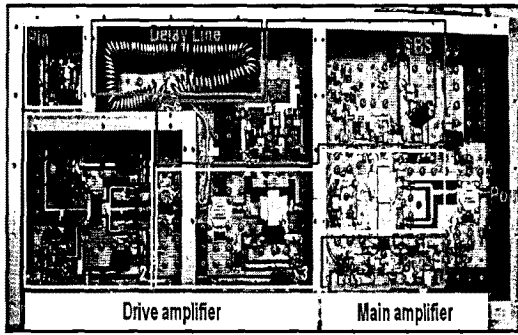


그림 4. 제작한 DBS가 적용된 전력 증폭기 사진  
Fig. 4. A photograph of the implemented balanced power amplifier and DBS.

표 2. 전력 증폭기에 사용된 소자 정보

Table 2. Information of the components in the power amplifier.

	Drive stage			Main stage
	1-stage	2-stage	3-stage	
회사	Freescals			
종류	InGap HBT	LDMOSFET		
소자	MMG 3013N	MW71C 3825NR1	MRF7S 38075HR	MRF7S 38075HR

표 3. DBS에 사용된 소자 정보

Table 3. Information of the components in DBS.

	포락선 검출기	반전전압 증폭기, 비교기, 전압 증폭기	스위치 드라이브	바이어스 스위치단	
				스위치	다이오드
회사	Alpha	Analog Device	Texas Instruments	Fairchild	ON Semiconductor
종류	Schottky diode	OPAMP	OPAMP	P MOS	Schottky diode
소자	SMS 1546-005	AD8007	THS3001	FDS 8962C	MBR 2535 CLT-D

그림 5는 20 MHz의 대역폭과 8.5 dB의 PAR을 갖는 OFDM 신호를 이용하여 DBS 시스템을 측정하는 결과이다. 그림에서 알 수 있듯이 포락선 신호의 크기 정보에 따라 바이어스 스위치단의 두 단계의 전

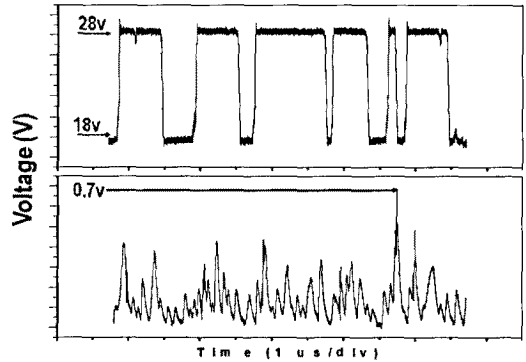


그림 5. OFDM 신호를 이용한 DBS의 측정 결과  
Fig. 5. Measurement results of the DBS for the OFDM signal.

압이 교차 스위칭하는 것을 확인할 수 있다. 사용된 두 단계의 전압은 실험적인 결과를 바탕으로 28 V, 18 V의 전압을 사용하였다.

그림 6은 역시 OFDM 신호를 이용한 측정 결과로서 18 V, 28 V의 단일 드레인 전압과 DBS를 적용한 이득의 측정 결과를 보여준다. 18 V 단일 전압일 때 보다 낮은 전력에서 DBS 적용시 이득이 0.2 dB 정도 떨어지는 결과를 나타내었는데, 이는 사용하는 다이오드에 의한 전압 강하에 의해서 발생하였다. 또한 출력 전력이 증가함에 따라서 18 V의 단일 전압 이득에서 28 V 단일 전압 이득을 따라가는 결과를 나타냈다.

그림 7은 PAE 측정 결과이다. DBS 적용시 18 V의 단일 전압의 PAE를 따라가다 출력 전력이 증가함에 따라서 28 V의 단일 전압의 PAE를 따라가는 결과를 나타내었으며, 출력 전력 42.5 dBm에서 28 V의 단일 전압일 때의 PAE보다 DBS 적용시 약 6%의 개선을 나타내었다.

그림 8은 OFDM 신호에 대하여 20 MHz의 offset에서 ACLR의 측정 결과를 보여준다. 단일 전압 18 V와 28 V일 때의 ACLR의 결과를 확인하면 18 V일 때 출력 전력 약 40 dBm에서 -30 dBc를 만족하였으며, 28 V일 때는 출력 전력 약 45 dBm에서 -30 dBc를 만족하였다. DBS 적용시에는 약 43 dBm에 -30 dBc를 만족하는 결과를 나타내었다.

또한, DBS 적용시 18 V와 28 V의 단일 드레인 전압을 인가했을 때의 경우를 따라가는 결과를 나타내

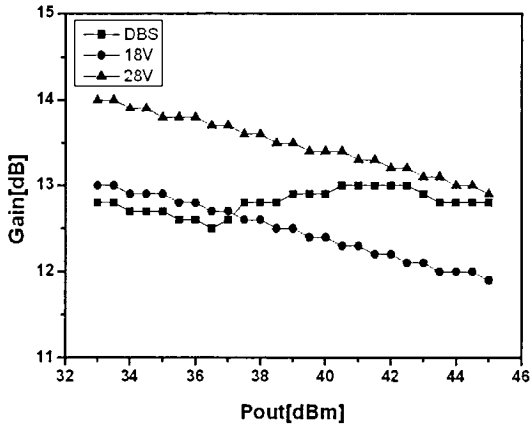


그림 6. OFDM 신호를 이용한 이득의 측정 결과  
Fig. 6. Measured gains using the OFDM signal.

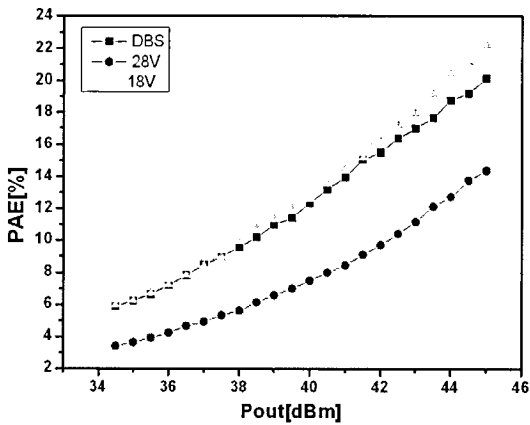


그림 7. OFDM 신호를 이용한 효율의 측정 결과  
Fig. 7. Measured PAEs using the OFDM signal.

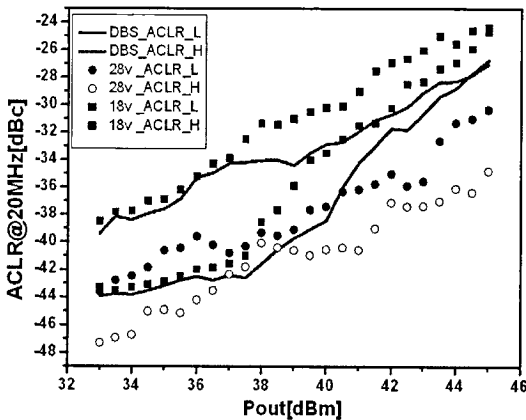


그림 8. OFDM 신호를 이용한 선형성의 측정 결과  
Fig. 8. Measured linearity results using the OFDM signal.

표 4. 출력 전력 42.5 dBm에서의 측정 결과

Table 4. Measurement results at an output power of 42.5 dBm.

	효율	ACLR(lower)	ACLR(upper)
18 V	17.1 %	-28.5 dBc	-26.6 dBc
28 V	10.4 %	-35.9 dBc	-37.4 dBc
DBS	16.5 %	-31.8 dBc	-30.2 dBc

었다. 이는 낮은 전압에서 높은 전압이 인가될 때 이득이 증가하는 특성으로 발생하는 현상이다.

표 4는 출력 전력 42.5 dBm에서의 PAE와 ACLR의 결과를 나타내고 있다. 이는 단일 전압 28 V에 비해 DBS 적용시 약 6 %의 PAE 개선을 나타냈으며, ACLR 역시 -30 dBc를 만족하였다.

#### IV. 결 론

본 논문에서는 입력 신호의 포락선 크기에 따라 18 V와 28 V의 드레인 전압이 인가되도록 설계된 DBS 회로를 balanced power amplifier의 각 단계 구성하여 평균 전력에서 효율을 개선하였다. 20 MHz의 대역폭과 8.5 dB의 PAR을 갖는 OFDM 신호를 사용하여 측정하였다. 그 결과, 28 V 단일 드레인 전압을 사용했을 때보다 42.6 dBm에서 약 6 %의 PAE의 개선을 나타냈으며, 20 MHz offset에서의 ACLR은 18 V와 28 V의 단일 드레인 전압을 인가했을 때의 경우를 따라가는 결과를 얻을 수 있었다.

#### 참 고 문 헌

- [1] W. Y. Zou, Y. Wu, "COFDM: An overview", *IEEE Trans. Broadcast.*, vol. 41, pp. 1-7, Mar. 1995.
- [2] W. Liu, J. Lau, and R. S. Cheng, "Considerations on applying OFDM in a highly efficient power amplifier", *IEEE Trans. Circuits Syst. II, Analog Digit. Signal Process.*, vol. 46, pp. 1329-1336, Nov. 1999.
- [3] F. H. Raab, "Efficiency of Doherty RF power amplifier system", *IEEE Trans. Broadcast.*, vol. BC-33, pp. 77-83, Sep. 1987.
- [4] P. Draxler, S. Lanfranco, D. Kimball, C. Hisa, J. Jeong, J. van de Sluis, and P. M. Asbeck, "High efficiency envelope tracking LDMOS power ampli-

fier for WCDMA", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1534-1537, Jun. 2006.

- [5] D. Kimball, J. Jeong, C. Hsia, P. Draxler, S. Lanfranco, W. Nagy, K. Linthicum, L. E. Larson, and P. M. Asbeck, "High efficiency envelope tracking W-CDMA base-station amplifier using GaN HFETs", *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 11, pp. 3848-3856, Nov. 2006.
- [6] A. Khanifar, N. Maslennikov, R. Modina, and M.

Gurvich, "Enhancement of power amplifier efficiency through dynamic bias switching", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 2047-2050, Jun. 2004.

- [7] J. Van, S. Jung, H. Park, M. Kim, H. Cho, J. Jeong, S. Kwon, K. Lim, and Y. Yang, "Efficiency enhancement for power amplifier using dynamic bias switching technique", *IEE Electronics Letters*, vol. 44, no. 5, pp. 356-357, Feb. 2008.

서민철



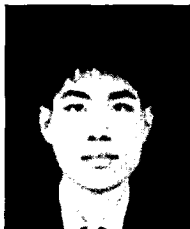
2009년 2월: 세종대학교 전자공학과 (공학사)  
 2009년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
 [주 관심분야] RF Power Amplifier, Power Amplifier IC Design

김형철



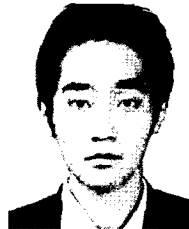
2008년 2월: 성균관대학교 기계공학부 (공학사)  
 2008년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
 [주 관심분야] RF Power Amplifier, Analog/Mixed Signal IC Design, RFIC Design

김경원



2009년 2월: 광운대학교 전파공학과 (공학사)  
 2009년 3월~현재: 성균관대학교 휴대폰학과 석사과정  
 [주 관심분야] RF Power Amplifier, Power Amplifier IC Design

전정배



2010년 2월: 한국외국어대학교 전자공학과 (공학사)  
 2010년 3월~현재: 성균관대학교 전자전기컴퓨터공학과 석사과정  
 [주 관심분야] RF Power Amplifier, Power Amplifier IC

김민수



2005년 2월: 인천대학교 전자공학과 (공학사)  
 2006년 2월~현재: 성균관대학교 전자전기컴퓨터공학과 박사과정  
 [주 관심분야] RF Power Amplifier, Analog/Mixed Signal IC Design, RFIC

양영구



1997년 2월: 한양대학교 전자공학과 (공학사)  
 2002년 2월: 포항공과대학교 전자전기공학과 (공학박사)  
 2002년 3월~2002년 7월: 포항공과대학교 전자전기공학과 박사후연구원

2002년 8월~2005년 2월: Skyworks Solutions Inc. (Senior Electronic Engineer)

2005년 3월~현재: 성균관대학교 정보통신공학부 부교수  
 [주 관심분야] 초고주파 회로설계, 무선통신 송/수신기 시스템 설계, 비선형 회로 분석 및 시뮬레이션 기법 연구