

논문 2010-47SD-8-9

UWB 주파수 합성기용 1 GHz 광 대역 시그마 델타 성진 튜닝형 전압 제어 발진기

(A 1 GHz Tuning range VCO with a Sigma-Delta Modulator for UWB
Frequency Synthesizer)

남 철**, 박 안 수*, 박 준 성*, 부 영 건*, 허 정***, 이 강 윤***

(Chul Nam, An-Su Park, Joon-Sung Park, Young-Gun Pu, Jeong Hur, and Kang-Yoon Lee)

요 약

본 논문은 UWB주파수 합성기용 광대역 전압 제어 발진기로 시그마-델타 모듈레이션을 이용하여 미세한 성진 튜닝을 구현하였다. 제안된 성진 튜닝 방법은 위상 잡음 성능의 저하 없이 작은 유효 주파수 해상도를 제공한다. 3단계의 성진 튜닝구조로 전압제어 발진기는 광대역과 미세 튜닝 단계를 동시에 구현한다. 본 전압 제어기를 포함한 주파수 합성기는 0.13 μm CMOS공정으로 구현되었고, 5.8-6.8 GHz의 대역에 3.9 kHz의 유효 주파수 해상도를 갖는다. 측정된 위상 잡음은 1 MHz 오프셋에서 -108 dBc/Hz이고, 5.9 mW 전력 소모로 16.8 %의 튜닝 범위를 갖으며, 튜닝 범위를 갖는 Figure-of-merit(FoM)은 -181.58 dBc/Hz이다.

Abstract

This paper presents a wide range VCO with fine coarse tuning step using a sigma-delta modulation technique for UWB frequency synthesizer. The proposed coarse tuning scheme provides the low effective frequency resolution without any degradation of phase noise performance. With three steps coarse tuning, the VCO has wide tuning range and fine tuning step simultaneously. The frequency synthesizer with VCO was implemented with 0.13 μm CMOS technology. The tuning range of the VCO is 5.8 GHz~6.8 GHz with the effective frequency resolution of 3.9 kHz. It achieves the measured phase noise of -108 dBc/Hz at 1 MHz offset and a tuning range 16.8 % with 5.9 mW power. The figure-of-merit with the tuning range is -181.5 dBc/Hz.

Keywords: Sigma-delta modulation, coarse tuning, UWB frequency synthesizer, phase noise, effective frequency resolution.

I. 서 론

UWB 표준 규격은 밴드간의 9 nsec 이하의 스위칭 시간을 요구하여 직접적인 주파수 합성기를 사용할 수

없다. 그 대안으로 PLL(Phase Lock Loop)과 SSB(Single-Side Band) 믹서를 이용하여 각 각 다른 주파수를 생성하는 국부 발진기를 제안 되었다^[1]. 이 국부 발진기는 시스템의 SNR을 0.1dB 이상 떨어뜨려서는 안 된다. 예로 VCO의 위상 잡음이 1 MHz 오프셋에서 -100 dBc/Hz이면, 전체 적분 위상잡음(Integrated Phase Noise)은 3.5° rms 이하가 되어야 한다^[2]. 낮은 VCO 전압 이득을 갖는 성진 튜닝 방법은 국부 발진기 내에서 잡음에 대해 민감도(Sensitivity)가 낮고, 잡음 성능이 우수하여 주파수 합성기에서 광대역 튜닝과 PVT(Process-Voltage-Temperature) 둔감할 목적으로

* 학생회원 ** 정회원 *** 평생회원, 건국대학교
전자정보통신공학부
(Department of Electronic Engineering,
Konkuk University)

※ 이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업입(No.2010-0013369).

접수일자: 2009년12월16일, 수정완료일: 2010년7월19일

주로 사용 된다^[3]. 이 방법에서는 MiM Capacitor 어레이의 각 Capacitor가 MOS 스위치에 의해 제어되어 튜닝 주파수 범위를 넓힐 수 있으나, 스위치의 기생 커패시턴스에 의해 주파수 튜닝 해상도를 작게 하는데 한계가 있다. 특히 UWB 시스템의 높은 주파수 밴드에서는 성긴 튜닝 방법을 사용할 수 없게 된다. 스위치에 의한 기생 커패시턴스 문제를 해결하기 위한, 배랙터 어레이를 사용하는 방법^[4]은 스위치를 사용한 방법보다 구현이 간단하나, VCO 전압 이득이 높고, 공정에서 제공되는 배랙터의 최소 사이즈에 의해 최소 발진 주파수 해상도가 결정되는 단점이 있다.

최근 주목 받는 디지털 제어 발진기(Digital Controlled Oscillator)는 디지털 튜닝 방법으로 모바일 제품에 응용되기 시작 하였다^[5]. 이 DCO에서는 시그마-델타 디터링 방법으로 배랙터를 미세하게 조정하는 것으로 일련의 배랙터 어레이가 목표 주파수를 맞추기 위해 PVT 변화 보상, 획득(Acquisition), 트래킹을 모두 디지털적으로 하는 것으로 구현이 복잡하고, 전력소모가 많은 것이 단점이다.

본 논문에서는 성긴 튜닝을 위해 MiM 커패시터 어레이를 사용하여 넓은 대역과 낮은 VCO 전압 이득을 확보하고, 배랙터 어레이를 사용하여 성긴 튜닝 간격을 좁히고, 최종적으로 시그마-델타 모듈레이션으로 성긴 튜닝 간격을 더 세분화 하는 3단계 성긴 튜닝 방법을 제안 하였다. 본 성긴 튜닝 방법은 위상 잠음 성능뿐만 아니라, 전체 적분 위상 잠음을 만족하고 UWB 시스템에서 하이밴드에서 기생 커패시턴스에 의한 성능 튜닝의 제약을 극복할 수 있는 방법을 제안 하였다. 이는 Sub-nano 공정에서 MiM 커패시터나 배랙터 커패시터의 물리적 크기를 최소화해야하는 공정 부담을 덜어 줄 수 있는 장점이 있다.

II. 광대역 VCO 구조

제안된 VCO는 그림 1과 같이 Negative-gm회로, 미세튜닝을 위한 한 쌍의 배랙터(Varactor), 성긴 튜닝을 위한 튜닝 커패시터 어레이(Tuning capacitor arrays)와 성긴 튜닝제어기(Coarse Tuning Controller)로 구성된다. 튜닝 커패시터 어레이는 그림 2와 같이 MiM 튜닝 어레이, 배랙터 튜닝 어레이, 디터드 배랙터 튜닝 어레이로 구성된다.

이 각 각의 튜닝 어레이는 성긴 튜닝 제어기로 부터

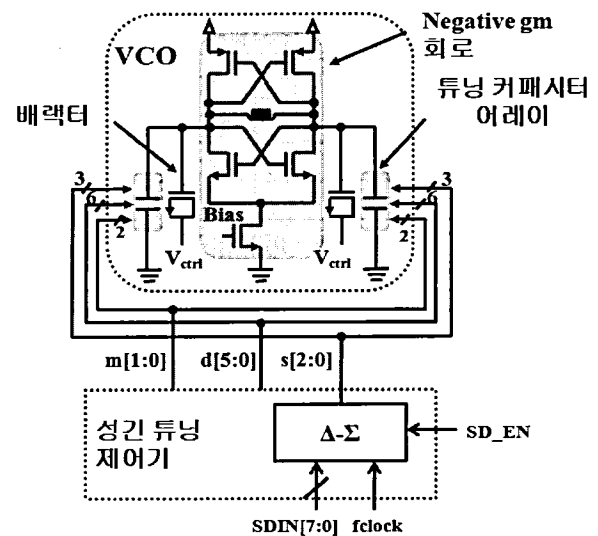


그림 1. 제안된 VCO 의 구조
Fig. 1. Architecture of the proposed VCO.

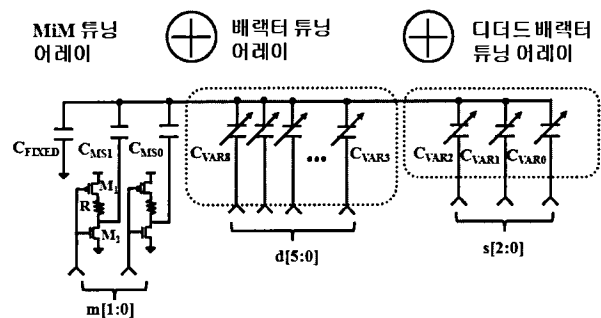


그림 2. 튜닝 커패시터 어레이의 내부도
Fig. 2. Schematic of tuning capacitor arrays.

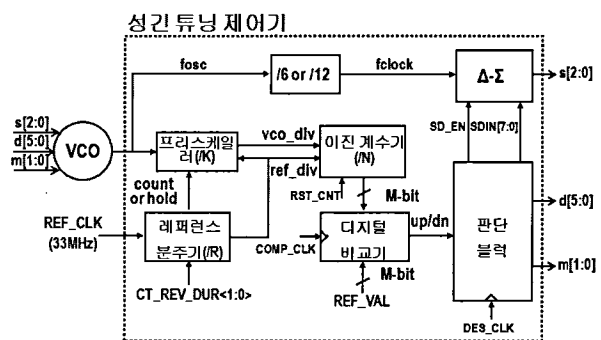


그림 3. 성긴 튜닝 제어기의 블록도
Fig. 3. Block diagram of coarse tuning controller.

11비트의 제어 신호(m[1:0],d[5:0],s[2:0])에 의해 순차적으로 제어가 되며, 이 제어 신호에 의한 커패시턴스 변화량에 의해 주파수 튜닝 범위가 조정이 된다.

성긴 튜닝 제어기는 일종의 극부 부 궤환 (Negative Feedback) 디지털 제어기로 목표 주파수로 부터의 기준 값(REF_VAL)을 설정하고, 현재 VCO의 발진 주파

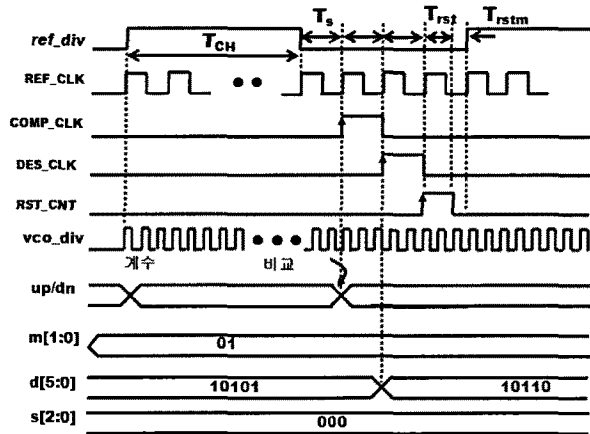


그림 4. 성긴 튜닝 제어기의 타이밍 도
Fig. 4. Timing diagram of coarse tuning controller.

수를 디지털 비교기(Digital Comparator)와 비교하여 그 에러만큼의 보상치를 제어 신호로 보내는 장치이다.

성긴 튜닝 제어기는 크게 그림 3과 같이 광대역, 중간 대역을 담당하는 MiM 튜닝 어레이와 배랙터 튜닝 어레이의 제어신호를 결정하는 프리 스케일러(Prescaler), 레퍼런스 분주기(Reference Divider), 이진 계수기(Binary Counter), 디지털 비교기(Digital Comparator), 판단 블록(Decision block)과 미세대역의 제어 신호를 발생하는 시그마-델타 변조기로 구분 된다.

발생되는 제어신호는 m[1:0]로부터 d[5:0], s[2:0]로 그림 4와 같은 타이밍 도에 따라 순차적으로 제어되며 동작은 다음과 같다.

성긴 튜닝 제어기의 각 블록의 동기 신호인, COMP_CLK, DES_CLK, RST_CNT는 PLL의 기준 클럭인 REF_CLK으로부터 생성된다. 현재 VCO의 발진 주파수의 정보는 기준 클럭(REF_CLK)을 레퍼런스 분주기에서 R 만큼 분주한 신호인 ref_div신호 구간 동안 (T_{CH})에, VCO의 신호(f_{osc})를 K 만큼 분주한 vco_div를 이진 계수기에서 계수한 값(N)으로 알 수 있다. 이 계수 값은 카운트 셋틀링 구간(T_s) 지난 후, COMP_CLK의 상승 엣지에서 기준 값(REF_VAL)과 디지털 제어기에서 비교가 되며 이 비교 결과는 판단 블록에 증가(Up)혹은 감소(Dn)신호를 전달된다. 이 Up/Dn신호는 m[1:0] 혹은 d[5:0] 값을 증가 혹은 감소 시켜 발진 주파수(f_{osc})를 증가 혹은 감소시키게 한다. m[1:0] 혹은 d[5:0]의 값 변경은 DES_CLK의 상승 엣지에서 일어나며, REF_CLK의 그 다음 클럭에 VCO의 새로운 발진 주파수 정보를 획득하기 위해서 이진 계수기는 현재 계수 값(N)을 RST_CNT에 의해 초기화한다. 초기화는

표 1. K, R, REF_VAL의 맵 테이블
Table 1. Map table of K, R and REF_VAL.

| CT_RE F_DUR <1:0> | /K (f_{vco_div}) | /R (f_{ref_div}) | REF_VAL |
|-------------------------|--------------------------|--------------------------|---------|
| 00 | 12(528 MHz) | 96(343 kHz) | 1536 |
| 01 | 12(528 MHz) | 192(172 kHz) | 3072 |
| 10 | 12(528 MHz) | 384(86 kHz) | 6144 |
| 11 | 6336(1 MHz) | 8461(3.9 kHz) | 256 |

T_{rst} 구간에 일어나며, T_{rstm} 은 초기화 후에 ref_div가 상승 엣지 전까지의 마진이다.

이 부 궤환 성긴 튜닝 제어기의 각 블록을 셋팅하기 위한 분주비(K, R)와 기준값(REF_VAL), 기준 값의 선택(CT_REF_DUR<1:0>)의 관계는 다음 식(1)으로 정리된다.

$$REF_VAL = \frac{f_{osc}}{f_{vco_div}} \cdot \frac{f_{ref_div}}{REF_CLK} = \frac{K}{R} \quad (1)$$

단, f_{osc} 는 VCO 발진 주파수, f_{vco_div} 는 vco_div신호의 주파수, f_{ref_div} 는 ref_div의 주파수이다.

식 (1)에서 보듯이 REF_VAL의 값에 따라 성긴 튜닝 해상도(Coarse tuning resolution)가 달라지며, 이는 성긴 튜닝으로 목표 주파수의 근처까지 근접하는 정밀도로, CT_REF_DUR<1:0>에 의해 조절이 된다. 예로, 표 1은 VCO의 발진 목표 주파수를 6336 MHz로 설정하였을 때, CT_REF_DUR<1:0>의 설정에 따른 K, R, REF_VAL을 값을 정리한 맵 테이블이다.

성긴 튜닝에서 결정되는 m[1:0], d[5:0], s[2:0] 제어신호는 그림 5에서와 같이 각각 광대역 튜닝(Wide-Range Tuning), 중 대역 튜닝(Mid-Range Tuning), 미

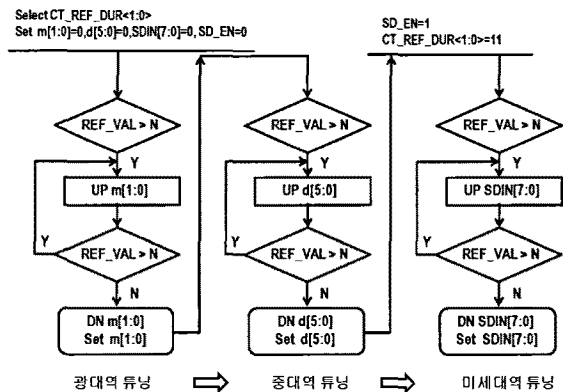


그림 5. 성긴 튜닝 과정
Fig. 5. Coarse tuning sequence.

세대역튜닝 (Infinitesimal-Range Tuning)으로 다음과 같이 설명이 된다.

성긴 튜닝 과정은 제어 신호 및 내부의 레지스터 신호를 모두 초기화 한 후, 광대역 튜닝 단계부터 시작하며, 각 단계의 제어 신호(m[1:0], d[5:0], s[2:0])는 CT_REF_DUR<1:0>에서 정한 기준 값(REF_VAL)과 현재 VCO의 발진 주파수 정보(N)와 비교함으로써 결정 되는데, 발진 주파수가 기준 값 보다 작을 때(REF > N)에는 제어 신호 값을 증가(UP)시키는 작업을 기준 값보다 커질 때 까지 진행하게 되며, 기준 값보다 클 때에는 동작을 멈추고, 제어 신호 값을 감소(DN)하고 다음 단계로 이동된다. 광대역과 중간 단계는 동일한 방식으로 진행이 되며, 최종적인 미세 단계에서는 CT_REF_DUR<1:0>=11, SD_EN=1로 설정하고 REF_VAL를 N과 비교 하나, 그 비교된 결과는 시그마-델타의 입력 값이 SDIN[7:0]에 반영 한다. 이 SDIN[7:0] 값은 결과적으로 s[2:0]와 같다.

성긴 튜닝 단계 중에서 미세 튜닝이 제일 긴 시간을 소모하여 수 msec정도가 걸릴 수 있다. 성긴 튜닝 기간 동안에 미세 튜닝을 위한 배랙터 쌍의 제어 전압(Vctrl)은 PLL내의 Charge Pump와 분리되어 고정 전압으로 바이어스가 되어 있고, 성긴 튜닝이 완료된 후에 다시 연결되어 PLL Loop를 형성 하게 되어 있다.

위와 같이 성긴 튜닝과정과 미세 튜닝에 의해 결정되는 발진 주파수는 식(2)와 같이 정리 된다.

$$f_{osc} = \frac{1}{2\pi \cdot \sqrt{L \cdot (C_{fixed} + C_{min} + C_{dev} + C_{sdm} + C_{fvar})}} \quad (2)$$

단, C_{fixed}는 고정 MiM 커패시턴스, C_{min}은 광대역 튜닝에서 등가 커패시턴스, C_{dev}는 중간대역에서 등가커패시턴스, C_{sdm}은 미세단계에서 등가 커패시턴스, C_{fvar}는 Fine 튜닝 배랙터의 커패시턴스 이다.

식(2)에서의 각 성긴 튜닝 단계에서 결정되는 커패시턴스는 다음과 같이 설명이 된다.

1. 광대역 성긴 튜닝(Wide Range Coarse Tuning)

광 대역에서의 성긴 튜닝은 두 개의 MiM 커패시터 (C_{MS1}, C_{MS0})는 m[1:0]신호에 의해 제어 된다. 이 커패시터를 동작시키기 위한 RF 스위치(M₁, M₂, R)는 튜닝 커패시터의 침예도를 최적화 하고 튜닝 범위를 최대화 하기 위해서 NMOS 단독으로 사용한 것^[6] 보다 NMOS, PMOS를 저항으로 직렬 연결하였다.

스위치 절환에 의한 MiM 커패시터의 총 변화량은 VCO의 주파수 변동 범위와 같으므로 이를 계산하면 다음과 같다.

MiM 커패시터의 최하위비트(LSB) 절환에 의한 최소 최대 커패시턴스는 식(3), 식(4)와 같이 된다.

$$C_{min} = C_o // C_{dn} \quad (3)$$

$$C_{max} = C_o \quad (4)$$

단, C_{dn}은 NMOS의 드레인 접합 커패시턴스, C_o는 그림 1의 C_{MS0}의 커패시턴스이다.

만약 두 비트의 MiM 커패시터가 이진 급수화(Binary weighting) 되면, 총 MiM 커패시턴스는 식(5)와 같이 된다.

$$C_{mim} = C_{fixed} + 3 \cdot C_{min} + \Delta C_{mim} \quad (5)$$

단, ΔC_{mim}=2·ΔC·m[1] + ΔC·m[0] 이고, ΔC= C_{max}-C_{min} 이다.

이로부터 광대역 성긴 튜닝에서의 최대 변환 커패시턴스(Maximum Switchable capacitance)와 최소 변환 커패시턴스(Minimum Switchable capacitance)는 식(6), 식(7)과 같이 되고, 전체 조절 가능한 커패시턴스는 결국 식(8)과 같이 되며, NMOS 의 접합 커패시턴스가 작은 경우 (C_o >> C_{dn})에는 전체 조절 가능한 커패시턴스는 3·C_o가 된다.

$$C_{mim,max} = C_{fixed} + 3 \cdot C_{min} + 3 \cdot \Delta C \quad (6)$$

$$C_{mim,min} = C_{fixed} + 3 \cdot C_{min} \quad (7)$$

$$\Delta C_{mim} = 3 \cdot \Delta C \approx 3 \cdot C_o \quad (8)$$

2. 중대역 성긴 튜닝(Mid Range Coarse Tuning)

중대역에서의 성긴 튜닝은 배랙터 커패시터 (C_{VAR3}-C_{VAR8})를 6비트의 d[5:0]에 의해 온-오프 제어 함에 따른 커패시턴스 변화에 의해 이루어진다.

배랙터 튜닝 어레이에서 n번째 배랙터의 커패시턴스는 d[n]이 LOW 일 때 최대값을, HIGH일 때 최소값을 갖는다. 만약 n 번째 배랙터의 최대 커패시턴스 변화는 식(9)과 같이 쓸 수 있다.

$$\Delta C_{dsv,n} = C_{high,n} - C_{low,n} \quad (9)$$

단, $C_{high,n}$ 는 n 번째 배랙터의 최대 커패시턴스, $C_{low,n}$ 는 최소 커패시턴스이다.

n 번째 배랙터 커패시턴스를 식(9)의 변화량으로 다시 쓰면 식(10) 같이 되며, 배랙터를 이진 급수화(Binary weighting)하게 되면 총 커패시턴스는 식(11)과 같이 된다.

$$C_{dsv,n} = C_{low,n} + \overline{d[n]} \cdot \Delta C_{dsv,n} \quad (10)$$

$$C_{dsv} = (2^6 - 1) \cdot C_{low,0} + \Delta C_{dsv} \quad (11)$$

단, $\Delta C_{dsv} = \Delta C_{dsv,0} \sum_{n=0}^{n=5} 2^n \cdot \overline{d[n]}$ 이다.

중간 대역으로 조정하는 최대 커패시턴스는 식(12)와 같이 최하위 배랙터의 최대 커패시턴스 변화($\Delta C_{dsv,0}$)의 3배가 되게 된다.

$$C_{dsv,max} = 63 \cdot \Delta C_{dsv,0} \quad (12)$$

3. 미세 대역 성진 튜닝(Infinitesimal Range Coarse Tuning)

성진 튜닝의 마지막 단계인 미세 대역 튜닝에서는 이진 급수 보다는 선형 급수 커패시터로 구성하여 이진 스위칭 노이즈와 커패시턴스 불일치(Mismatch)를 최소화 하였다. 미세 튜닝에서의 총 커패시턴스는 식(13)와 같이 되며, 최대 변화 커패시턴스는 식(14)과 같이 된다.

$$C_{sdm} = 6 \cdot C_{sdm,0} + \Delta C_{sdm,0} \cdot \overline{s[0]} + 2 \cdot \Delta C_{sdm,0} \cdot \overline{s[1]} + 3 \cdot \Delta C_{sdm,0} \cdot \overline{s[2]} \quad (13)$$

$$\Delta C_{sdm,max} = 6 \cdot \Delta C_{sdm,0} \quad (14)$$

단, $C_{sdm,0}$ 는 미세 튜닝 어레이에서의 첫 번째 배랙터의 최소 커패시턴스이며, $\Delta C_{sdm,0}$ 는 최대 커패시터와 최소 커패시턴스의 차이이다.

미세 대역 성진 튜닝에서 커패시턴스 변화량은 실제 시그마-델타 변조기에 의한 시 평균 디더링(Time-average dithering)에 의해 미세하게 조정이 된다. 시그마-델타 변조기는 그림 6과 같은 2차 MASH 형 구조^[6]로 고속의 출력 결과, $s[2:0]$ 는 저속의 8비트 디더링 입력, $SDIN[7:0]$ 과 등가적으로 같게 된다.

미세 대역 성진 튜닝에서 최대 변화 커패시턴스 양($\Delta C_{sdm,max}$)에 의한 주파수 변동 범위를 1 MHz로 설정할

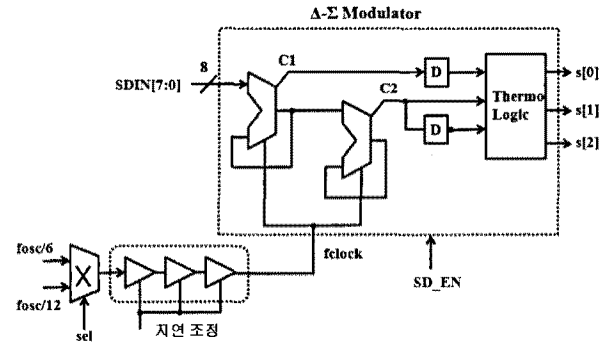


그림 6. 시그마-델타 디더링 배랙터 튜닝
Fig. 6. Sigma-delta dithering varactor tuning.

경우, 8비트 디더링 입력($SDIN[7:0]$)에 의한 유효 주파수 해상도(Effective frequency resolution)는 식(15)와 같이 계산이 될 수 있다.

$$\Delta f^{\Delta\Sigma} = 1 \text{ MHz} / 2^8 = 3.9 \text{ kHz} \quad (15)$$

또한, 디더링에 의한 주파수 편차는 실제 이 주파수 해상도와 같게 볼 수 있으므로 식(2)을 df/dC 미분하여 선형화 하면, 유효 주파수 해상도는 식(16)와 같이 발진 주파수와 함수가 된다.

$$\Delta f^{\Delta\Sigma}(f) = -f \cdot \Delta C_{sdm,max} / 2 \cdot C \quad (16)$$

단, C 는 LC tank 오실레이터의 총 커패시턴스 합.

만약 LC tank VCO의 발진 주파수가 6336 MHz이고, 인덕터 값이 0.825 nH 라면, 3.9 kHz의 유효 주파수 해상도에 의한 최대 변화 커패시턴스는($\Delta C_{sdm,max}$) 0.914 aF으로 공정에서 구현 할 수 없는 작은 양이 된다.

성진 튜닝에서 각 단계에서의 최대 변화 커패시턴스로 식(2)을 식(17)과 같이 다시 쓸 수 있다.

$$f_{osc} = \frac{1}{2\pi \sqrt{L \cdot (C_{f, var} + C_{sub} + \Delta C_{min} + \Delta C_{dsv} + \Delta C_{sdm})}} \quad (17)$$

단, $C_{sub} = C_{min,min} + (2^6 - 1) \cdot C_{low,0} + 6 \cdot C_{sdm,0}$ 이다.

III. 위상 잡음 분석

디더링에 의한 Spur는 협대역 FM 변조에 의해 해석될 수 있다. 만약 유효 주파수 해상도가 f_{clock} 의 비율로 디더링 되면, $f_{clock} \pm \Delta f^{\Delta\Sigma}$ 근처에서 두 개 밴드에서 Spur 톤이 발생하며, 전력 레벨은 $20 \log(2 \cdot \Delta f^{\Delta\Sigma} / \pi \cdot f_{clock})$ 이 된다. 예로 3.9 kHz의 유효 주파수에 529 MHz의 변조 비율(디더링 비율)되면, 계산된 Spur 레벨은 -64.4

dBc가 되고, 같은 방식으로 변조 비율을 1056 MHz로 올리면, Spur 레벨은 -70.4 dBc로 더 떨어진다. 즉, 배랙터를 스위칭 함에 따라 생기는 Spur는 변조 비율을 올릴수록 적어진다^[7].

시그마 델타 디더링에 의한 위상 잡음의 증가는 Leeson식^[8]과 같은 전통적인 방법으로 해석이 가능하지 않다. 하지만 시그마 델타 모델레이션의 특성인 저주파 대역의 노이즈를 고주파로 밀어 내는 노이즈 셰이핑 특성과 잘 일치 한다. 이것은 식(18)과 같이 표현 될 수 있다.

$$L\{\Delta f\} = \frac{1}{12} \cdot \left(\frac{\Delta f^{\Delta\Sigma}}{\Delta f}\right)^2 \frac{1}{f_{clock}} (2 \sin \frac{\pi \Delta f}{f_{clock}})^{2n} \quad (18)$$

단, n은 시그마 델타 변조기의 차수, f_{clock} 는 디더링 클럭, Δf 는 주파수 오프셋이다.

이로부터, 전체 위상 잡음은 LC tank 발진기 자체의 고유 위상 잡음과 디더링에 의한 위상 잡음을 합하여 얻을 수 있다. 이 전체 잡음을 예측하기 위해서, 고유 위상 잡음은 LC tank Oscillator만을 Cadence SpectreRFTM으로 시뮬레이션 하여 얻었고, 디더링 위상 잡음은 식18을 MatlabTM 시뮬레이션으로 얻어 그 합을 그림 7과 표시하였다.

그림 7에서 디더링 위상 잡음 ①, ②, ③은 오프셋 주파수가 디더링 클럭(f_{clock})의 반에서 최대값을 갖으며, 그 최대값은 디더링 클럭과 유효 주파수 해상도의 비인 $(\Delta f^{\Delta\Sigma})^2 / (f_{clock})^3$ 에 비례하게 된다. 그림 7에서 보듯이 ①의 경우의 디더링 잡음은 디더링 클럭의 반인 528 MHz

에서 최대값을 갖으며 그 크기가 전체 잡음에 영향을 미친다. ②의 경우 디더링 클럭은 1/2로, 유효 주파수는 1/10로, ③는 디더링 클럭은 1/2로, 유효 주파수는 약 1/100이하로 줄인 것으로 ③의 경우 디더링 잡음에 의해 전체 잡음의 영향이 거의 없다. 이는 디더링 잡음의 영향을 줄이기 위해 디더링 클럭보다는 유효 주파수를 조정 하는 것이 전체 잡음의 영향을 줄이는데 유리하다는 것이다.

적분 위상 잡음 측면에서는 시스템 사양인 3.5° rms 넘지 않기 위해서 1 MHz 오프셋에서 -110 dBc/Hz 로 하고, Close-in 잡음을 -70 dBc/Hz이하로 하면, 10 MHz까지 적분 위상 잡음은 2.72° rms가 되어 시스템 요구 사양에서 0.78° rms 여유를 갖는다. 디더링 위상 잡음이 무시되기 위해서는 전체 잡음에서 -10 dB 만큼 낮게 설정하면, 이 값은 528 MHz 오프셋에서 -170 dBc/Hz 가 된다. 이 조건으로 식18을 유효 주파수 형태로 다시 쓰면 식19와 같이 된다.

$$\Delta f^{\Delta\Sigma} \leq 1.37 \cdot 10^{-9} \cdot (f_{clock})^{3/2} \quad (18)$$

이 식에 의해서 디더링 클럭은 528 MHz로 할 경우, 유효 주파수 해상도는 최대 16.67 kHz, 1056 MHz로 할 경우에는 유효 주파수 해상도는 최대 45.98 kHz가 된다.

공정적인 측면에서는 MOS 스위치나 배랙터 스위치에 의한 전통적인 방법으로 작은 배랙터나 MiM 커패시터를 필요하게 되어 공정상으로 구현 가능하지 않을 수 있으나, 시그마 델타 디더링에 사용하여 유효 주파수 해상도를 작게 하여 배랙터의 사이즈를 작게 할 필요 없어 공정에 제약이 없게 된다.

그림 7의 위상 잡음 시뮬레이션 결과에서 3.9 kHz의 유효 주파수 해상도에서 1MHz 오프셋에서 위상잡음은 -112 dBc/Hz를 얻었다.

위상 잡음은 또한 시그마 델타 변조기의 입력이 바뀌는 순간의 커패시터 변화에 의해 클럭 지터가 발생할 수 있어 이를 최소화하기 위해서 그림 6에서와 같이 지연 조정(Delay line adjustment)블록을 두어 커패시터 변화 시기를 정확히 발진 주파수와 맞추도록 하였다.

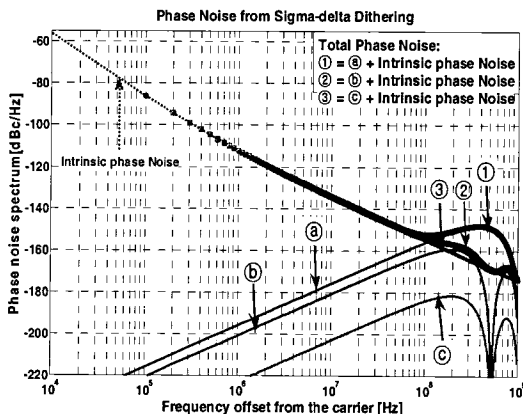


그림 7. VCO의 전체 위상 잡음 시뮬레이션 결과
 Fig. 7. Total phase noise simulation result of VCO.
 (a: $\Delta f^{\Delta\Sigma}=500$ kHz, $f_{clock}=1056$ MHz, b: $\Delta f^{\Delta\Sigma}=50$ kHz, $f_{clock}=528$ MHz, c: $\Delta f^{\Delta\Sigma}=3.9$ kHz, $f_{clock}=528$ MHz)

III. 측정 결과

본 VCO는 0.13 μ m 1 Poly 8 Metal CMOS 공정으로 제작 되었고, VCO의 전체 면적은 0.31 mm² 이었다. 그

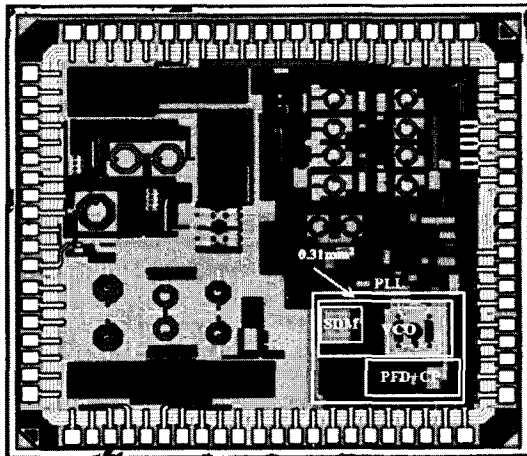


그림 8. 칩 사진
Fig. 8. Chip microphotography.

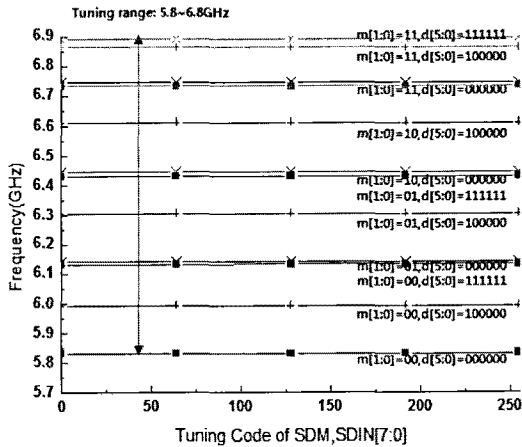


그림 9. 시그마 델타 입력 코드에 대한 발진 주파수 관계
Fig. 9. Oscillation frequency vs. input code of SDM.

그림 8의 전체 칩 사진에서 VCO와 시그마 델타 변조기 (SDM)는 우측 하단에 위치해 있다. 시그마 델타 변조기의 입력 코드에 의한 최소 튜닝 간격은 3.9 kHz이며 이는 유효 주파수 해상도와 같다. 그림 9는 이 입력 코드에 따른 발진 주파수의 범위를 나타내며, 성긴 튜닝에 의해 튜닝 범위는 5.8 GHz부터 6.8 GHz까지 약 1 GHz 범위의 넓은 대역을 갖는다.

측정된 위상 잡음은 그림 10에서 보는바와 같이 1 MHz 오프셋에서 캐리어 주파수 5.937 GHz일 때 -108.6 dBc/Hz이며, Close-in 위상 잡음은 -70 dBc/Hz로 적분 위상 잡음은 10 MHz까지 3° rms이하가 되어, 시스템 요구 조건을 만족하였다. VCO의 Figure of Merit(FOM)^[9]는 식 20에 따를 때 -177.0 dBc/Hz이고, 튜닝 범위를 포함한 FOM은 식21에 따를 때 -181.5

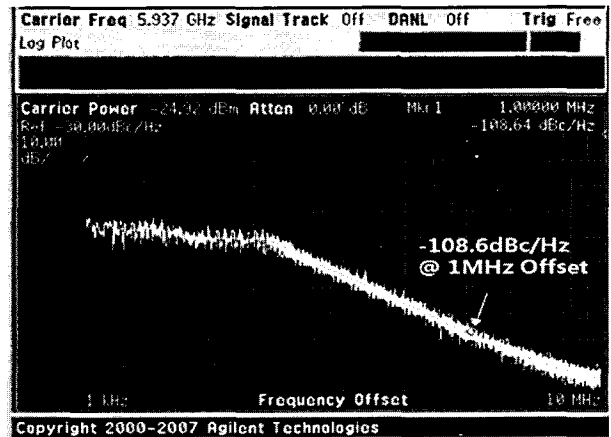


그림 10. 제안된 VCO를 이용한 주파수 합성기의 위상 잡음 측정 결과
Fig. 10. Phase noise measurement result of PLL using proposed VCO.

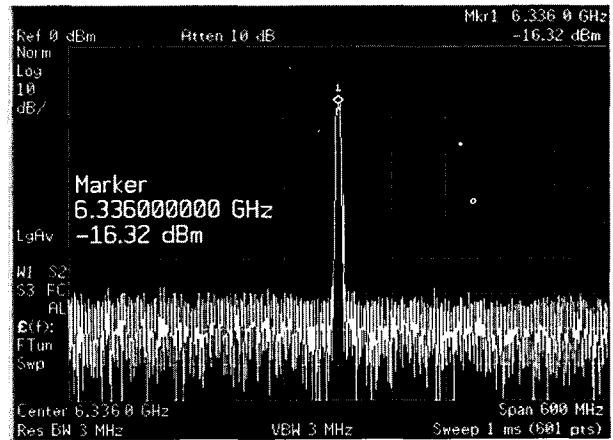


그림 11. VCO 출력 스펙트럼
Fig. 11. VCO output spectrum

dBc/Hz이었다.

$$FOM = PN(f_{offset}) - 20 \log\left(\frac{f_o}{f_{offset}}\right) + 10 \log\left(\frac{P_{DC}}{1mW}\right) \quad (20)$$

$$FOM_T = FOM - 20 \log\left(\frac{FDR}{10}\right) \quad (21)$$

단, f_{offset} 은 주파수 오프셋, f_o 는 발진 주파수, $PN(f_{offset})$ 은 f_{offset} 에서 위상잡음, P_{DC} 는 DC 전력 소모, FTR은 % 단위의 주파수 튜닝 범위이다.

단, [a],[b]는 칩 전체 면적이다.

VCO의 출력의 측정은 그림 12와 같은 테스트 보드 환경에서 SMA 포트 출력을 스펙트럼 분석기를 통하여 결과를 추출하였다. 본 논문에서 제안한 VCO에 대한 성능은 표 2와 같이 정리가 되며, 표 3에서는 기존 연구

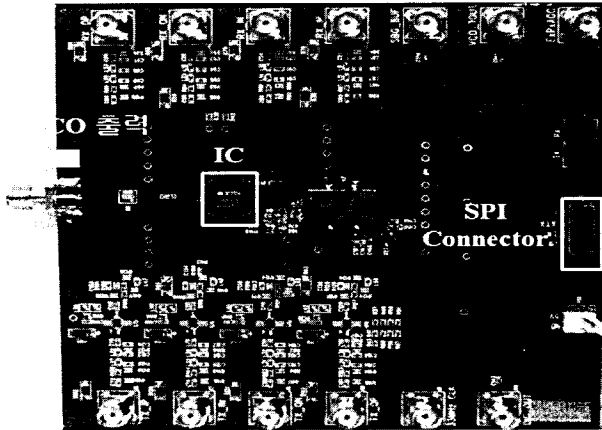


그림 12. 측정 보드

Fig. 12. Test board.

표 2. VCO 성능 표

Table 2. Summary of VCO performance.

| | |
|---------------|----------------------|
| 전원 전압 | 1.2 V |
| 전력 소모 | 5.9 mW |
| 출력 전력 | -16.32 dBm |
| 튜닝 범위 | 5.8~6.8 GHz(16.8%) |
| 최소 튜닝 간격(해상도) | 3.9 kHz |
| 위상 잡음@1MHz | -108.6 dBc/Hz |
| FOM | -177.0 dBc/Hz |
| FOMT | -181.5 dBc/Hz |
| VCO면적 | 0.31 mm ² |
| 공정 | 0.13 μm CMOS |

표 3. VCO 성능 비교표

Table 3. Comparison of VCO.

| | 참고문헌 [12] | 참고문헌 [13] | 참고문헌 [5] | This Work |
|-----------------------|----------------------|----------------------------|-------------------------|-------------------------|
| 공정 | 0.18 μm SiGe | 0.25 μm SiGe | 90nm CMOS | 0.13 μm CMOS |
| 중심 주파수 | 16 GHz | 4.49 GHz | 3.6 GHz | 5.94 GHz |
| 튜닝 범위 | 18.3 % | 20 % | 25 % | 16.8 % |
| 전원 전압 | 2.7 V | 2 V | 1.4 V | 1.5 V |
| 전력 소모 (mW) | 54 | 9.6 | 25.2 | 5.9 |
| 위상 잡음 @1MHz 오프셋 | -110 dBc/Hz | -104 dBc/Hz | -137 dBc/Hz | -108.6 dBc/Hz |
| FoM | -176.8 dBc/Hz | -167.1 dBc/Hz | -194.1 dBc/Hz | -176.4 dBc/Hz |
| FOM _T | -182.0 dBc/Hz | -173.2 dBc/Hz | -181.7 dBc/Hz | -181.7 dBc/Hz |
| 면적 | 7 mm ^{2(a)} | 1.04 mm ^{2(b)} | 0.17 mm ² | 0.31 mm ² |

와의 성능 비교를 하였다. 본 연구는 CMOS로 구현 한 장점 외에 0.13 μm 공정으로 구현하여 90 nm로 구현한 DCO에 비해서도 낮은 전력소모를 갖으며 광대역을 성능을 보인다.

IV. 결 론

본 논문으로 성긴 튜닝 방법에 기존 커패시터 스위칭 방법과 함께 시그마 델타 모듈레이션을 채용하여 광 대역 튜닝 및 미세 튜닝 해상도(간격)를 얻을 수 있었다.

수 aF의 단위의 유효 변화 커패시턴스량은 0.13 μm 공정에서 제조 가능하지 않으며, 시그마 델타 모듈레이션 방법으로만 가능하다. 시그마 델타 모듈레이션의 노이즈 웨이핑 특성은 본 논문에 적용하여 UWB 트랜시버용으로 적합한 위상 잡음을 얻었으며 이는 적분 위상 잡음 사양인 3.5° rms에도 만족하였다. 1 GHz 이상까지의 디더링 클록은 또한 Spur에 영향이 거의 없음을 확인 하였다.

참 고 문 헌

- [1] A. Batra et al, "Multi-Band OFDM Physical Layer Proposal", IEEE 802.15-03/267r5, July. 2003.
- [2] R. Roover D. M. W Leenaerts, J. Bergervoert, K. S. Harish, R. C. H. van de Beek, G. van der Weide, H. Waite, Y. Zhang, S. Aggarwal, and C. Razzell "An Interference-robust receiver for ultra-wideband radio in SiGe BiCMOS technology" IEEE J. Solid-State Circuits, vol. 40, no. 12. pp. 2563-2572, Dec. 2005.
- [3] Yido Koo, Hyungki Huh, Yongik Cho, Jeongwoo Lee, JoonBae Park, Kyeongho Lee et al, "A Fully Integrated CMOS Frequency Synthesizer with Charge-averaging Charge pump and Dual-Path Loop filter for PCS- and Cellular-CDMA Wireless systems", IEEE J. Solid-state Circuits. vol 37, No. 5, May. 2002.
- [4] Jung-Eun Lee, Eun-Chul Park, Choong-Yul Cha, Hyun-Su Chae, Chun-Deok Suh, Jeongwook Koh, Hanseung Lee and Hoon-Tae Kim, "A frequency synthesizer for UWB Transceiver in 0.13 μm CMOS technology", SiRF 2006.
- [5] Robert Bogdan Staszewski, Chih-Ming Hung, Nathen Barton, Meng-Chang Lee and Dirk Leipold, "A Digitally Controlled Oscillator in a

90nm Digital CMOS Process for Mobile Phones", IEEE J. Solid-State Circuits, vol 40, no. 11, Nov. 2005.

[6] A. Kral, F. Behbahani and A.A. Abidi, "RF-CMOS oscillator with switched tuning", Proceedings of custom integrated circuits conference, pp 555-558, santa clara, CA, May. 1998.

[7] R. Riley, M. Copeland and T. Kwasniewski, "Delta-sigma modulation in fractional frequency synthesizer", IEEE J. Solid-State Circuits, vol. 28, pp 553-559, May. 1993.

[8] Robert Bogdan Staszewski and Porast. balsar, "All digital Frequency Synthesizer in Deep-submicron CMOS", A John Wiley & Sons, 2006.

[9] D.B. Leeson, " A simple model for oscillator noise spectrum", Proc IEEE vol. 54, pp. 329-330, Feb. 1966.

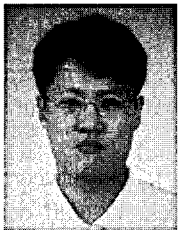
[10] J-O. Plouchart, H. Ainspan, M. Soyuer and A. Ruehli, " A fully-monolithic SiGe differential voltage controlled oscillator for 5 GHz wireless applications", IEEE Radio frequency integrated circuits symposium, June. 2000, pp 57-60.

[11] H.H. Hsieh and L.-H.Lu, " A high-performance CMOS voltage-controlled oscillator for ultra-low-voltage operations," IEEE Trans. Micro Theory Tech, vol. 55, no. 3, pp. 467-473. Mar. 2007.

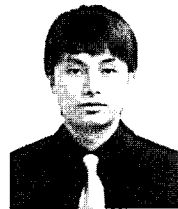
[12] A. Ismail, A. Abidi, "A 3.1 to 8.2GHz direct conversion receiver for MB-OFDM UWB Communications", 2005 IEEE ISSCC, pp. 208-593, Feb. 2005.

[13] D. Leenaerts, R. van de Beek, G. van der Weide, J. Bergervoet, K.S. Harish, H. Waite, Y. Zhang, C. Razzel, R. Roovers, "A SiGe BiCMOS 1ns fast hopping frequency synthesizer for UWB radio", 2005 IEEE ISSCC , pp. 202-593, Feb. 2005.

저 자 소 개



남 철(정회원)
2001년 서울대학교 전기공학부 석사 졸업.
2004년~현재 (주)실리콘하모니 수석 연구원.
2010년~현재 건국대학교 전자정보통신공학과 박사과정
<주관심분야 : RF / 아날로그 집적회로 설계



박 안 수(학생회원)
2009년 건국대학교 전자공학과 학사 졸업.
2009년~현재 건국대학교 전자정보통신공학과 석사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>



박 준 성(학생회원)
2010년 건국대학교 전자공학과 석사 졸업.
2010년~현재 건국대학교 전자정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>



부 영 건(학생회원)
2008년 건국대학교 전자정보통신공학과 석사 졸업.
2008년~현재 건국대학교 전자정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집적회로 설계>



허 정(평생회원)
1983년 서울대학교 전자공학과 석사 졸업.
1991년 서울대학교 전자공학과 박사 졸업.
1991년~현재 건국대학교 전자공학부 교수.
<주관심분야 : 안테나, RF 및 Microwave 회로>



이 강 윤(평생회원)
2003년 서울대학교 전기공학부 박사 졸업.
2000년~2005년 (주)지씨티리씨치 책임 연구원.
2005년~현재 건국대학교 전자공학부 부교수.
<주관심분야 : RF · 아날로그 집적회로설계, 아날로그/디지털 Mixed Mode 설계>