

논문 2010-47SD-8-7

고해상도 저전력 SAR ADC의 면적 최적화를 위한 타이밍 레지스터 구조 설계

(Design of Timing Register Structure for Area Optimization of High Resolution and Low Power SAR ADC)

민 경 직*, 김 주 성*, 조 후 현*, 부 영 건*, 허 정**, 이 강 윤**

(Kyung Jik Min, Ju Sung Kim, Hoo Hyun Cho, Young Gun Pu, Jung Hur, and Kang-Yoon Lee)

요 약

본 논문에서는 고해상도 저전력 SAR 타입 ADC(아날로그 디지털 변환기)의 면적을 획기적으로 줄이기 위해서 역 다중화기(Demultiplexer)와 카운터(Counter)를 이용하는 타이밍 레지스터(Timing register) 구조를 제안하였다. 전통적으로 사용되는 쉬프트 레지스터에 기반을 둔 타이밍 레지스터 구조는 해상도가 증가될수록 면적이 급격하게 증가하고, 또한 잡음의 원인이 되는 디지털 소비 전력도 증가되는 반면, 제안하는 구조는 해상도 증가에 따른 여러 보정 회로의 면적과 소비 전력 증가를 줄일 수 있다. 0.18 um CMOS 공정을 이용하여 제작하였으며, 제안한 타이밍 레지스터 구조를 이용하여, 기존 구조 대비 5.4배의 면적 감소와 디지털 전력 최소화 효과를 얻을 수 있었다. 설계한 12 비트 SAR ADC는 11 비트의 유효 비트(ENOB), 2 mW(기준전압 생성 블록 포함)의 소비전력과 1 MSPS의 변환 속도를 보였으며, 레이아웃 면적은 1 mm x 1mm 이었다.

Abstract

In this paper, a timing register architecture using demultiplexer and counter is proposed to reduce the area of the high resolution SAR type analog to digital converter. The area and digital power consumption of the conventional timing register based on the shift register is drastically increased, as the resolution is increased. On the other hand, the proposed architecture results in reduction of the area and the power consumption of the error correction logic of the SAR ADC. This chip is implemented with 0.18 um CMOS process. The area is reduced by 5.4 times and the digital power consumption is minimized compared with the conventional one. The 12 bits SAR ADC shows ENOB of 11 bits, power consumption of 2 mW, and conversion speed of 1 MSPS. The die area is 1mm x 1mm.

Keywords: SAR ADC, error correction logic, timing register, low power, high resolution

I. 서 론

최근 기술의 급속한 발전과 더불어 유비쿼터스(Ubiquitous)시대의 도래는 사람들의 생활 방식에 많은

변화를 주었다. 또한 장소와 시간의 장애 없이 더욱 다양한 정보를 요구하고 있다. 이는 유비쿼터스 센서 네트워크(USN)를 통해 무선으로 제공해 줄 수 있다. 제공되는 다양한 정보들은 자연계에 존재하는 무수한 아날로그 정보들이 될 수 있다. 이러한 아날로그 정보들을 그대로 처리하기에는 많은 어려움이 있다. 이것을 처리하기 위해서는 ADC 기술이 필수적이다.

ADC는 다양한 성능과 형태를 가지고 있다. 해상도(ENOB), 소비 전력(Power consumption)과 변환 속도(Conversion speed)로 성능을 비교할 수 있으며 사용

* 학생회원 ** 평생회원, 건국대학교 전자공학부
(Department of Electronic Engineering, Konkuk University)

※ 이 논문은 2009년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업입(No. 2009-0068457).

접수일자: 2009년12월9일, 수정완료일: 2010년7월21일

환경에 따라 ADC의 형태를 선택하여 사용한다. 특히 유비쿼터스 센서 네트워크에 사용되는 센서들은 데이터의 속도가 비교적 느리고, 사용자의 요구가 있을 때만 정보를 보내주면 되는 특징이 있다. 또한 센서들은 보통의 경우 무선 형태로 곳곳에 설치하기 때문에 저전력이 가장 중요한 성능이 된다. 유비쿼터스 센서 네트워크와 같이 저전력 ADC를 설계할 경우 SAR 타입의 ADC를 사용하는 것 가장 적합하다. SAR 타입의 ADC는 동작 구조상 고속의 동작에 제한이 있으나, 구성 블록의 수가 다른 타입의 ADC에 비해 적어 저전력의 조건을 만족 시킬 수 있다. 또한 파이프라인 ADC와 유사하게 비트수의 확장 또한 수월 하다.

본 논문에서는 유비쿼터스 센서 네트워크의 다양한 분야에 사용될 수 있는 센서용 저전력 고해상도의 SAR ADC를 설계하면서 면적과 전류 측면에서 최적화를 위한 역 다중화기(Demultiplexer)와 카운터(Counter)를 결합한 에러 보정 디지털 블록의 구조를 제안하였다.

다단 아날로그 데이터 변환기의 블록은 코드 수가 늘어나도 전체적으로 구성 블록의 수가 크게 증가 하지 않는다. 하지만 다단 데이터 변환기의 블록 중 디지털 코드 출력 블록은 변환기의 코드수와 단수가 증가하면 전체 변환기 면적에서 차지하는 비율이 높게 증가한다. 그 이유는 다단 변환기는 부분 코드 출력의 시간 관계를 맞추기 위한 구조가 필요하기 때문이다. 이러한 구조는 전통적으로 쉬프트 레지스터를 사용한다.

SAR ADC의 경우는 동작 구조적 특징을 이용하여 제안된 구조를 사용하면 전통적인 형태와 비교하여 레지스터의 수가 적게 사용하고자도 동일한 동작을 할 수 있다. 레지스터의 수를 줄임에 따라 디지털 블록에 면적, 소비 전력과 디지털 노이즈를 최소화 가 가능하다. 면적 최소화 측면에서 큰 장점을 가지게 된다.

II. 본 론

1. 전통적 구조의 다단 변환기

그림 1은 일반적인 파이프라인 ADC의 구조를 나타내고 있다.^[1~2] 다단 아날로그 데이터 변환기 중 파이프라인 ADC는 데이터 값을 찾아가는 방식에서 SAR ADC와 매우 유사 하다. 변환 방법에 이분 검색(Binary search)법을 사용 한다. 파이프라인 형태는 기본 블록(플래시 DAC와 DAC)을 변환 단수만큼 사용하여 변환을 수행한다.

다단 변환기는 부분 변환 코드 출력 시점을 맞추어 최

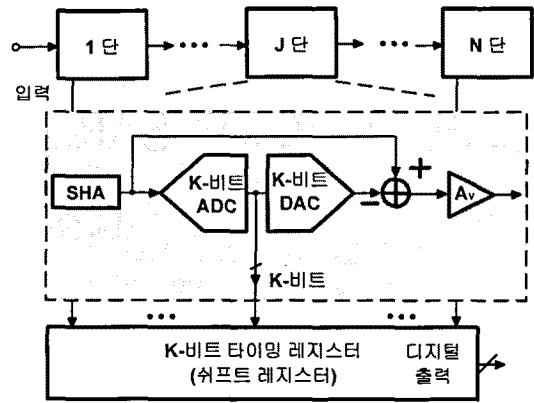


그림 1. 파이프라인 ADC의 구조도
Fig. 1. Architecture of pipeline ADC.

종 변환 코드를 만들기 위해서 타이밍 레지스터를 그림1에서와 같이 쉬프트 레지스터를 이용한 타이밍 레지스터가 필요하다. 또한 다단 변환기의 방식의 기본 구조에서는 변환 과정 중에 발생하는 오류가 그대로 디지털 출력 코드에 반영된다. 오류는 비교전압의 흔들림(Noise)이 큰 원인 된다. 이러한 오류에 대한 단점을 보정하기 위하여 디지털 에러 보정회로가 있어야 고해상도로서 유효한 다단 아날로그 변환기의 성능을 낼 수 있다. 그렇기 때문에 전통적으로 사용되어지는 타이밍 레지스터는 해상도가 증가 할수록 필요한 레지스터의 개수가 급격히 증가하여, 면적과 전력이 크게 증가한다.

그림 2는 12비트 파이프라인 ADC의 일반적인 타이밍 다이어그램(Timing diagram)이다. 타이밍 다이어그램을 통해서 파이프라인 ADC의 샘플링(Sampling)을 한 시점에서부터 변환에 필요한 초기 지연시간과 다음 출력까지의 지연시간을 알 수 있다.

파이프라인 ADC는 기본 구성 블록을 단수 만큼에 사용하여 변환하므로 각 블록은 자신의 단계에 해당하는 동작만 반복하게 된다. 그렇기 때문에 기준 클럭(Clock)마다 아날로그 입력을 받아서 디지털 데이터로 변환이 가능하다. 구성 블록은 매 기준 클럭 마다 부분 변환 코드

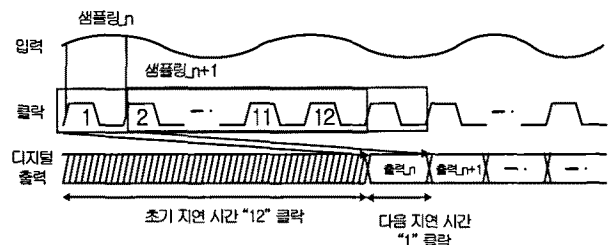


그림 2. 파이프라인 ADC의 타이밍 다이어그램
Fig. 2. Timing diagram of pipeline ADC.

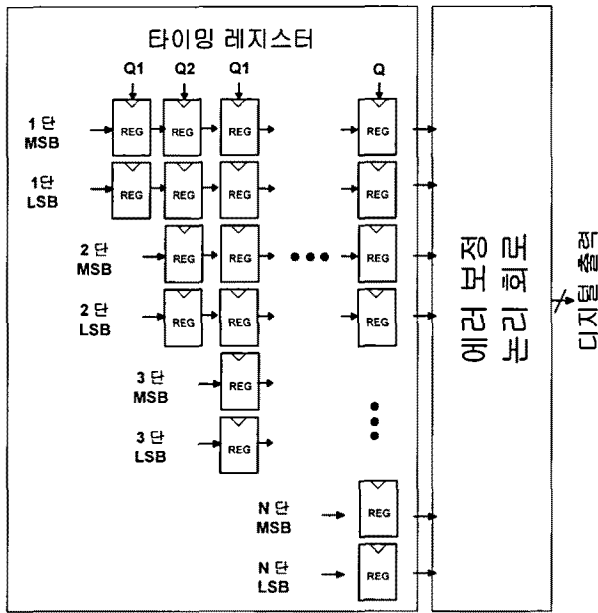


그림 3. 전통적 타이밍 레지스터 구조
Fig. 3. Conventional architecture of timing register.

를 쉬프트 레지스터에 넣게 된다. 쉬프트 레지스터에는 매 입력에 대한 부분 변환 코드를 계속 처리하게 된다. 최종 변환 데이터는 초기에 일정한 지연시간을 소비한 후에는 매 기준시간마다 입력에 대한 변환 데이터를 출력한다. N 번째 출력 코드와 N+1 번째 출력코드 사이에는 1 번의 기준 클럭 만큼에 시간적 차이를 가진다. 그러므로 변환 속도는 일정 지연 시간 후에는 기준 클럭과 동일한 속도를 가진다.

그림 3은 다단 데이터 변환기에 전통적으로 사용되는 쉬프트 레지스터의 구조이다. 첫 단에서 나오는 데이터의 경우 최종 출력까지 총 단수 만큼에 레지스터로 구성되고, 다음단의 경우는 전 단의 개수에서 한 쌍의 레지스터가 줄어든다. 이러한 방식으로 총 N단의 대한 쉬프트 레지스터를 구성하게 된다. 그림 3은 한 단에서 2 비트씩 얻어서 그 데이터를 보관한 경우에 대한 쉬프트 레지스터의 구조를 나타낸다. 이와 같은 구조의 특징상 만약 다단 변환기의 해상도가 증가하거나 한 단에서 처리하는 비트가 증가할 경우 쉬프트 레지스터의 크기는 매우 커진다.

2. SAR ADC 와 제안하는 타이밍 레지스터

그림 4는 전통적 구조의 SAR ADC의 알고리즘 구조이다.^[3~4] 위 구조는 입력 전압을 비교하여 각단(Stage)에서 얻어지는 부분 변환 코드를 쉬프트 레지스터와 보관 레지스터를 이용하여 전체 비트로 만든 후에 출력을

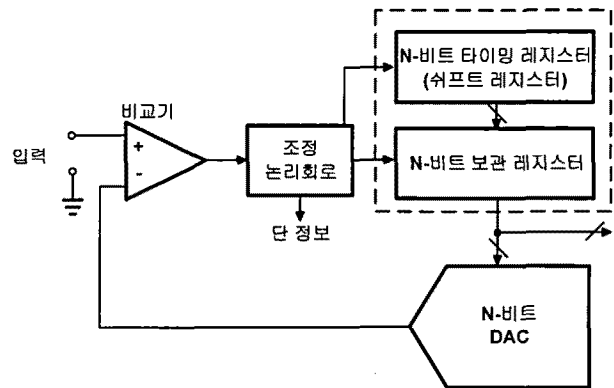


그림 4. 전통적인 SAR ADC 구조도
Fig. 4. Architecture of conventional SAR ADC.

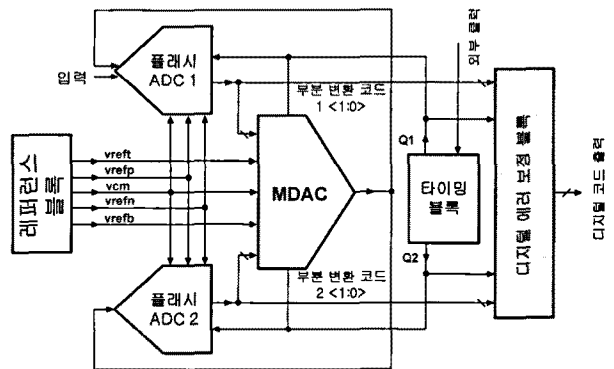


그림 5. 설계한 SAR ADC 의 구조도
Fig. 5. Architecture of designed SAR ADC.

한다. 이때 비교기(Comparator)에 비교 전압은 부분 변환 코드와 DAC를 이용해 복원된 전압을 사용 하게 된다.

SAR ADC의 경우는 기본 블록을 재사용하여 변환을 수행 한다. 파이프라인 ADC와 비교하여 전력과 면적 측면 그리고 변환 속도에서 각각에 장점과 단점을 가지고 있다. 일반적으로 SAR ADC는 파이프라인 ADC에 비해 저전력에 장점이 있고, 파이프라인 ADC는 SAR ADC에 비해 고속 동작에 장점이 있다.

SAR ADC에도 전통적으로 부분 변환 코드 출력 시점을 맞추어 최종 변환 코드를 만들기 위해서 쉬프트 레지스터를 이용하여 타이밍 레지스터의 동작을 수행한다.

그림 5는 설계한 SAR ADC의 블록도이다. 이는 기본적인 SAR의 구조와는 약간 차이가 있는 변형된 구조를 가지고 설계 하였다. 변환 속도와 사용전력 및 설계 면적을 최적화 하기위해 기본 블록(플래시 ADC 와 MDAC)의 구성을 2 부분으로 하여 변환 속도가 두 배가 될 수 있도록 하였다. 또한 면적과 전력 측면에서 최적화를 하기위해 MDAC (Multiplying DAC)의 증폭기를 공유^{[5][6]}하여 사용 하였다. 이를 통해 변환 속도를 2 배로 가지면

서도 전력과 면적측면에서는 크게 증가하지 않는 장점이 있다.

구성 블록으로는 변환 구간의 기준전압을 발생하는 레퍼런스 블록, 기준전압과 신호를 비교하여 디지털 신호를 만드는 플래시 ADC 블록, 입력 신호와 기준전압 신호의 차이(Residue)를 증폭하는 MDAC 블록, 각 단계에서 발생하는 부분 변환 코드를 이용하여 전체 변환 코드를 만드는 디지털 에러 보정 블록(Digital correction logic으로 에러 보정 블록이나 최종 출력 레지스터를 포함하므로 이하에서 동일한 의미로 사용) 그리고 전체 변환 과정에 기준시간을 만드는 타이밍 블록으로 구성한다.

레퍼런스 블록^[7]은 ADC의 변환 입력 전압 범위를 결정함과 구간을 구분하는 기준 전압을 생성한다. 이 기준 전압은 변환 과정에서 플래시 ADC 와 MDAC의 동작에 기준전압으로 사용되게 된다. 기준전압의 흔들림(Noise)은 전체 변환에 있어서 가장 큰 에러 원인이 된다. 그렇기 때문에 기준전압을 이상적으로 만드는 것이 중요하다. 하지만 기준전압은 커패시터(Capacitor)를 충전하는데 사용되기 때문에 흔들림을 완전히 막을 수는 없다. 그러므로 디지털적으로 이런 오류를 보정하는 회로가 필수적이다.

디지털 에러 보정 블록은 부분 변환 코드를 가지고 전체 코드를 만들어내며, 변환 과정 중 발생하는 오류를 보정한다. 오류의 원인으로는 기준전압의 흔들림, 기준전압 경계 부분 신호 처리의 모호성과 그 외 모든 회로의 노이즈가 원인이 되어 발생 할 수 있다. 에러 보정을 수행하기 위해 추가적인 정보가 필요로 하게 된다. 그러므로 보정에 필요한 데이터를 보관하기 위해서 단순히 코드를 합치는 구조와 다르게 추가적인 레지스터가 필요로 하게 된다. 그러므로 ADC의 해상도가 높아질수록 필요한 레지스터의 개수가 더욱 많아져서 타이밍 레지스터의 면적이 높은 비율을 차지하게 된다.

그림 6은 12비트 SAR ADC의 일반적인 시간 흐름이다. SAR ADC의 경우는 아날로그 입력을 받아 변환을

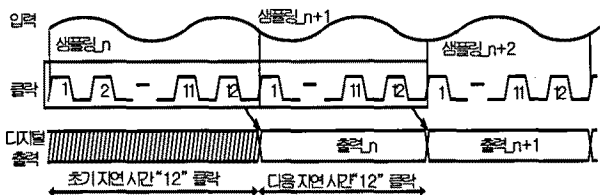


그림 6. SAR ADC의 타이밍도
Fig. 6. Timing diagram of SAR ADC.

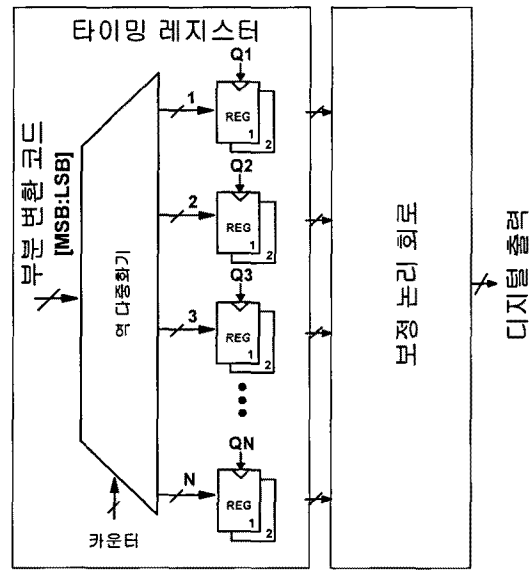


그림 7. 제안한 타이밍 레지스터의 개념적 구조도
Fig. 7. Conceptual architecture of proposed timing register.

시작하여 단수만큼 기본 블록이 반복적으로 변환을 하면서 부분 변환 코드를 쉬프트 레지스터에 넣어 변환이 완료되면 이를 처리하여 최종 변환 코드를 출력한다. 변환이 끝난 후 다음 아날로그 입력을 받아서 이전 동작을 다시 수행 한다. 그렇기 때문에 N 번째 변환 코드와 N+1 번째 변환 코드 사이에는 단수만큼의 기준 클럭 시간이 차이가 난다. 그러므로 변환 속도(SPS)는 기준 클럭을 변환 단 수만큼 나누어준 것과 동일한 속도를 가진다.

그림 7은 제안하는 타이밍 레지스터의 개념적인 구조도이다. 파이프라인 ADC의 경우 매 기준 시간마다 입력을 받아들여 변환 하게 되고, 각 단에서 부분 변환 코드를 매 기준 시간마다 발생시키기 때문에 전통적인 쉬프트 레지스터 형태의 구조가 필수적이다. 하지만 SAR ADC의 경우 시간 관계에서 기존에 사용되던 쉬프트 레지스터의 개별 레지스터가 타이밍을 맞추기 위해서 다음 레지스터로 데이터를 전송 한 후에 다음 아날로그 입력 신호를 입력받아 새로운 변환이 시작되기 전까지 무의미한 동작을 하게 된다. 그러므로 데이터를 전송 후에는 변환 구간 안에서는 필요가 없어진다. 이러한 특징을 살려서 역 다중화기와 카운터를 사용하여 정해진 순서의 단에서 발생한 부분 변환 코드를 최종적으로 위치할 레지스터에 직접 저장하는 방법을 이용하면 레지스터의 개수를 효과적으로 줄일 수 있다. 그림 7과 같이 각 단에서 발생하는 부분 변환 코드를 역 다중화기와 카운터를 이용하여 레지스터에 각각 저장을 하게 된다면 타이밍을 맞

추가 위한 쉬프트 레지스터가 필요하지 않게 된다. 추가 적 회로인 역 다중화기와 카운터는 ADC의 해상도가 증가해도 거의 일정한 크기를 가진다. 역 다중화기와 카운터를 이용하여 쉬프트 레지스터를 대체 하는 경우에 레지스터 수를 최소화하여 면적에서 큰 효과를 얻을 수 있으며, 그 외에도 몇 가지 장점을 가진다.

우선 레지스터의 수적인 측면을 비교 하여 보면, 수식 (1) 은 전통적으로 사용하는 타이밍을 맞추기 위한 쉬프트 레지스터에 필요한 레지스터의 개수를 나타낸다.

$$N_{conventional} = B \times \left(\frac{n^2 + n}{2} \right) \quad (1)$$

$$N_{proposed} = B \times n \quad (2)$$

수식 (1)에서 “ $N_{conventional}$ ”은 필요한 총 레지스터의 수를 나타내며, “ B ”는 한단에서 발생하는 변환 코드(변환 데이터와 에러를 보정하기위한 추가비트 포함)의 비트수를 나타낸다. 또한 “ n ”은 총 단수를 나타낸다. 예를 들어 12 비트 ADC에서 에러 보정을 위해 각 단마다 2 비트의 코드(변환데이터 1 비트와 보정을 위한 1 비트)가 생성되고, 총 12 단계를 거쳐 변환한다면 총 156 개의 레지스터가 필요로 한다.

수식 (2)는 제안하는 역 다중화기와 카운터를 이용한 제안하는 구조에서 필요한 레지스터의 개수를 나타낸다. 수식 (2)에서 “ $N_{proposed}$ ”는 제안하는 구조에서 필요한 총 레지스터의 수를 나타낸다. 위에서 보인 예의 12 비트 ADC의 경우 제안하는 구조를 사용할 경우 24 개의 레지스터만을 사용하여 동일한 동작을 수행 할 수 있다.

전통적 구조와 제안된 구조에서의 레지스터 수의 차이는 SAR ADC의 해상도(비트 수)가 증가함에 따라서 그

림 8과 같이 크게 차이가 난다. 위 그래프는 한 단에서 출력하는 부분 변환 코드의 비트수가 2 비트로 고정했을 경우에 해당된다.

레지스터 전체의 면적 측면에서 보게 되면 그림 8과 같이 ADC의 해상도가 증가함에 따라 전통적인 구조와 제안하는 구조의 면적 차이가 날 수 있다. 그림 11는 0.18 um CMOS 공정을 이용하여 레이아웃을 하였을 때의 경우이며, 사용한 레지스터의 개수는 각각 그림 8과 같다. 전통적인 쉬프트 레지스터 구조의 레이아웃은 그림 5에서 나타난 구조의 모양대로 레이아웃 하는 것이 클락 배선 및 데이터의 배선이 간단하며, 각 배선간의 교차를 방지 할 수 있다. 추가 되는 역 다중화기와 카운터로 인하여 4 비트 이하의 ADC에 적용할 경우는 전통적인 구조와 차이가 적어 큰 이득이 없으나, 5 비트 이상의 ADC에 적용 할 경우 면적 감소의 이득을 볼 수 있다.

실제 12 비트 ADC에 필요한 타이밍 레지스터를 레이아웃 할 경우 레이아웃에 방법과 모양에 따라서 면적이 크게 차이가 나겠지만, 본 설계에서 사용한 레지스터의 단위 면적은 336 um²이다. 이를 기존의 방식을 사용하였을 경우 52416 um² 만큼에 면적이 필요한 반면, 제안하는 구조를 사용할 경우 8064 um² 만큼에 면적만 필요하게 되므로 그 차이는 44352 um² 가 나게 된다. 위에서도 언급한 바와 같이 이 면적은 단순한 단위 면적과 개수의 차이로만 계산한 면적의 차이에 해당되고, 실제 레이아웃에서의 차이와는 일치 하지는 않는다. 본 설계에서 사용한 총 면적은 1 mm² 이지만, 실제 유효한 면적은 0.45 mm² 에 해당 한다. 이면적과 비교하였을 경우 설계한 레이아웃 상에서 기존 면적에 비율은 약 20 %정도를 차지하게 되지만, 제안한 구조를 사용한 경우 3.3 %정도로 낮아지게 된다.

제안하는 구조의 타이밍 레지스터는 역 다중화기와 카운터회로가 별도로 필요하다. 하지만 역 다중화기의 기능은 실제 역 다중화기를 통하지 않고도 구현이 가능하다. 레지스터의 클락 신호를 제어하면 역 다중화기를 사용한 것과 동일하게 원하는 레지스터에만 데이터를 저장 할 수 있기 때문에 레지스터 자체가 역 다중화기의 역할을 동시에 수행할 수 있다. 기존 타이밍 블록에서 만들어지는 단 정보(State signal)를 변형하여 카운터 신호를 구현 할 수 있다. 그러므로 설계한 12 비트 SAR ADC에서는 간단한 “AND” 디지털 로직 회로를 제외하고 부가적인 회로가 필요 없다.

그림 9에서 제안하는 타이밍 레지스터의 구조와 각 레

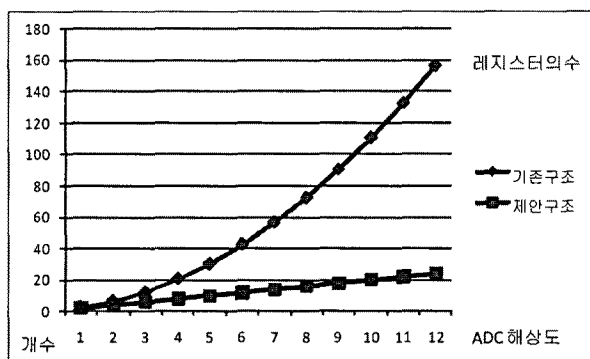


그림 8. 해상도에 따른 레지스터 수
Fig. 8. Relationship between the number of register and resolution of the ADC.

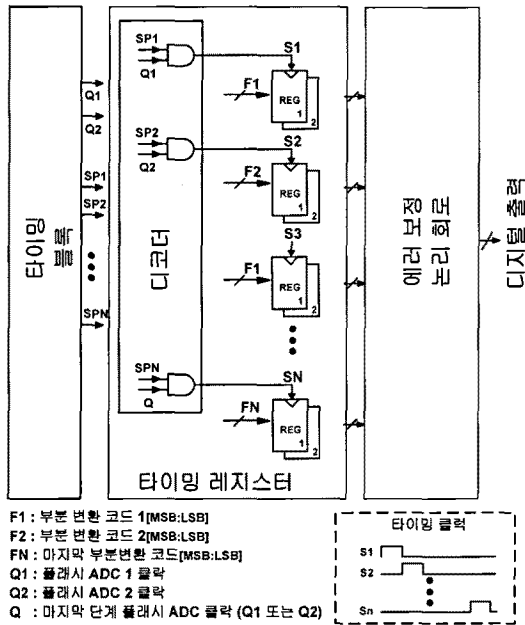


그림 9. 제안하는 타이밍 레지스터의 구조
Fig. 9. Architecture of proposed timing register.

지스터의 동작 클럭 신호 파형을 확인 할 수 있다. 제안된 구조를 이용한 12 비트의 ADC에 해당하는 타이밍 레지스터와 전통적인 쉬프트 레지스터를 레이아웃 하여 면적을 비교하면 약 5.4 배의 면적 최소화의 효과를 확인할 수 있다. 이는 ADC의 해상도가 증가 할수록 큰 이득을 얻게 된다.

제안된 구조를 이용 할 경우 면적 이외에 개선되는 성능들이 있다. 사용하는 레지스터의 수가 최적화에 따라 사용되는 소비 전력을 줄이게 된다. 물론 디지털 에러 보정 블록의 소비 전력은 전체 ADC에서 매우 작은 부분을 차지 하지만, 디지털 부분에서 낭비되는 전력을 최소화하는 것은 ADC에서 아날로그 부분에 영향을 줄 수 있는 디지털 노이즈의 크기를 줄이는 효과가 있다. 실제 사용 전력은 전통적인 구조에서 제안한 구조로 변경 시 1/24로 소비 전력과 디지털 노이즈에 원인이 될 수 있는 피크 전류(Peak) 전류의 크기가 감소하는 것을 확인할 수 있다.

피크 전류는 전원의 인덕턴스 성분과 기판을 통해 노이즈가 각 블록에 전달 될 수 있다.

전력 공급에 흔들림을 발생 시킬 수 있다. 칩에 전력을 전달하기 위해서는 기판과 패드에 보드와이어로 연결을 하게 되는데 이때, 본드와이어는 보통 1 nH에서 2 nH 정도의 인덕턴스를 가지게 된다. 피크 전류는 디지털 블록의 클럭 에지에서 발생하게 되고 보통 1 ns~2 ns 이하의 시간동안 발생 한다. 이런 상황에서의 인덕턴스를 통해

서 발생하는 전압의 흔들림은 수식(3)으로 간략화 할 수 있다.

$$V_l = L \frac{di}{dt} \cong L \frac{\Delta i_{peak}}{\Delta t_{peak}} \quad (3)$$

(V_l 은 인덕터 양단에 전압차, L 은 인덕턴스, i_{peak} 는 피크 전류의 크기, t_{peak} 는 피크 전류 발생 시간)

기존 타이밍 레지스터 회로에서 발생하는 피크 전류는 300 uA 로서 이때 발생하는 전압의 흔들림은 인덕턴스를 1.5 nH 발생시간을 1.5 ns 라하면 약 300 uV의 흔들림이 생기게 된다. 이는 본 설계한 데이터 변화기에 입력 범위 300 mV에 대하여 비교 하면 약 4 LSB 에 해당하는 값이 된다. 이 회로를 제안하는 회로를 적용한다면 피크 전류 13 uA로서 이를 통해 발생하는 전압 흔들림은 약 0.18 LSB 에 해당하게 된다. 시스템에 파워 커패시터와 PSRR을 높이기 위한 방법들이 적용이 되어 있지 않다면, 기존 회로를 사용했을 경우 ENOB에 직접적인 영향을 주게 될 것이다. 반면 제안하는 방법을 통해서 레지스터의 숫자를 줄임으로서 동작 시 발생하는 피크 전류가 줄어 노이즈로 발생할 수 있는 양을 많이 줄일 수 있다.

III. 실험

그림 10은 설계한 1 MSPS 12 비트 SAR ADC의 전체 레이아웃이다. 0.18 um 1 poly-6 metal 공정을 이용하여 설계와 레이아웃을 통하여 다음과 같은 결과 차이

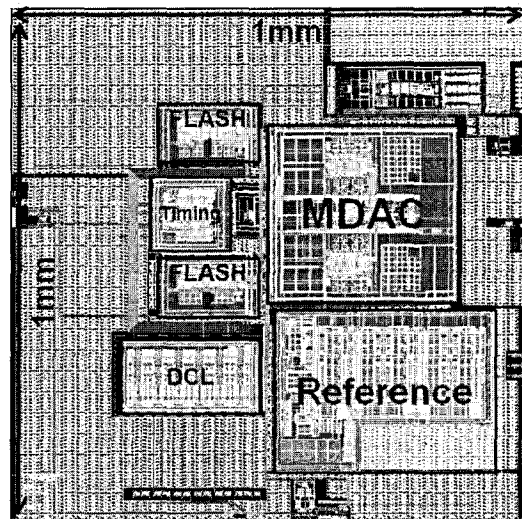


그림 10. 12비트 SAR ADC 전체 레이아웃
Fig. 10. TOP Layout of the 12bits SAR ADC.

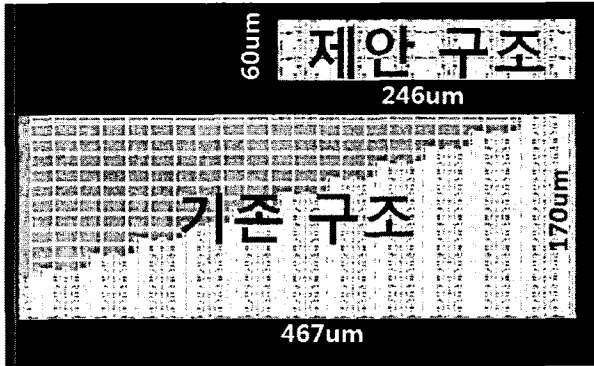


그림 11. 타이밍 레지스터 구조의 레이아웃 면적 비교
Fig. 11. The comparison of the timing register layout area.

표 1. 타이밍 레지스터의 비교 요약
Table 1. Comparison summary of Timing Registers.

항목	전통적 구조	제안된 구조
소비전류	17 uArms	0.7 uArms
peak 전류@clk edge	300 uA	13 uA
레지스터 수	156 개	24 개
Area	170 um*467 um	246 um*60 um
Process	0.18 um CMOS	

를 확인 하였다. 전통적 구조에서 제안한 구조로 변경하면 사용되는 레지스터(또는 latch)의 개수가 전통적인 구조에서 156 개를 사용한 반면, 제안된 구조에서는 24 개만을 가지고 동일한 기능을 수행 가능하다. 레지스터 개수의 감소를 통해서 표 1과 같이 성능 차이를 보였다.

다음은 면적측면에서 그림 11과 같이 차이를 보였다. 전통적인 구조가 170 um × 467 um의 면적이 필요한 반면, 제안된 구조는 246 um × 60 um의 면적을 사용하였다. 이를 통해 면적 측면에서 약 5.4 배의 차이를

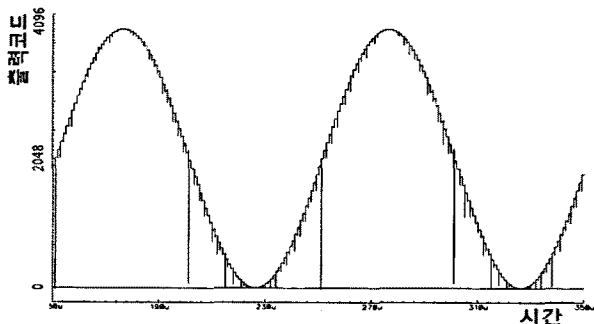


그림 12. SAR ADC의 정현파 신호에 대한 출력 파형
Fig. 12. Output Wave function of SAR ADC by Sine wave Input.

확인 하였다.

그림 12는 설계한 1 MSPS 12 비트 SAR ADC에 10 kHz에 정현파를 차동으로 인가하였을 경우, 디지털 출력 코드에 가중치를 곱하여 출력한 결과 이다.

그림 13은 10 kHz의 정현파 입력을 넣고 측정된 출

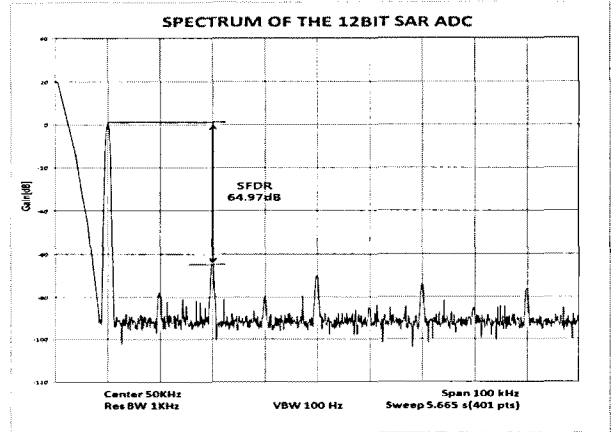


그림 13. 설계한 ADC의 SNR 측정 FFT 스펙트럼
Fig. 13. Measured FFT Spectrum of the proposed ADC.

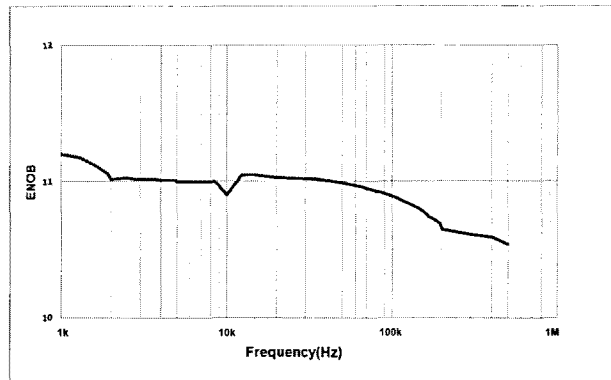


그림 14. 입력 신호의 주파수에 대한 유효비트
Fig. 14. Measured FFT Spectrum of the proposed ADC.

표 2. 설계한 ADC의 성능 요약
Table 2. Performance summary of designed SAR ADC.

	this work
Resolution	12 bit
Sample rate	1 MSPS
ENOB	10.5 bit @ 500 kHz input
Supply	1.8 V analog/ 1.8 V digital
INL / DNL	±0.6 LSB / ±0.5 LSB
Area	1 * 1 mm ² (w/o pad)
Power Consumption	2 mW (with 1.3 mW Reference power)
Process	0.18 μm CMOS

력신호의 스펙트럼 파형이다. SNR은 71 dB 정도이며, SFDR은 65 dB 정도로 측정되었다.

그림 14는 설계한 ADC의 성능을 입력 주파수를 1 kHz부터 500 kHz까지 변화 시키면서 출력되는 코드의 유효 비트수를 환산하여 도표로 나타낸 것이다. 나이키스트 샘플링 주파수부근으로 올라갈수록 성능이 떨어지는 하지만, 전체적으로 10.5 비트 이상에 유효 비트수가 측정되었다.

설계한 저전력 1 MSPS 12 비트 ADC의 성능은 표 2와 같이 0.18 μm 공정 CMOS를 이용하여 1 mm^2 의 면적에 설계하였다. 1 MSPS의 변환 속도 하에 약 2 mW의 전력을 소비하며, ENOB는 약 11 비트에 해당한다.

IV. 결 론

본 논문에서는 SAR 타입의 ADC에 역 다중화기와 카운터를 이용하는 타이밍 레지스터의 구조를 제안하였다. 이 구조를 사용할 경우 전통적인 구조에 비해 면적 및 전류 측면에서의 큰 이득을 얻을 수 있다. 저전력 고해상도의 ADC의 설계에 있어서 이러한 디지털 블록의 면적 과 전력 최소화는 필수적이다.

0.18 μm 1 - poly - 6 metal CMOS공정에서 전통적인 구조와 제안된 구조를 동시 설계 및 레이아웃을 통하여 비교를 하였다. 면적에서 약 5.4 배 차이를 확인하였고, 전류 측면에서 1/24로 줄이는 효과를 확인하였다. 또한 디지털 블록의 피크 전류 또한 전통적인 구조와 약 24 배 차이 나는 것을 확인하였다.

참 고 문 헌

- [1] Bang-sip Song. "A 10-b 15-MHz CMOS Recycling Two-Step A/D Converter" *IEEE J. Solid-State Circuits*, Vol. SC-25, pp.1328-1338, Dec. 1990.
- [2] M. Yotsuyanagi, T. Etoh, and K. Hirata, "A 10 bit 50MHz pipelined CMOS A/D Converter with S/H," *IEEE J. Solid-State Circuits*, vol. SC-28, pp.293-300, March 1993.
- [3] R. E. Fletcher, "Analogue to digital converters," *U.S. Patent 3938188*. Feb. 10, 1976.
- [4] H. Kaneko, "Bipolar analog to digital converter with double detection of sign bit," *U.S. Patent 3735392*, May 22, 1973.
- [5] Ryu,S., Song,B., and Bacrania, K. " A 10-bit

50-MS/s pipelined ADC with opamp current reuse." *IEEE Journal of Solid-State Circuits*, 42(3), pp.475-485.,march 2007.

- [6] Song,B., and Tompsett, F. "A 12-bit 1-Msample/s Capacitor Error -Aver aging Pipelined A/D Converter" *ISSCC Digest of Technical paaper*, pp.226-227,. 1989.
- [7] Cho, Y., and Lee, S. " an 11b 70MHz 1.2 mm^2 49mW 0.18 μm CMOS ADC with on-chip current/voltage references", *IEEE Transactions on Circuit and Systems I*, 52(10), Oct, 2005.

저 자 소 개



민 경 직(학생회원)
2009년 건국대학교 전자공학과
학사 졸업.
2009년~현재 건국대학교 전자정
보통신 공학과 석사과정
<주관심분야 : ADC, PLL/ 아날
로그 집적회로 설계>



김 주 성(학생회원)
2009년 건국대학교 전자공학과
학사 졸업.
2009년~현재 건국대학교 전자정
보통신 공학과 석사과정
<주관심분야 : ADC, PLL/ 아날
로그 집적회로 설계>



조 후 현(학생회원)
2006년 동양대학교 전자공학과
학사 졸업.
2010년 건국대학교 전자정보통신
공학과 석사 졸업
<주관심분야 : PMIC, PLL/아날
로그 집적회로 설계>



부 영 건(학생회원)
2008년 건국대학교 전자정보통신
공학과 석사 졸업.
2008년~현재 건국대학교 전자
정보통신공학과 박사과정.
<주관심분야 : RF / 아날로그 집
적회로 설계>



허 정(평생회원)
1983년 서울대학교 전자공학과
석사 졸업.
1991년 서울대학교 전기공학과
박사 졸업.
1991년~현재 건국대학교
전자공학부 교수

<주관심분야 : 안테나, RF 및 MicroWave 회로>



이 강 운(평생회원)
2003년 서울대학교 전기공학부
박사 졸업.
2000년~2005년 (주)지씨티리씨치
책임 연구원
2005년~현재 건국대학교
전자공학부 교수

<주관심분야 : RF · 아날로그 집적회로설계, 아날
로그/디지털 Mixed Mode 설계>