

논문 2010-47SD-8-5

# 내장된 자체 테스트를 위한 저전력 테스트 패턴 생성기 구조

( An Efficient Test Pattern Generator for Low Power BIST )

김기철\*, 강성호\*\*

( Kicheol Kim and Sungho Kang )

## 요약

본 논문에서는 내장된 자체 테스트 기법 (BIST, Built-In Self Test)을 적용 할 때 저전력 테스트가 가능한 패턴 생성기를 제안하였다. 테스트 시 WSA (Weighted Switching Activity)가 많이 발생하는 노드인 heavy nodes의 선택 알고리즘을 제안하였으며, heavy nodes에 전이를 발생시키는 입력부 곧 heavy inputs을 찾는 알고리즘을 나타내었다. 고장 검출율을 높이는 최적의 heavy nodes의 수를 결정하고 선택된 입력부에 변형된 LFSR의 출력을 인가하여 테스트 시 발생하는 전이를 줄였다. 제안하는 패턴 생성기는 몇 개의 AND 게이트와 OR 게이트를 LFSR에 추가하여 적은 하드웨어 오버헤드로 간단히 구현된다. ISCAS 벤치 회로에 적용한 실험을 통해 제시하는 방법이 기존의 기법에 비해 평균 소비 전력을 감소시키면서 고장 검출율을 상승시키는 것을 검증하였다.

## Abstract

In this paper we propose a new pattern generator for a BIST architecture that can reduce the power consumption during test application. The principle of the proposed method is to reconstruct an LFSR circuit to reduce WSAs of the heavy nodes by suppressing the heavy inputs. We propose algorithms for finding heavy nodes and heavy inputs. Using the Modified LFSR which consists of some AND/OR gates trees and an original LFSR, BIST applies modified test patterns to the circuit under test. The proposed BIST architecture with small hardware overhead effectively reduces the average power consumption during test application while achieving high fault coverage. Experimental results on the ISCAS benchmark circuits show that average power reduction can be achieved up to 30.5%.

**Keywords:** 저전력 테스트, 테스트 패턴 생성기, BIST

## I. 서론

노트북 컴퓨터나 휴대폰 같은 휴대용 전자 기기가 보편화 되면서, 저전력 설계는 점차 중요해지게 되었다. 이에 따라 저전력 테스트 기법 또한 점점 중요성을 더해가고 있다. 저전력 테스트가 중요한 이유는 테스트 시 발생하는 소비전력이 통상시 소비되는 전력을 2배 이상 상회하기 때문이며, 이는 배터리의 수명 및 시스템의 성능과 신뢰성에 영향을 미친다.

한편 내장된 자체 테스트 기법인 BIST가 점차 주목

을 받고 있다. 내장된 자체 테스트 기법은 테스트 대상 회로의 접근성을 높여 테스트 효율을 증가시키며, 동작 속도로 테스트가 가능하고, 고성능 ATE (Automatic Test Equipment) 같은 외부의 테스트 장비를 필요로 하지 않는다는 장점을 가지고 있다. 하지만 테스트 패턴 생성기로 사용되는 LFSR (Linear Feedback Shift Register)은 회로 내에 많은 SA (Switching Activity)를 발생시키며 소비 전력을 증가시켜 내장된 자체 테스트 사용의 제약이 되고 있다. 이에 따라 내장된 자체 테스트 기법을 적용한 회로에서 소비 전력을 감소하기 위한 방법들이 활발히 연구되고 있다. 그 중 저전력 패턴 생성기를 사용하여 저전력 테스트를 실현한 방법이 있다<sup>[1-4]</sup>. 이 방법들은 내장된 자체 테스트 기법에서 사용되는 LFSR의 구조를 저전력 테스트에 맞게 변형하여,

\* 학생회원, \*\* 평생회원, 연세대학교 전기전자공학과  
(Department of Electrical and Electronic Engineering, Yonsei University)

접수일자: 2010년6월1일, 수정완료일: 2010년7월8일

회로의 SA를 줄여 저전력 테스트를 가능하게 하였다. 하지만 일반적으로 저전력 패턴 생성기를 사용할 경우 고장 검출율이 감소하고, 테스트 시간이 길어지며 하드웨어 오버헤드가 커지는 단점을 가지고 있다.

본 논문은 기존 기법들의 단점을 보완하여, 테스트 시 회로 내에서 불필요하게 발생하는 SA를 줄여, 적은 하드웨어 오버헤드에도 고장 검출율을 증가시키는 저전력 테스트 패턴 생성기를 제안하였다.

## II. 제안하는 저전력 테스트 기법 및 알고리즘

CMOS 회로에서 소비되는 에너지의 90% 이상이 SA로 인해 발생하는 것을 생각해 볼 때, 테스트 시 WSA를 줄인다면 테스트 시 소비 전력을 줄일 수 있을 것이다. WSA는 노드에서 발생하는 천이 수와 커패시턴스 값을 곱한 값으로, SA보다 더 정확한 전력 소비에 관한 파라미터이다.

내장된 자체 테스트 기법에서는 테스트 패턴 생성기로 LFSR을 사용한다. LFSR을 사용할 때 논리값 '0' 혹은 '1'이 생성될 확률은 각각 0.5이기 때문에, 테스트 대상 회로의 입력단에는 천이가 빈번하게 발생하게 되고 테스트 시 소비 전력은 증가하게 된다. 따라서 입력단에서의 천이를 줄인다면 소비 전력은 감소하게 될 것이다. 하지만 테스트 대상 회로의 모든 주 입력부의 천이를 줄인다면 회로 내부의 천이 발생이 현저히 줄어들어 고장 검출율은 낮아지게 되며, 고장 검출율을 높이려면 더 많은 테스트 패턴을 인가하게 되어 테스트 시간은 증가하게 된다. 따라서 입력부의 천이를 감소시켜도 고장 검출율에 크게 영향을 받지 않는 특정 입력부를 선택하는 것이 필요하다. 이를 위해 테스트 시 불필요하게 많은 WSA가 발생하는 노드를 찾고, 그 노드의 WSA를 줄이도록 특정 입력부를 정하였다.

테스트 대상 회로의 구조에 따라서 테스트 시 어떤 노드는 다른 노드들에 비해 많은 천이가 일어난다. 회로 내부에서 가장 많은 WSA가 발생하는 노드를 heavy node로 정의하였다.<sup>[4]</sup> Heavy node의 과도한 천이를 줄인다면 테스트 시 전체 소비 전력을 줄일 수 있다. Heavy node의 천이를 줄이기 위해 heavy node에 영향을 미치는 입력부의 천이를 줄여야 한다. 이를 위해 heavy node에 천이를 일으키는 회로의 주 입력부를 heavy inputs으로 정의하였고, heavy inputs에 인가되는 패턴들의 '0'과 '1'의 분포를 변화시키도록 AND/OR

### Select Heavy Node();

1. Generate random test patterns using an LFSR and apply these patterns to the CUT
2. Calculate WSA at each node
3. Sort WSA values for all nodes in descending order
4. Define the node which ranked in the highest position as heavy node

그림 1. Heavy node 선택 알고리즘

Fig. 1. Algorithm for the selection of heavy node.

### Select Heavy Inputs();

1. Define primary inputs as heavy inputs which can affect the heavy node using backtrace
2. Decide the logic value 0 or 1 for each heavy input resulting in the WSA reduction of heavy node by using backtrace

그림 2. Heavy inputs 선택 알고리즘

Fig. 2. Algorithm for the selection of heavy inputs.

게이트 트리의 출력을 인가하여 천이를 줄이도록 하였다. 입력부에 인가되는 패턴의 '0'과 '1'의 분포는 회로의 고장 검출율에 영향을 미칠 수 있는데, 효율적인 테스트를 위하여 무작위 저항 고장을 검출하는 패턴을 생성할 확률을 높이도록 '0'과 '1'의 분포를 정하였다. 이를 통해 저전력 테스트를 하면서도 고장 검출율은 높이도록 하였다.

Heavy node 및 heavy inputs은 적절한 기준에 따라 결정되어야 한다. Heavy node의 선택에 대한 기준을 그림 1에 나타내었다.

Heavy node를 찾기 위한 단계는 다음과 같다. 우선 LFSR을 이용하여 의사 무작위 테스트 패턴들을 생성한 후, 생성한 패턴을 테스트 대상 회로에 가해준다. 이때 회로 내부의 모든 노드에서 발생하는 WSA를 계산한다. WSA를 기초로 하여, 테스트 시 가장 많은 WSA가 발생하는 노드를 heavy node로 정의한다.

Heavy node에서 발생하는 과도한 천이를 줄여도 고장 검출율에 큰 영향을 주지 못한다. 왜냐하면 heavy node에서 발생하는 천이는 고장 검출율을 높여주기 위해 발생하기 보다는 다른 고장들을 검출하면서 불필요하게 발생하는 천이일 가능성이 크기 때문이다. 따라서 heavy node의 천이를 줄인다면 고장 검출율을 유지하면서 테스트 시 소비 전력을 줄일 수 있다.

선택한 heavy node에서 발생하는 천이를 줄이기 위해 heavy inputs을 찾는 알고리즘을 그림 2에 나타내었다.

Heavy inputs을 찾는 알고리즘을 보면 먼저 후방 추

적 과정을 통해서 heavy node의 천이 발생을 유발하는 주 입력부들을 선택한다. 그 주 입력부들을 heavy inputs으로 정의하였다. 후방 추적 과정을 진행하면서 선택된 주 입력부의 천이를 줄이기 위한 값을 설정한다. 여기서 주 입력부의 논리 값을 '1'로 고정시킬 때 천이가 줄어들면 OR 게이트를 주 입력부에 연결하고 '0'으로 고정시킬 때 천이가 줄어들면 AND 게이트를 주 입력부에 연결하도록 한다. 이를 통해 주 입력부의 값을 '0' 또는 '1'의 발생을 증가시켜 저전력 테스트를 가능하게 한다. 이를 통해 테스트 대상 회로 내의 SA를 전반적으로 줄일 수 있다. Heavy inputs의 천이를 줄인다면, heavy node의 천이뿐만 아니라 heavy node에서 주 입력부까지의 콘 (cone)의 천이도 줄어들게 된다. 또한 heavy node의 천이 감소로 heavy node에서 주 출력부까지의 콘의 천이도 줄어들게 되어 테스트 시 효과적으로 전력 소비가 감소하게 된다.

지금까지의 과정을 통해 heavy node에서 발생하는 불필요한 천이를 줄이기 위한 heavy inputs을 선택하고 heavy inputs에 어떠한 게이트의 출력부를 연결할 것인가 정할 수 있다. 그런데 선택된 heavy inputs에 게이트를 한 개 연결할 것인지 두 개를 연결할 것인지에 따라 소비 전력과 고장 검출율이 달라질 수 있기 때문에 적절한 선택 방법이 필요하다. 일반적으로 heavy inputs에 연결한 AND/OR 게이트 트리의 depth가 클수록 천이가 줄어들어 전력소비를 줄일 수 있다. 하지만, 그 천이를 과도하게 줄인다면 그 영향으로 고장 검출율이 떨어질 수도 있다. 따라서 고장 검출율에 영향을 미치지 않도록 heavy inputs에 연결하는 게이트 트리의 적절한 depth를 선택하는 것이 중요하다. 이를 위해 고장 검출

율을 높이는 패턴을 발생시키는 확률을 높이도록 그 depth를 결정하였다.

우선 의사 무작위 패턴을 가해준 후, 검출되지 않는 무작위 패턴 저항 고장들의 리스트를 작성한 후 그 고장들을 검출해 낼 수 있는 테스트 벡터들을 생성해 낸다. 그림 3에는 주 입력부가 10개인 테스트 대상 회로에 대해 무작위 패턴 저항 고장을 검출하는 10개의 테스트 패턴을 생성한 예를 나타내었다.

생성한 테스트 벡터들을 생성할 확률을 높이도록 heavy inputs에서의 샘플링 확률을 결정한다. 그림 3에서 1, 4, 10번째 비트 열이 heavy inputs으로 들어가는 입력 값들이다. 첫 번째 비트 열의 경우 논리 값 '0'이 8번 혹은 don't care 비트로 인해 '0'이 9번 생성된다면 무작위 패턴 저항 고장을 검출하는 테스트 벡터의 생성 확률이 증가할 것이다. 곧, 첫 번째 비트 열은 논리 값 '0'을 생성할 확률은 0.8~0.9로 만들고, 네 번째 비트 열은 논리 값 '0'을 생성할 확률을 0.6~0.7, 열 번째 비트 열은 논리 값 '1'을 생성할 확률을 0.7~0.8로 한다면 그림 3에 나오는 패턴들을 만들어낼 확률을 증가시킬 수 있을 것이다. 이처럼 의사 무작위 패턴 저항 고장을 검출할 수 있는 패턴을 생성하는 확률을 증가시키도록 각 heavy input에 따른 발생 확률을 결정한다.

각 heavy input에 대한 논리 값의 발생 확률이 결정되면, 그에 따라 heavy inputs에 연결할 게이트 트리의 depth를 결정한다. 각 게이트 트리에는 LFSR의 출력이 연결되므로 게이트 트리의 입력부에서 논리 값 '0' 또는 '1'이 인가될 확률은 0.5가 된다. 따라서 하나의 AND 게이트를 사용하면 그 출력의 논리 값 '0'이 나올 확률은 0.75가 될 것이고, 두개의 AND 게이트를 연결하여 사용한다면 논리 값 '0'이 나올 확률은 0.875가 될 것이다. 그림 3에서 첫 번째 비트 열이 인가되는 heavy input에는 2개의 AND 게이트를 이용하여, 논리 값 '0'이 나올 확률을 0.875로 맞춰준다. 같은 방법으로 네 번째 비트 열이 인가되는 input에는 1개의 AND 게이트의 출력을 연결하여 논리 값 '0'의 확률을 0.75로, 열 번째 비트 열이 인가되는 input에는 1개의 OR 게이트의 출력을 연결하여 논리 값 '1'이 생성될 확률을 0.75로 맞춰준다. Heavy inputs에 연결될 게이트 트리의 depth를 정하는 알고리즘을 그림 4에 나타내었다.

Heavy node는 하나만 선택할 수 있는 것이 아니라 여러 개를 선택할 수 있다. 두 개 이상의 다중 heavy node들을 선택할 때, 단순히 WSA가 큰 순서대로

pattern index	Patterns									
1	0	0	0	1	1	1	X	X	0	1
2	0	1	0	1	1	1	X	1	1	1
3	0	1	0	0	0	0	X	1	1	0
4	X	0	1	0	0	0	1	1	0	1
5	0	1	1	X	1	X	0	0	0	1
6	0	X	X	1	0	1	1	0	0	1
7	1	1	1	0	X	1	0	0	0	1
8	0	0	0	0	1	X	0	0	1	X
9	0	0	0	0	0	X	1	1	0	1
10	0	1	1	0	1	0	1	X	1	0

그림 3. 무작위 패턴 저항 고장을 검출하는 테스트 벡터의 예

Fig. 3. Deterministic patterns for the random pattern resistant faults.

```

Find Number of Gates();
1. Let LFSR generate pure random patterns, and apply the patterns
   to the CUT
2. Remove detected faults from the fault list
3. For every fault remained in the fault list, find the test vectors that
   can detect the faults
4. Find the heavy inputs probability set which increases sampling
   probability for the test vectors
5. Determine the number of gates for each heavy input according to
   the heavy input probability set
    
```

그림 4. 게이트 수 선택 알고리즘  
Fig. 4. Algorithm for the finding of number of gates.

heavy node를 정의한다면 다중 heavy node를 선택한 효과는 미미하다. WSA가 가장 큰 heavy node와 연관된 노드에서 WSA가 큰 노드들이 산재해 있을 가능성이 크기 때문이다. 따라서 테스트 시 발생하는 WSA를 효율적으로 줄이기 위해서 이미 선택되어진 heavy node와 독립적인 노드 중에서 WSA가 큰 노드를 추가 heavy node로 정하였다. 독립적인 노드인지 확인을 위해 heavy node의 콘을 구하고 콘에 속하는지에 따라 독립의 여부를 판단하였다.

Heavy node를 몇 개만큼 선택하는가가 고장 검출율 및 소비 전력에 영향을 미칠 수 있다. 일반적으로 heavy node를 많이 선정하면 선택된 노드들의 WSA가 줄어들어 소비 전력은 감소하지만 고장 검출율은 감소하게 된다. Heavy node의 개수에 따라 테스트 시 발생하는 WSA와 고장 검출율의 변화를 확인하기 위해 ISCAS85 회로 중 주 입력부가 33개인 c1908회로를 테스트 대상 회로로 하여 heavy node의 개수에 따른 변화를 시뮬레이션 하였다. 이에 따른 결과를 표 1에 나타내었다.

표 1에서 n은 heavy node의 수를 의미하며, n=0일 때는 의사 무작위 패턴을 가해주었을 경우이다. 각 실험마다 15000개의 테스트 패턴을 테스트 대상 회로에

표 1. heavy node의 수에 따른 FC와 WSA의 변화  
Table 1. WSA and FC for variation of the number of heavy nodes.

# of heavy nodes	# of heavy inputs	Fault coverage (%)	Total WSA	Total WSA reduction (%)
n=0	0	92.50%	7871162	-
n=1	4	97.50%	6602810	16.1%
n=2	6	99.83%	5688017	27.7%
n=3	8	99.83%	5204113	33.9%
n=4	10	97.45%	5009165	36.4%
n=5	13	95.13%	4871985	38.1%

인가해 주고 WSA를 구하였으며, 의사 무작위 패턴 테스트 시 발생하는 WSA를 기준으로 하여 total WSA reduction을 구하였다. 결과를 통해 다수의 heavy node를 선택하면 할수록 테스트 시 발생하는 WSA가 감소함을 볼 수 있다. 곧 heavy node를 많이 선택하면 할수록 게이트 트리를 연결할 입력부인 heavy inputs의 수가 많아지므로 테스트 시 발생하는 천이의 수는 현저하게 줄어들게 되어 저전력 테스트를 할 수 있다. 그러나 다수의 heavy node를 선택할 경우 일반적으로 WSA는 감소하지만 고장 검출율이 떨어지는 결과를 확인 할 수 있다. 하지만 n=2 또는 3 일 때는 고장 검출율은 높아지면서 WSA는 감소함을 볼 수 있는데, 이는 선택한 heavy inputs에 인가되는 패턴이 회로 내부의 WSA를

```

Select Heavy inputs for Multiple Heavy Nodes();
1. Generate random test patterns using an LFSR and apply these
   patterns to the CUT
2. Calculate WSA at each node
3. Sort WSA values for all nodes in descending order
4. Define the node which ranked in the highest position as heavy
   node
5. Determine high ranked nodes as additional heavy nodes which do
   not decrease fault coverage though the WSAs of the nodes are
   reduced. Also, the nodes should be independent of the other
   heavy nodes
6. Set i = 1, choose an i-th heavy node of the CUT
7. Find heavy inputs which affect i-th heavy node using backtraces
8. Select heavy inputs and decide the logic value 0 or 1 for each
   heavy input resulting in the WSA reduction of heavy nodes
9. Set i = i + 1, and while i ≤ ( desired number of heavy nodes),
   repeat step 7 and 8
    
```

그림 5. 다중 heavy nodes 및 heavy inputs 선택 알고리즘  
Fig. 5. Algorithm for the selection of heavy nodes and heavy inputs.

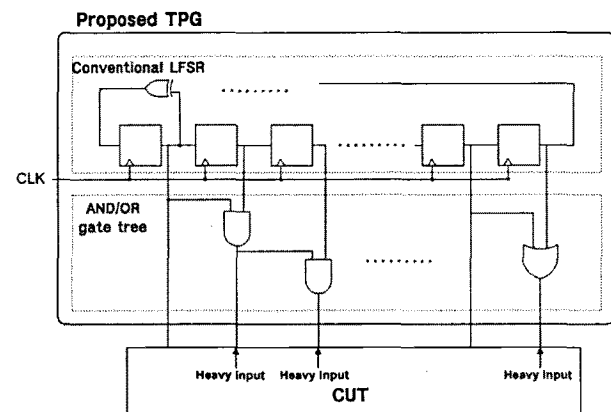


그림 6. 제안하는 저전력 테스트 패턴 생성기 구조  
Fig. 6. Proposed low power test pattern generator.

감소시키면서 동시에 고장 검출율을 상승하도록 만들기 때문이다. 따라서 적절한 heavy node의 수를 정한다면 테스트 시 WSA의 감소를 가져오면서 높은 고장 검출율을 얻도록 할 수 있을 것이다. 논문에서는 고장 검출율이 감소하지 않을 때까지 heavy nodes를 선택하고 그에 따른 heavy inputs을 결정하였다. 다중 heavy node를 선택할 때의 알고리즘은 그림 5에 나타내었다.

테스트 대상 회로의 heavy nodes 및 inputs 그리고 게이트 트리의 depth 및 종류를 정하는 알고리즘을 적용하여 제안하는 테스트 패턴 생성기의 구조는 그림 6과 같다.

### III. 실험 결과

제안하는 알고리즘에 따라 heavy node의 수를 결정하여 실험한 후, 기존의 방법과의 비교를 통해 본 논문에서 제시하는 방법의 효율성을 확인하였다. 비교 논문으로 제시된 기존의 논문<sup>[3]</sup>은 본 논문에서 제시하는 방법과 다른 기준으로 입력단을 선택하여, 선택된 입력부의 천이를 줄여 회로 내부의 WSA를 줄인 방법이다. 전에 제안한 기법<sup>[4]</sup>은 고장 검출율 및 heavy node의 수에 대한 고려 없이 heavy inputs이 주 입력부의 20%가 되기 전까지 heavy nodes를 찾는 방법이다. 기존의 기법들과 본 논문에서 제안하는 방법을 비교 실험하였다.

우선 일반적인 LFSR에서 생성하는 의사 무작위 테스트 패턴을 생성한 후, 그 패턴을 회로에 인가하였을 때의 고장 검출율과 WSA를 구하였다. 그리고 의사 무작위 테스트 패턴을 본 논문에서 제시하는 변형된 LFSR에서 생성하는 패턴으로 바꾼 후, 각 노드에서 발생하는 WSA의 합과 고장 검출율을 계산하였다. 본 논문에서는 천이 수와 노드의 팬 아웃 수를 곱한 값으로 WSA의 근사값을 계산하였다. 테스트 대상 회로는 ISCAS 회로이며, 2000개의 패턴을 더 가해도 더 이상 새로운 고장을 검출하지 못할 때 고장 시뮬레이션을 멈추도록 하였다.

시뮬레이션을 통해 패턴 수와 고장 검출율 그리고 WSA를 비교 기준으로 삼아 표 2에 나타내었다. 표 2에서 FC는 고장 검출율을 의미하며, WSA는 패턴을 모두 가해줄 때 발생하는 모든 노드에서의 WSA의 합으로 전체 소비전력과 관계있다. Power reduction은 original LFSR의 WSA와 비교하여 얼마만큼 WSA가 감소하였는가 비교한 지표이다. 기존의 방법<sup>[3]</sup>은 LFSR에 AND 게이트를 추가하여 입력단의 천이를 줄여 WSA를 감소시키는 방법인데, 고장 검출율에 대한 고려 없이 입력단을 선택하므로 고장 검출율을 높이기 위해서는 가해주어야 하는 패턴의 수가 많아짐을 확인할 수 있다. 가해주는 패턴의 수가 많아짐으로써 WSA가 증가하는 경우도 있다. 본 논문에서 제안하는 기법은

표 2. 패턴 수, 고장 검출율 및 전체 소비 전력 비교  
Table 2. Number of patterns, FC and WSA comparisons.

Circuit	Original LFSR			기존의 방법 <sup>[3]</sup>			기존의 방법 <sup>[4]</sup>			제안한 방법			
	패턴수	FC(%)	WSA	패턴수	FC(%)	WSA	패턴수	FC(%)	WSA	패턴수	FC(%)	WSA	WSA reduction(%)
c5315	7168	94.90	9175415	8184	94.90	9199635	6392	98.90	6879082	4048	98.90	4227150	53.9
c7552	22240	93.63	45094600	21280	91.61	39240321	17046	98.23	28434552	15552	98.24	22371139	50.4
cs9234	28912	79.83	74798235	32208	77.92	77181066	24096	91.36	55326884	19718	93.42	35474345	52.6
cs13207	22464	79.39	86311180	23211	77.52	83890710	22048	96.46	76211126	20111	97.63	61545691	28.7
cs15850	31872	87.53	148327913	34272	83.24	151522263	24352	94.68	103430226	22446	96.72	82394874	44.5

표 3. WSA/pattern 및 게이트 오버헤드 비교  
Table 3. WSA/pattern and hardware overhead comparisons.

Circuit	Original LFSR	기존의 방법 <sup>[3]</sup>			기존의 방법 <sup>[4]</sup>		제안한 방법		
	WSA/pattern	WSA/pattern	Gate tree Overhead(%)	WSA/pattern	Gate tree Overhead(%)	WSA/pattern	Gate tree Overhead(%)	WSA/pattern reduction(%)	
c5315	1280.0	1124.1	1.93	1076.2	2.53	1044.3	2.73	18.4	
c7552	2027.6	1844.0	1.49	1668.1	1.89	1438.5	2.76	29.2	
cs9234	2587.1	2396.3	1.46	2296.1	1.74	1799.1	3.09	30.5	
cs13207	3842.2	3614.3	1.43	3456.6	2.01	3060.3	3.52	20.4	
cs15850	4653.9	4421.2	2.18	4247.3	2.93	3670.8	3.88	21.1	

고장 검출율이 감소하지 않을 때까지 heavy node의 수를 결정하므로 고장 검출율이 기존의 기법들보다 증가하며 테스트 패턴이 줄어들음을 확인할 수 있다. 결과적으로 전체 소비 전력과 비례하는 WSA가 적게는 28.7%에서 많게는 53.9%까지 감소함을 확인할 수 있다.

표 3은 WSA/pattern 값 및 추가된 게이트 트리의 오버헤드를 비교하였다. WSA/pattern은 하나의 패턴을 회로에 인가하여 줄 때 발생하는 WSA의 기댓값으로, 평균 소비 전력과 밀접한 관계가 있다. 표 3에 나와 있는 것처럼 게이트 트리에 대한 오버헤드는 증가하는 편이지만 WSA/pattern은 기존의 기법들보다 감소함을 확인할 수 있다.

본 논문에 제안하는 방법은 테스트 시 고장 검출율에 영향을 미치지 않는 과도한 천이를 유발하는 heavy node의 천이를 줄이도록 heavy inputs을 정하였고, 고장 검출율을 높여주는 테스트 패턴 생성 확률을 높여줌으로써, 고장 검출율이 상승하는 것을 실험을 통해 확인할 수 있다. 또한 패턴 수의 감소로 테스트 시간을 줄일 수 있으며, 테스트 시 WSA/pattern의 감소를 통해 소비전력이 감소하였음을 알 수 있다. 하지만 AND/OR 게이트 트리의 존재로 인해 기존의 기법보다 하드웨어 오버헤드는 약간 증가하며, 테스트 대상 회로 대비 약 3%의 하드웨어 오버헤드를 갖는다.

#### IV. 결 론

저전력 회로 설계가 점차 일반화 되어가면서, 저전력 테스트가 점차 중요하게 되었다. 테스트 시 소비전력이 크다면 발생하는 열로 인해 회로에 치명적인 손상을 입힐 수 있으며, 휴대기기의 경우 배터리 수명을 단축시킬 수 있기 때문이다. 보통 테스트 시 소비되는 전력이 회로의 정상 동작 시 소비되는 전력보다 훨씬 더 크기 때문에 테스트 시 소비 전력을 줄이기 위한 연구가 활발히 진행되었다. 그 중 테스트 방법론의 하나인 내장된 자체 테스트 방법을 적용할 때에 저전력 테스트가 가능하도록 하는 연구가 많이 연구되었다. 본 논문에서는 내장된 자체 테스트 방법을 사용할 때에 패턴 생성기로 사용되는 LFSR의 구조에 약간의 게이트를 추가하여 테스트 시 발생하는 회로내부의 WSA를 효과적으로 줄이는 패턴 생성기를 제안하였다.

일반적인 LFSR을 사용할 경우 테스트 대상 회로의 주 입력부에서 논리 값 '0' 또는 '1'이 인가될 확률이 0.5

가 된다. 이 확률을 변화시켜 주 입력부의 천이 확률을 줄인다면 회로 내부의 천이 또한 줄어들게 되므로 저전력 테스트를 할 수 있을 것이다. 그러나 아무 기준 없이 주 입력부의 천이 확률을 줄일 경우 고장 검출율이 감소하게 된다. 본 논문에서는 천이를 줄여도 고장 검출율에 영향을 미치지 않는 주 입력부를 선택하는 알고리즘을 제안하였다. 이를 위해 테스트 시 가장 많은 WSA를 발생시키는 노드를 heavy node로 정의하였고, heavy node의 천이를 발생시키는 입력부들을 heavy inputs으로 정의하여, heavy inputs의 천이를 줄이도록 하였다. Heavy node에서 발생하는 천이는 고장 검출율을 증가시키기 위해 발생하기 보다는 다른 고장을 검출하면서 발생하는 과도한 천이이기 때문에 그 천이를 줄여도 고장 검출율에는 큰 영향을 미치지 않음을 실험을 통해 확인하였다. 그리고 정해진 heavy inputs에 인가되는 논리 값의 확률을 무작위 패턴 저항 고장을 검출해 낼 수 있는 패턴을 생성하도록 결정함으로써 고장 검출율을 증가시키도록 하였다.

제안한 방법을 ISCAS 회로에 적용한 결과 기존의 방법에 비해 소비 전력이 감소하였고, 테스트 패턴 수가 감소하였다. 또한 높은 고장 검출율을 얻을 수 있음을 확인하였다.

#### 참 고 문 헌

- [1] M. Nourani, M. Tehranipoor and N. Ahmed, "Low-Transition Test Pattern Generation for BIST-Based Applications," IEEE Trans. on Computers, vol. 57, no. 3, pp. 303~315, Mar. 2008.
- [2] A. Abu-Issa and S. Quigley, "LT-PRPG: Power Minimization Technique for Test-per-Scan BIST," in Proc. of IEEE International Conf. DTIS, pp. 1~5, Mar. 2008.
- [3] L. Jie, Y. Jun, L. Rui and W. Chao, "A New BIST Structure for Low Power Testing," in Proc. of ASIC International Conf., pp. 1183~1185, 2003.
- [4] K. Kim, D. Song, I. Kim and S. Kang, "A New Low Power Test Pattern Generator for BIST Architecture," IEICE Trans. on Electronics, vol. E88-C, No.10 pp. 2037~2038, Oct. 2005.

저 자 소 개



김 기 철(학생회원)  
 2003년 연세대학교 기계전자  
 공학부 학사 졸업.  
 2005년 연세대학교 전기전자  
 공학과 석사 졸업.  
 2010년 연세대학교 전기전자  
 공학과 박사 과정.

<주관심분야 : BIST, DFT, SoC Test>



강 성 호(평생회원)  
 1986년 서울대학교 제어계측  
 공학과 학사 졸업.  
 1988년 The University of Texas,  
 Austin 전기 및 컴퓨터  
 공학과 석사 졸업.  
 1992년 The University of Texas,  
 Austin 전기 및 컴퓨터  
 공학과 박사 졸업.

1992년 미국 Schlumberger Inc. 연구원.  
 1994년 Motorola Inc. 선임 연구원.  
 2010년 현재 연세대학교 전기전자공학과 교수.  
 <주관심분야 : SoC 설계, SoC 테스트>