

논문 2010-47SD-8-4

# Strained-Si PMOSFET에서 디지털 및 아날로그 성능의 캐리어 방향성에 대한 의존성

(Dependence of Analog and Digital Performance on Carrier Direction in Strained-Si PMOSFET)

한 인 식\*, 복 정 득\*, 권 혁 민\*, 박 상 욱\*, 정 의 정\*, 신 흥 식\*, 양 승 동\*,  
이 가 원\*\*, 이 희 덕\*\*

(In-Shik Han, Jung-Deuk Bok, Hyuk-Min Kwon, Sang-Uk Park, Yi-Jung Jung, Hong-Sik Shin,  
Seung-Dong Yang, Ga-Won Lee, and Hi-Deok Lee)

## 요 약

본 논문에서는 각각 다른 캐리어 방향성을 가지는 strained-silicon PMOSFET에서 소자의 디지털 및 아날로그 성능을 비교 평가 하였다. 캐리어 방향이 <100>을 갖는 소자의 경우 이동도 향상에 의해서 <110> 방향의 소자 보다 우수한 드레인 구동 전류 및 출력저항 특성을 보이지만, NBTI 신뢰성과 소자의 matching 특성은 반대로 다소 열화 됨을 확인 하였다. 따라서 나노미터급 CMOSFET에서 캐리어 방향성을 이용한 이동도 향상 기술의 적용을 위해서는 DC 성능을 비롯한 신뢰성 및 아날로그 특성을 모두 고려하는 것이 반드시 필요하다고 할 수 있다.

## Abstract

In this paper, comparative analysis of digital and analog performances of strained-silicon PMOSFETs with different carrier direction were performed. ID.SAT vs. ID.OFF and output resistance, Rout performances of devices with <100> carrier direction were better than those of <110> direction due to the greater carrier mobility of <100> channel direction. However, on the contrary, NBTI reliability and device matching characteristics of device with <100> carrier direction were worse than those with <110> carrier direction. Therefore, simultaneous consideration of analog and reliability characteristics as well as DC device performance is highly necessary when developing mobility enhancement technology using the different carrier direction for nano-scale CMOSFETs.

**Keywords :** Strained-Silicon, Carrier Direction, NBTI, Matching Characteristic

## I. 서 론

Strained-Si 기술이 CMOSFET에 적용되면서 부가

\* 학생회원, \*\* 정회원, 충남대학교 전자공학과  
(Department of Electronics Engineering, Chungnam National University)

※ 본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업(정보통신)[10034838, 25nm급 Oxide Trench Etcher 개발]과 지식경제부와 한국산업기술진흥원의 전략기술인력양성사업의 일환으로 수행하였음

접수일자: 2010년4월12일, 수정완료일: 2010년7월28일

적인 특성 열화 없이 비약적인 소자 성능 향상이 가능하게 되었다<sup>[1~2]</sup>. 잘 알려진 바와 같이, NMOS의 경우에는 채널에 인장응력 (tensile stress), PMOS의 경우에는 압축응력(compressive stress)를 인가하였을 경우 소자성능이 개선되는 특성을 나타낸다<sup>[3]</sup>. 대표적으로 contact etch stopping layer (CESL), SiGe, SiC S/D stressor, SiGe S/D stressor 등 여러 가지 channel strain engineering (CSE) 기술들이 CMOS 소자의 채널에 stress를 인가하기 위해 적용되고 있으며, 최근에는 공정비용 감소 및 공정 절차의 간소화를 위해 기판

방향이나 채널 방향을 달리하여 carrier의 mobility를 개선시키는 기술이 소개되고 있다<sup>4-7)</sup>. 그러나 기판 방향을 이용하는 기술의 경우 일반적인 CMOS 공정에 적용되는 (100) 방향과 다른 (110) 방향의 기판을 사용하기 위해 부가적인 웨이퍼 비용 또는 공정 등이 필요하다는 단점을 갖고 있다. 따라서 최근 같은 기판에서 캐리어의 방향을 다르게 하여 채널 carrier의 mobility를 개선시키는 기술이 각광을 받고 있으며 잘 알려진 바와 같이 NMOS는 <110> 방향과 PMOS는 <100> 방향을 갖는 소자가 DC 성능 측면에서 우수하다고 보고되고 있다<sup>8-9)</sup>. 특히 최근에 한 chip 내에 디지털 블록과 아날로그 및 RF 블록을 동시에 집적화하는 SoC 기술들이 대두되면서 CMOS 소자의 경우 디지털 성능뿐 아니라 아날로그 성능 또한 소자의 전체 성능을 결정짓는 중요한 항목이라 할 수 있다. 더욱이 안정된 소자의 동작을 위해서는 신뢰성 특성 또한 매우 중요한 항목임은 이미 주지된 사실이다. 따라서 고성능, 고집적 SoC 회로의 적용을 위해서는 소자의 디지털 특성뿐 아니라 아날로그 성능과 신뢰성 특성도 반드시 고려되어야 함에도 불구하고 캐리어 방향을 이용한 carrier mobility 개선 기술이 적용된 CMOS 소자에서 이러한 종합적인 보고는 매우 미미한 실정이다.

본 논문에서는 strained Si 기술이 적용된 PMOS 소자에서 채널의 캐리어 방향을 다르게 하였을 경우 소자의 DC 및 아날로그 특성과 신뢰성을 (NBTT: Negative Bias Temperature Instability) 비교 분석 하였으며, 아날로그 성능 평가를 위해 드레인 출력 저항 ( $R_{out}$ )과 소자의 정합(matching) 특성을 비교 분석하였다.

## II. 실험 방법

각각 채널의 캐리어 방향이 <110> 방향과 <100> 방향을 형성하기 위해 레이아웃 상에서 0°와 45° tilt된 소자를 0.18 $\mu$ m CMOS 기술을 이용하여 (100) 기판 위에 제작 하였다. 잘 알려진 바와 같이 wafer의 flat zone과 수평, 수직인 방향의 소자는 <110> 캐리어 방향을 가지며, 45° 각도의 소자는 <100> 캐리어 방향을 갖는다<sup>10)</sup>. 먼저, 디지털 성능 평가에서 가장 대표적인 성능지수를 나타내는 드레인 구동전류 대 단락전류( $I_{D,SAT}$  vs.  $I_{D,OFF}$ ) 특성을 측정하였고, NBTT 신뢰성을 평가하였다. 아날로그 특성 분석을 위해 드레인 구동전류 대 드레인 출력저항( $I_{D,SAT}$  vs.  $R_{out}$ )과 매칭 특성을 평가 하였으며,

소자의 matching 특성은 두 개의 소자가 쌍으로 구성 되도록 제작하여 두 소자간의 드레인 구동전류 차이의 표준편차를 관찰함으로써 평가하였다. Channel stress 인가를 위해서는 실리콘 질화막을 사용한 CESL 기술이 적용되었다.

## III. 실험 결과 및 고찰

그림 1은 소자의 디지털 특성을 대변하는  $I_{D,SAT}$  vs.  $I_{D,OFF}$  특성을 나타낸다. 동일한  $I_{D,OFF}$ 에서 캐리어 방향이 <100>인 소자가 <110> 방향의 소자에 비해  $I_{D,SAT}$ 이 약 7% 이상 개선됨을 알 수 있다. 소자 성능 개선의 원인 분석을 위하여 그림 2에 이동도의 누적확률분포를 나타내었으며, 이동도는 일반적으로 사용되는 식 (1)과 같이 DC 드레인 전류 방법을 이용하여 추출하였다<sup>11)</sup>.

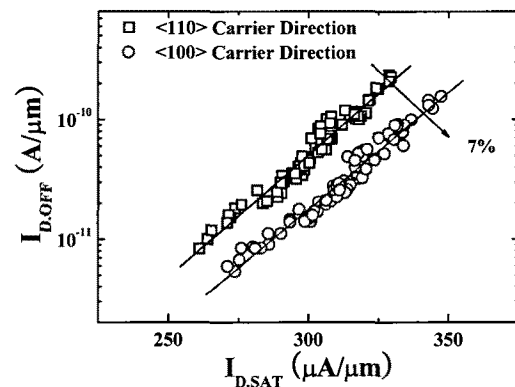


그림 1. PMOS 소자의  $I_{D,SAT}$  vs.  $I_{D,OFF}$  특성의 캐리어 방향에 대한 의존성

Fig. 1. Dependence of  $I_{D,SAT}$  vs.  $I_{D,OFF}$  characteristics on carrier direction in PMOSFET.

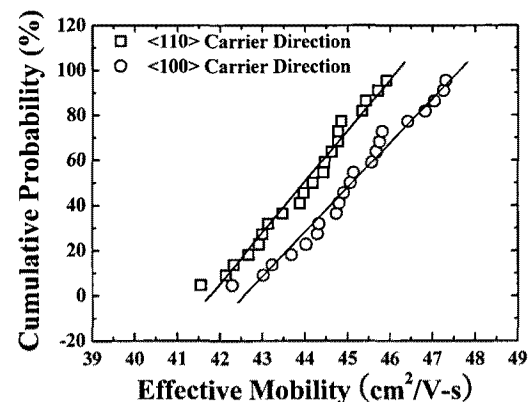


그림 2. PMOS 소자의 이동도의 캐리어 방향에 대한 의존성

Fig. 2. Dependence of effective mobility on carrier direction in PMOSFET.

$$\mu_p = \frac{Lg_m}{WC_{ox}V_{DS}} \quad (1)$$

이동도 특성은  $I_{D,SAT}$  vs.  $I_{D,OFF}$  특성과 유사하게 <100> 캐리어 방향의 소자가 <110> 방향의 소자에 비해 약 3% 큰 값을 가짐을 알 수 있다. 따라서 <100> 방향의 소자가 <110> 방향의 소자 보다  $I_{D,SAT}$  vs.  $I_{D,OFF}$  특성이 우수함을 알 수 있으며, 이는 PMOS 소자에서 <100> 방향의 경우가 <110> 방향 보다 정공이 채널 스트레스의 변화에 대해서 낮은 민감도를 가지기 때문이라고 알려져 있다<sup>[8-9]</sup>.

소자 성능의 중요한 항목인 신뢰성 평가를 위해 PMOS 소자에서 가장 중요한 항목인 NBTI 신뢰성을 평가 하였다. NBTI 신뢰성 평가 조건은 상온에서 게이트에 스트레스 전압 -3.7V, -4.0V를 인가하고 드레인과 소스 그리고 벌크 단자는 GND를 유지하여 스트레스 시간에 따른 드레인 전류의 변화( $\Delta I_{D,SAT}$ )를 관찰 하였다. 그림 3은 각각 스트레스 게이트 전압이 -3.7V와 -4.0V인 경우 스트레스 시간에 따른 드레인 전류의 변화,  $\Delta I_{D,SAT}$ 를 나타낸다.  $I_{D,SAT}$  vs.  $I_{D,OFF}$  특성과는 다르게 캐리어 방향이 <110>인 소자가 <100> 방향의 소자 보다  $\Delta I_{D,SAT}$ 가 낮아 소자 신뢰성이 우수함을 알 수 있다. <100> 캐리어 방향의 열화된  $\Delta I_{D,SAT}$ 은 그림 4에서와 같이 스트레스 인가 전의 subthreshold slope (SS)의 누적확률분포로 설명이 가능하다. 즉, 그림 4에서와 같이 캐리어 방향이 <110>인 소자에 비해 <100> 방향의 소자에서 큰 SS를 가짐을 알 수 있고 이는 <100> 캐리어 방향의 소자가 높은 계면결함밀도( $D_{it}$ )을 가짐을 의

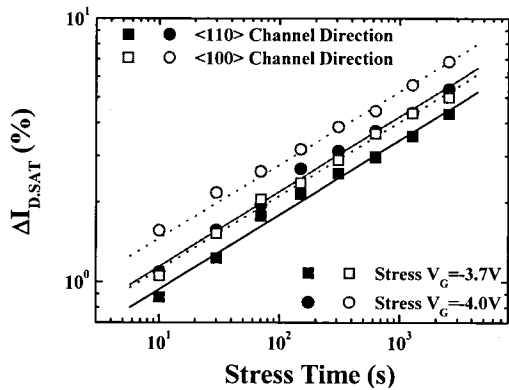


그림 3. <110>과 <100> 캐리어 방향을 갖는 PMOS 소자의 NBTI 특성 비교  
Fig. 3. Comparison of NBTI properties of PMOSFET with <110> and <100> carrier direction.

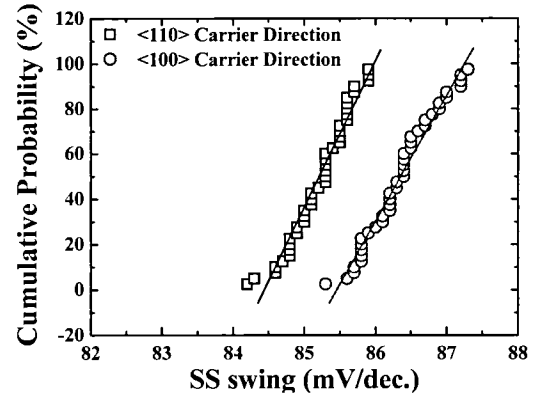


그림 4. <110>과 <100> 캐리어 방향을 갖는 PMOS 소자의 subthreshold slope 비교  
Fig. 4. Comparison of subthreshold slope of PMOSFET with <110> and <100> carrier direction.

미하며 이로 인하여 NBTI 스트레스에 의한  $I_{D,SAT}$ 의 열화가 심해짐을 알 수 있다<sup>[12]</sup>.

일반적인 MOS 소자의 아날로그 성능은 전압이득과 출력저항을 관찰함으로써 평가가 가능하다. 전압이득 (voltage gain,  $A_o$ )은 식 (2)과 같이 전달전도도 (transconductance,  $g_m$ )와 출력저항,  $R_{out}$ 의 곱으로 정의된다. 따라서 본 논문에서는 아날로그 성능 평가를 위해 식 (3)으로 정의되는 출력저항을 평가하였다.  $R_{out}$ 를 추출하기 위한 게이트 전압  $V_G = V_{TH} + 0.1V$ , 드레인 전압  $V_D = 1/2V_{DD}$ 로 지정하였다. 그림 5는 <110> 및 <100> 캐리어 방향을 갖는 PMOS 소자의  $I_{D,SAT}$  vs  $R_{out}$  특성을 나타내며, 그림 2의  $I_{D,SAT}$  vs  $I_{D,OFF}$  특성에서와 같이 캐리어 방향이 <100>인 소자가 <110> 방향의 소자 보다 약 20% 이상 높은  $R_{out}$  특성을 나타냄을 알 수 있다.

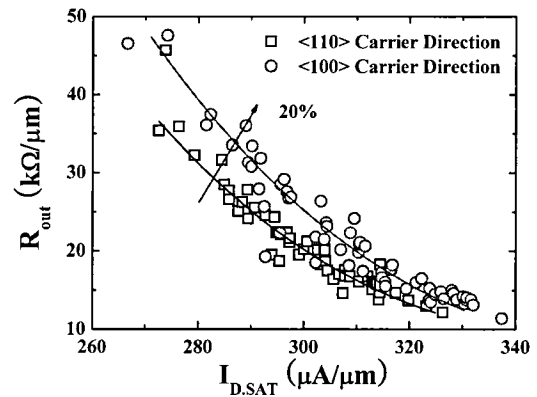


그림 5. PMOS 소자의  $I_{D,SAT}$  vs.  $R_{out}$  특성의 캐리어 방향에 대한 의존성  
Fig. 5. Dependence of  $I_{D,SAT}$  vs.  $R_{out}$  characteristics on carrier direction in PMOSFET.

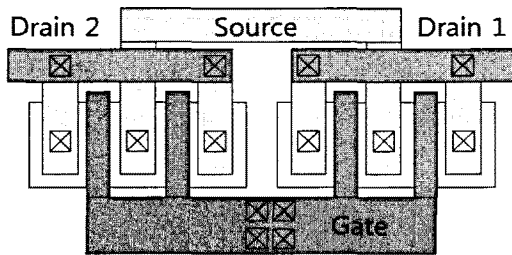


그림 6. Matching 특성 평가를 위한 소자의 레이아웃 디자인 구조

Fig. 6. Layout design structure for characterization of device matching characteristics.

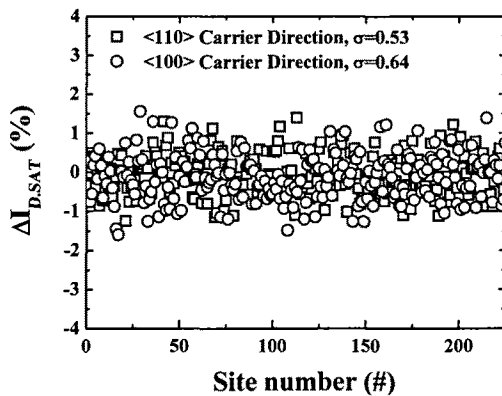


그림 7. <110>과 <100> 캐리어 방향 PMOS 소자의 Matching 특성 비교

Fig. 7. Comparison of matching characteristics of PMOSFET with <110> and <100> carrier direction.

$$A_o = g_m \cdot R_{out} \quad (2)$$

$$R_{out} = \frac{\partial V_{DS}}{\partial I_{DS}} = \frac{1}{g_{DS}} \quad (3)$$

아날로그 회로에서 특히 중요한 소자의 matching 특성 평가를 위해 그림 6과 같이 두 개의 소자가 쌍으로 구성되도록 제작 하였으며 각각 게이트와 드레인 그리고 벌크는 공통으로 사용하고 드레인 1과 드레인 2에서 소자의 드레인 전류를 측정하여 두 소자의 드레인 구동 전류 차이를 구하고 많은 데이터의 표준 편차( $\sigma$ )를 이용하여 분석하였다<sup>[13]</sup>. 측정 데이터의 정확성 확보를 위해 1장의 wafer 당 75 site씩 총 3장의 wafer에 대해 측정을 실시하였다. 그림 7은 각 site 별 소자 1과 소자 2의 드레인 전류 차이를 나타낸다. 드레인 전류의 차이가 +1.5%~1.5% 정도를 유지함을 알 수 있으며 이를

이용하여 표준편차를 구해본 결과 DC 특성과는 다르게 <110> 방향 소자의 경우 0.53, <100> 방향 소자의 경우 0.64로 소자의 DC 성능과는 다르게 <100> 소자의 matching 특성이 열악함을 알 수 있다.

#### IV. 결 론

본 논문에서는 CMOS 소자 성능 향상을 위한 주요 기술인 캐리어 방향성을 이용하여 이동도를 향상시키는 기술에서 PMOS 소자의 디지털 특성, 신뢰성 및 아날로그 성능을 종합적으로 비교 평가 하였다. 캐리어 방향이 <110>인 소자가 이동도 향상에 의해서 <100> 방향의 소자 보다 우수한 드레인 구동전류 및  $R_{out}$  특성을 보이지만, NBTI 신뢰성과 소자의 matching 특성은 다소 열화 됨을 확인 하였다. 따라서 Strained-Si이 적용된 나노미터급 CMOS 소자에서 캐리어 방향성을 이용하여 이동도를 향상시키는 기술의 적용을 위해서는 디지털 성능을 비롯한 신뢰성 및 아날로그 특성의 고려가 반드시 필요하다고 할 수 있다.

#### 참 고 문 헌

- [1] S. K. Chun et. al, "Effective mass and mobility of holes in strained Si Ge layers on (001) Si Ge substrate," *IEEE Trans. Electron Devices*, vol. 39, p. 2153, 1992.
- [2] R. J. P. Lander, et. al, "Study of hall and effective mobilities in pseudomorphic Si<sub>1-x</sub>Ge<sub>x</sub> p-channel metal-oxide-semiconductor field-effect transistors at room temperature and 4.2 K," *J. Appl. Phys.*, vol. 82, p. 5210, 1997.
- [3] P. C. Bai, et. al "A 65 nm logic technology featuring 35nm gate lengths, enhanced channel strain, 8" Cu interconnect layers, low-k ILD and 0.57um<sup>2</sup> SRAM cell," *IEDM Tech Dig.*, p. 657, Dec. 2004.
- [4] M. T. Currie, "Strained silicon: engineered substrates and device integration," *ICICDT 2004*, pp. 261-268, Apr. 2004.
- [5] T. Ghani, et. al "A 90 nm High Volume Manufacturing Logic Technology Featuring Novel 45 nm Gate Length Strained Silicon CMOS Transistors," *IEDM Tech Dig.*, p. 297, Dec. 2003.
- [6] S. Ito, et. al "Mechanical stress effect of etch-stop nitride and its impact on deep

- submicron transistor design," *IEDM Tech Dig.*, pp. 247~250, Dec. 2000.
- [7] I. S. Han, et. al "New Observation of Mobility and Reliability Dependence on Mechanical Film Stress in Strained Silicon CMOSFETs" *IEEE Trans. Electron Devices*, Vol. 55; No. 6, pp. 1352-1358, June 2008.
- [8] T. Komoda, A. Oishi, T. Sanuki, K. Kasai, H. Yoshimura, K. Ohno, M. Iwai, M. Saito, F. Matsuoka, N. Nagashima and T. Noguchi, "Mobility Improvement for 45nm Node by Combination of Optimized Stress Control and Channel Orientation Design" *IEDM Tech Dig.*, p. 217, Dec. 2004.
- [9] V. Chan, et. al "Strain for CMOS performance Improvement" 2005 custom integrated circuits conference, pp. 667~674, 2005.
- [10] P. Rickert et. al "SoC Integration in deep submicron CMOS", *IEDM Tech Dig.*, pp. 653~656, Dec. 2004.
- [11] J. R. Hauser, "Extraction of Experimental Mobility Data for MOS Devices," *IEEE Trans. Electron Devices*, pp. 1981~1988, Nov. 1996.
- [12] H. H. Ji, et. al, "dependence of analog and digital performance on mechanical film stress of ILD layers in Nanoscale CMOSFETs", *J. J. Appl. Phys.*, Vol. 44 No. 4B, pp. 2171~2175, Apr. 2005.
- [13] P. R. Kinget, "Device Mismatch and Tradeoffs in the Design of Analog Circuits", *IEEE Journal of Solid State Circuits*, Vol. 40, No. 6, pp. 1212~1224, June 2005.

## 저 자 소 개



한 인 식(학생회원)  
대한전자공학회 논문지  
제 45권 SD 편 제 4호 참조



복 정 득(학생회원)  
2010년 한밭대학교  
전자공학과 학사 졸업.  
2010년~현재 충남대학교  
전자공학과 석사 과정  
<주관심분야 : 나노 CMOS 소자,  
소자 노이즈>



권 혁 민(학생회원)  
대한전자공학회 논문지  
제 45권 SD 편 제 4호 참조



박 상 옥(학생회원)  
2010년 충남대학교  
전자공학과 학사 졸업.  
2010년~현재 충남대학교  
전자공학과 석사 과정  
<주관심분야 : 나노 CMOS 소자,  
High-k 절연체 신뢰성>



정 의 정(학생회원)  
2009년 충남대학교 전자공학과  
학사 졸업.  
2010년~현재 충남대학교  
전자공학과 석사 과정.  
<주관심분야 : 나노 CMOS 소자,  
반도체 소자의 아날로그 특성>



신 흥 식(학생회원)  
2008년 충남대학교  
전자공학과 학사 졸업.  
2010년 충남대학교  
전자공학과 석사 졸업.  
2010년~현재 충남대학교  
전자공학과 박사 과정.  
<주관심분야 : Silicide, Ge MOSFET, TFT>



양 승 동(학생회원)  
2010년 충남대학교 전자공학과  
학사 졸업.  
2010년~현재 충남대학교  
전자공학과 석사 과정.  
<주관심분야 : SONOS Flash  
memory>



이 가 원(정회원)  
대한전자공학회 논문지  
제 45권 SD 편 제 4호 참조



이 희 덕(정회원)  
대한전자공학회 논문지  
제 45권 SD 편 제 4호 참조