

논문 2010-47SD-8-3

Independent-Gate-Mode Double-Gate MOSFET을 이용한 Optical Receiver 설계

(Design of Optical Receiver Using Independent-Gate-Mode Double-Gate MOSFETs)

김 유 진*, 정 나 래*, 박 성 민**, 신 형 순**

(Yujin Kim, Narae Jeong, Sung Min Park, and Hyungsoon Shin)

요 약

Independent-Gate-Mode Double-Gate(IGM-DG) MOSFET은 기존의 bulk-MOSFET에 비해 향상된 채널 제어능력을 가지며, front-게이트와 back-게이트를 서로 다른 전압으로 구동가능하다는 이점을 가진다. 따라서, 이를 이용한 회로설계는 4-terminal의 자유도를 이용함으로써 회로성능의 향상 뿐 아니라 집적도 향상을 기대할 수 있다. 본 논문에서는 IGM-DG MOSFET의 장점을 이용하여 TIA, feedforward LA, 및 OB로 구성된 15Gb/s 광수신기를 설계하고, HSPICE 시뮬레이션을 통한 회로성능 검증 및 외부환경과 소자의 특성변화에 따른 안정성을 검증하였다.

Abstract

Independent-Gate-Mode Double-Gate(IGM-DG) MOSFET overcomes the limitation of bulk-MOSFET's channel controllability and enables to control the front and back-gate voltages independently. Therefore, circuit designs utilizing the IGM-DG MOSFETs provide the advantage of setting 4-terminal freely, hence achieving not only the performance improvement but also the larger scale integration. This paper presents a 15Gb/s optical receiver with a 1.0V power supply voltage, which consists of a transimpedance amplifier (TIA), a feedforward limiting amplifier (LA), and an output buffer. HSPICE simulations were conducted to confirm the circuit performance, and also to verify the circuit stability issues which may occur from the variations of process and supply voltage.

Keywords : IGM-DG MOSFET, Double-Gate, TIA, feedforward LA, Optical Receiver

I. 서 론

집적회로의 동작속도와 집적도 향상에 따라 MOSFET의 크기는 점차 축소되고 있으나, 소자 크기의 축소에 따른 SCE(Short Channel Effect)로 인해 채널 제어능력의 한계를 가져오게 되었다. 이를 극복하기 위한 연구가 진행되면서, Double-gate(DG)

MOSFET는 차세대 소자로 높은 적용 가능성을 평가받고 있다. DG MOSFET은 front와 back-게이트 양쪽에서 채널을 제어할 수 있으므로, SCE 영향을 줄일 수 있고, 이상적인 subthreshold slope(SS)를 가지며, 전류 구동능력을 높일 수 있을 뿐만 아니라, 높은 transconductance를 얻을 수 있는 장점을 가진다.^[1-2]

그러나 front-게이트와 back-게이트에 동일한 전압이 인가되는 DG MOSFET의 경우, 여전히 3-terminal 구조의 제한을 가지고 있으므로 기존의 bulk MOSFET을 기반으로 한 회로설계에서 벗어나지 못하기 때문에, 4단자를 이용하는 Independent-gate-mode double-gate (IGM-DG) MOSFET을 기반으로 회로를 설계하면

* 학생회원, ** 평생회원, 이화여자대학교 전자공학과
(Department of Electronic Engineering,
Ewha Womans University)

※ 본 연구는 서울시 산학연협력과제(NT080509)의 지원으로 수행되었음.

접수일자: 2010년1월29일, 수정완료일: 2010년7월12일

3-terminal 소자구조의 제한에서 벗어나 회로설계가 용이해 질 수 있고, 또한 회로의 집적도 향상에 크게 기여가 가능하다. 이전의 연구사례로, IGM-DG MOSFET를 이용한 RF Receiver 회로설계가 제시된 바 있다.^[3]

본 논문에서는 IGM-DG MOSFET을 이용한 광수신기(Optical Receiver) 설계를 통해 신개념 집적회로 설계방법에 대해 접근하고자 한다. II장에서는 IGM-DG MOSFET을 이용하여 전치증폭기 (transimpedance amplifier 혹은 TIA)와 리미팅 증폭기 (limiting amplifier 혹은 LA)로 구성된 광수신기를 설계하였다. 특히, LA 회로에서 feedforward 기법을 응용하여 동작 속도 (혹은 대역폭)를 높이고, 4-terminal 소자를 사용한 설계의 단순화를 통해 집적도 향상의 가능성을 확인하였다. 또한, process 및 supply voltage variation에 의한 광수신기 회로의 안정성을 HSPICE 시뮬레이션 결과를 통해 검증하였다.

II. IGM-DG MOSFET를 이용한 광수신기 설계

그림 1은 본 논문에서 사용하는 IGM-DG MOSFET의 단면도이다. 그림에서 보는 바와 같이 기존의 common-mode DG MOSFET과 달리 front-게이트와 back-게이트를 사용하여 양단의 게이트 전압을 따로 제어하는 것이 가능하며, 게이트 산화막 두께와 일함수의 변화에 따라 소자의 특성을 변화시킬 수 있다.^[4]

x-좌표 및 y-좌표는 각각 채널의 길이와 수직 방향을 나타내며, T_{si} 는 실리콘 필름의 두께, T_{ox1} 와 T_{ox2} 는 front-게이트와 back-게이트의 산화막 두께를 나타낸다. 이러한 IGM-DG MOSFET을 사용하여 광수신기 회로를 설계한다. 이때, front-게이트와 back-게이트가 동일한 두께의 얇은 T_{ox} 를 사용하게 되면 SS값이 저하되는 경향이 있으므로, $T_{ox1} < T_{ox2}$ 인 소자를 사용하여 설계한다.^[5]

IGM-DG MOSFET을 소자 시뮬레이터인 ATLAS^[6]로 시뮬레이션 한 결과와 비교하여 파라미터를 추출하였다. 그림 2(a)는 NMOS에 $V_{ds}=1.0V$ 를 가하였을 경우의 I_{ds} - V_{fg} 곡선이며, 그림 2(b)는 NMOS $V_{bg}=0V$ 인 경우의 I_{ds} - V_{ds} 곡선이다. Back-게이트에 가하는 전압에 따라 V_T 가 변화하는 것을 확인할 수 있으며, 소자 시뮬레이션과 모델간의 정확도는 NMOS소자의 경우 오차 3.86%이다. 본 회로설계에 사용한 소자 파라미터는 $L_g=55nm$, $T_{ox1}=0.8nm$, $T_{ox2}=4nm$, $T_{si}=8nm$, NMOS의

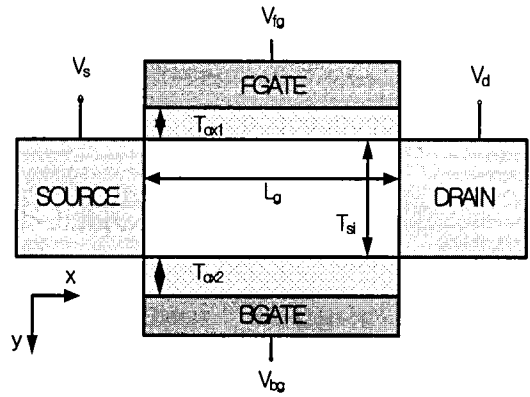
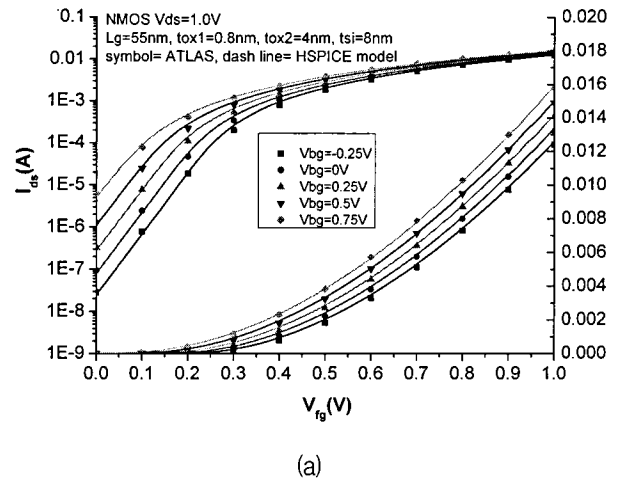
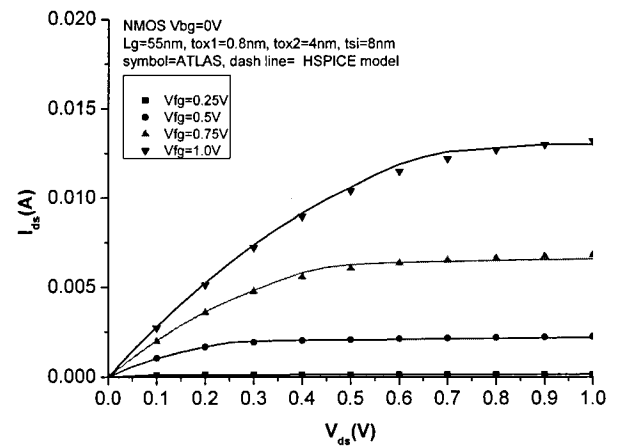


그림 1. IGM-DG MOSFET의 단면도
Fig. 1. Cross sectional view of an IGM-DG MOSFET.



(a)



(b)

그림 2. (a) Back-게이트 전압 변화에 따른 I_{ds} 와 V_{fg} 특성 (b) Front-게이트 전압 변화에 따른 I_{ds} 와 V_{ds} 특성

Fig. 2. (a) I_{ds} vs. V_{fg} characteristics for various back-gate voltage. (b) I_{ds} vs. V_{ds} characteristics for various front-gate voltage.

경우 $\Phi_{ms}(fg)$ (front-gate workfunction) = 4.15eV, $\Phi_{ms}(bg)$ (back-gate workfunction) = 5.17eV, PMOS의 경우 $\Phi_{ms}(fg)$ (front-gate workfunction) = 5.05eV, $\Phi_{ms}(bg)$ (back-gate workfunction) = 4.05eV를 사용하였다.

1. 트랜스임피던스 증폭기(TIA) 회로

그림 3은 피드백 저항을 사용한 캐스코드(Cascode) 구조를 갖는 트랜스임피던스 증폭기(TIA)의 회로도이다. 입력단에 위치한 광다이오드(Photodiode)는 광섬유로 입력된 광신호를 전류로 변환시키는 역할을 한다. 이러한 광다이오드는 입사광이 변환된 전류성분(I_{pd})과 기생 캐패시턴스(C_{pd})로 모델링할 수 있다. L_B 는 광다이오드와 수신기 입력단을 연결하는 bond-wire inductance를 모델링 한 성분으로, 입력단에서 series peaking을 발생하여 TIA의 고속 동작에 유리하도록 설계하였다. 입력 트랜지스터 M1 및 M2는 Miller effect를 최소화하는 Cascode 형태로 구현하였고, 피드백 저항

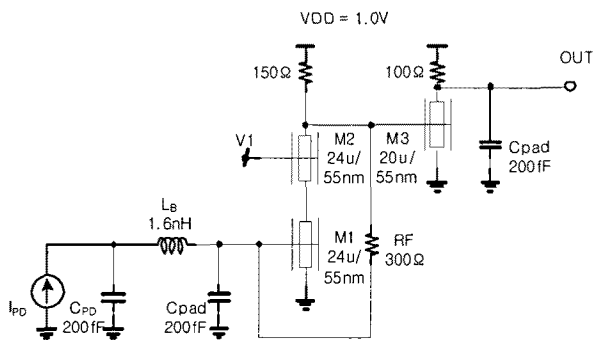


그림 3. TIA(Transimpedance Amplifier)회로
Fig. 3. Schematic diagram of the TIA.

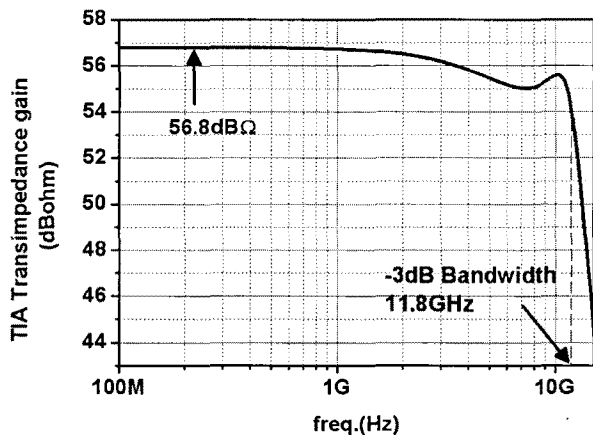


그림 4. TIA의 주파수 응답 시뮬레이션 결과
Fig. 4. Simulated frequency response of the TIA.

항 (R_F)을 이용하여 부가적인 전압원 없이 M1 및 M3 소자의 입력노드에 동일한 DC전압이 가해지도록 하였다. 또한, M3 소자를 이용한 common-source 버퍼회로를 추가하여 소신호 이득(gain)값을 향상하였다. 특히, 본 TIA 회로설계에서는 최대 이득값을 얻을 수 있도록 independent-gate-mode 보다 큰 $G_{m,max}$ 값을 가질 수 있는 common-mode DG MOSFET을 이용하였다.^[7] 출력단에는 C_{pad} 성분만 포함하여 시뮬레이션 하였다. 이는, 10GHz 주파수대역에서 PCB module을 이용할 경우, 원하지 않는 기생 인덕티브 성분으로 인해 회로설계에 어려움이 있기 때문에, RF probe station을 이용하여 on-chip probing하는 방식을 채택하였기 때문이다.

그림 4는 설계한 TIA 회로의 주파수 응답 시뮬레이

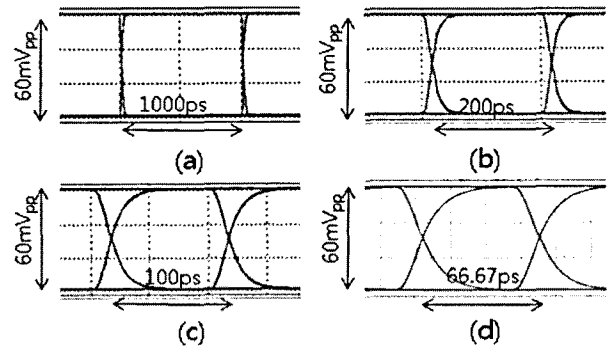


그림 5. TIA회로의 eye-diagram 시뮬레이션 결과 (입력 신호 100 μ A_{pp} 고정): (a) 1Gb/s, (b) 5Gb/s, (c) 10Gb/s, 및 (d) 15Gb/s 동작속도 변화
Fig. 5. Simulated eye-diagrams of the TIA for 100 μ A_{pp} 2³¹-1 PRBS inputs at the different data rate of: (a) 1Gb/s, (b) 5Gb/s, (c) 10Gb/s, and (d) 15Gb/s, respectively.

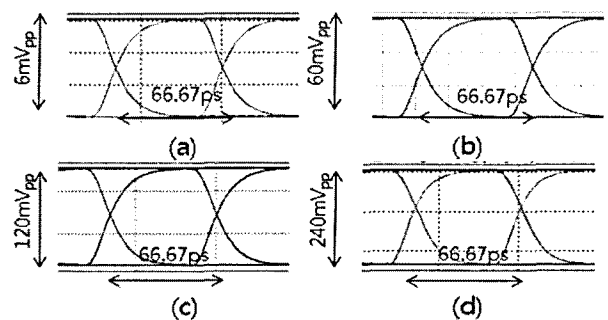


그림 6. TIA회로의 eye-diagram 시뮬레이션 결과 (입력 신호 15Gb/s 2³¹-1 PRBS: (a) 10 μ A_{pp}, (b) 100 μ A_{pp}, (c) 200 μ A_{pp}, 및 (d) 500 μ A_{pp} 입력전류 변화
Fig. 6. Simulated eye-diagrams of the TIA for 15Gb/s 2³¹-1 PRBS inputs with the different input currents of: (a) 10 μ A_{pp}, (b) 100 μ A_{pp}, (c) 200 μ A_{pp}, and (d) 500 μ A_{pp}, respectively.

선 결과로서 56.8dBΩ transimpedance gain 및 11.8GHz 대역폭을 갖는다. 그림 5와 그림 6은 설계한 TIA의 transient 시뮬레이션(eye-diagram) 결과 파형이다. 그림 5는 입력신호의 크기를 100μA_{pp}로 고정시키고 2³¹-1 PRBS 입력신호의 동작속도를 1Gb/s, 5Gb/s, 10Gb/s, 및 15Gb/s로 달리 하여 시뮬레이션 하였고, 그림 6은 입력신호를 15Gb/s 2³¹-1 PRBS로 고정시키고 입력신호의 크기를 10μA_{pp}, 100μA_{pp}, 200μA_{pp}, 500μA_{pp}로 변화시키면서 시뮬레이션 한 결과로서, eye-diagram이 모두 양호하게 나오고 있음을 확인하였다. DC 시뮬레이션 결과, TIA 회로에서 소모되는 전력은 1.0V 전원 전압에 대하여 8.4mW이다.

2. Feedforward LA 회로

리미팅 증폭기(LA) 회로는 TIA단에서 신호를 받아 다음 단의 clock and data recovery(CDR) 회로가 충분히 작동 가능할 수 있도록 일정한 크기의 신호로 제한하여 증폭하는 역할을 수행한다. 그림 7(a)는 제안한 feedforward LA 회로의 구성을 보여준다. TIA의 single-ended 출력신호를 differential로 변환하는 첫 번째 입력버퍼단과 feed-forward 방식을 사용한 4단의 차동이득단 (differential gain-stage), 그리고 50Ω 매칭을 위한 출력버퍼단 (output buffer)으로 구성된다. 그림 7(b)는 feedforward 회로기법을 적용한 4단의 차동이득단의 블록다이어그램이다. 이는 마지막 단에서 첫 단으로 돌아오는 피드백 성분을 제거하고, 종래 링 오실레이터에서 각 셀 사이의 delay를 줄이기 위해 사용하는 feedforward방식을 LA 회로에 적용한 것이다.^[8-9]

특히, 4-terminal 소자인 IGM-DG MOSFET을 사용하여 양 단의 게이트에 서로 다른 전압을 인가함으로써, 기존 conventional CMOS 회로에서는 PMOS 소자 두 개를 사용하는데 비해, 본 회로에서는 P1 한 개의 소자로 구현할 수 있다. 즉, IGM-DG MOSFET의 한쪽 채널은 load 역할을, 다른 한쪽은 feed-forward 역할을 수행하여 결과적으로 회로의 집적도를 향상시키는 효과를 얻는 것이다. 그림 7(a)은 IGM-DG MOSFET을 이용한 feedforward LA의 gain cell 회로도이다.

그림 8은 LA 회로의 주파수응답을 시뮬레이션 한 결과이다. Feedforward 회로기법을 적용할 경우, 15.8GHz의 대역폭 및 37.67dB gain을 갖는데 비하여, PMOS의 양단 게이트의 입력을 common-mode로 GND에 연결할 경우, 11.2GHz 대역폭 및 29.55dB gain을 얻는다.

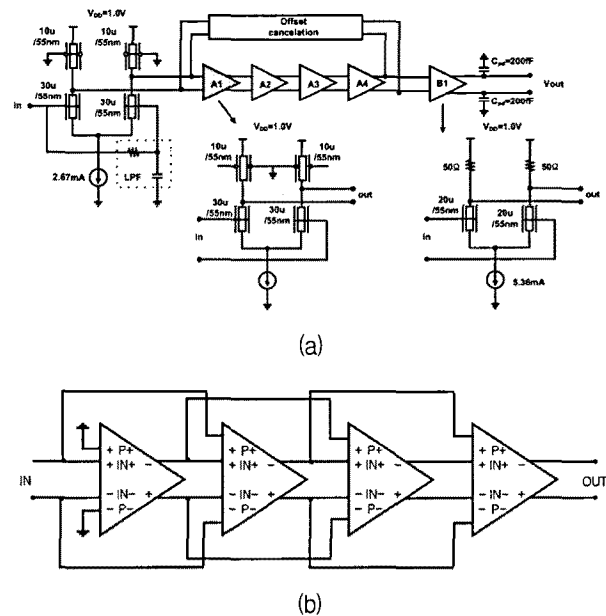


그림 7. (a) LA 회로의 블록다이어그램 및 각 gain-cell 회로도, (b) feedforward LA의 블록다이어그램
Fig. 7. (a) Block diagram of the proposed feedforward LA and the schematic diagram of each gain-cell, and (b) the block diagram of the feedforward LA.

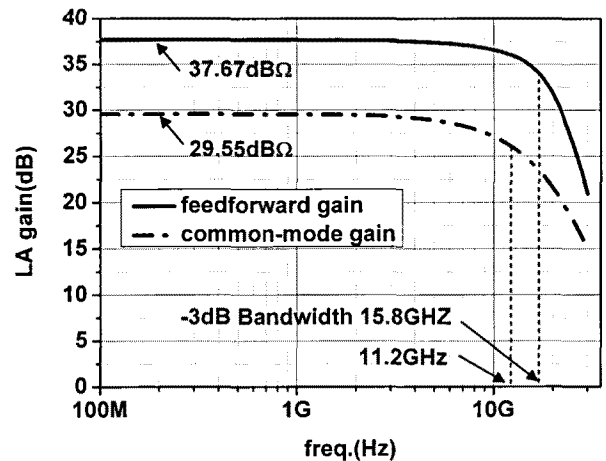


그림 8. LA의 주파수응답 시뮬레이션 결과
Fig. 8. Simulated frequency responses of LA.

즉, feedforward 회로를 통해 더 큰 gain과 넓은 대역폭의 동작을 가능케 함을 확인할 수 있다. 이로써, ISI(Inter Symbol Interference)를 줄이고, 높은 slew rate 및 짧은 rise/fall time을 가지는 신호를 출력할 수 있다.^[10]

그림 9와 그림 10은 LA 출력을 transient simulation으로 관찰한 eye-diagram을 제시한다. 그림 9는 2³¹-1 PRBS 입력신호의 전류크기를 100μA_{pp}로 고정시킨 후

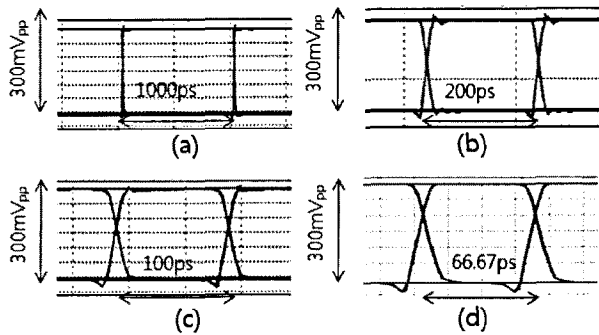


그림 9. LA 회로의 eye-diagram 시뮬레이션 결과: 100µA_{pp} 2³¹-1 PRBS 입력신호에 대하여 (a) 1Gb/s, (b) 5Gb/s, (c) 10Gb/s, 및 (d) 15Gb/s로 동작속도 변화

Fig. 9. Simulated eye-diagrams of the LA for 2³¹-1 PRBS 100µA_{pp} inputs at the different data rates of (a) 1Gb/s, (b) 5Gb/s, (c) 10Gb/s, and (d) 15Gb/s, respectively.

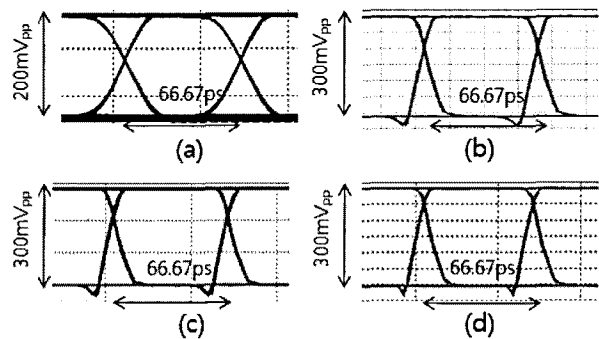


그림 10. LA 회로의 eye-diagram 시뮬레이션 결과: 15Gb/s 2³¹-1 PRBS 입력신호에 대하여 (a) 10µA_{pp}, (b) 100µA_{pp}, (c) 200µA_{pp}, 및 (d) 500µA_{pp}로 입력전류 크기 변화

Fig. 10. Simulated eye-diagrams of the LA for 15Gb/s 2³¹-1 PRBS at the different current levels of (a) 10µA_{pp}, (b) 100µA_{pp}, (c) 200µA_{pp}, and (d) 500µA_{pp}, respectively.

1Gb/s, 5Gb/s, 10Gb/s, 및 15Gb/s로 동작속도를 달리 하여 시뮬레이션 하였다. 또한, 그림 10은 입력속도를 15Gb/s로 고정시킨 후, 2³¹-1 PRBS 입력신호의 크기를 10µA_{pp}, 100µA_{pp}, 200µA_{pp}, 500µA_{pp}로 변화 시키면서 eye-diagram을 시뮬레이션 한 결과이다. 그림에서 보는 바와 같이, 입력신호의 속도와 크기를 변화시켜도 출력단의 신호크기는 V_{DD}= 1.0V에서 약 300mV_{pp}으로 일정하게 제한하여 증폭되고 있음을 확인할 수 있다. 전력 소모는 LA단에서 13.4mW, 그리고 출력버퍼단에서 6.6mW로서, 전체 20mW이다.

3. Optical Receiver 설계

앞 절에서 구성한 cascode TIA 및 feedforward LA를 이용하여 본 절에서는 그림 11과 같이 광수신기 (Optical receiver) 회로를 설계하였다. 수신기 앞단에 위치한 광다이오드는 광신호를 감지하여 전기적 전류신호로 변환시킨다. TIA는 광다이오드에서 변환한 전류신호를 받아 이득을 가진 전압신호로 출력한다. LA는 그 신호를 증폭하고 제한하여 일정 크기의 신호로 출력한다. 이는 뒤에 연결되는 Clock and data recovery circuit(CDR) 회로에서 중요한 역할을 차지하는데, 요구되는 bit-error rate (BER) 을 달성하기 위해 시간 안에 정확하게 decision threshold level과 sampling point를 설정해야 하기 위함이다.^[11]

설계한 광수신기 회로를 HSPICE 시뮬레이션 하였고, 그림 12에서 보는 바와 같이 13.2GHz의 대역폭과 94dBΩ transimpedance gain을 갖는다.

그림 13 및 그림 14는 광수신기 회로의 출력을 transient simulation으로 관찰한 eye-diagram이다. 그림 13은 2³¹-1 PRBS 입력신호의 크기를 100µA_{pp}로 고정시킨 후, 1Gb/s, 5Gb/s, 10Gb/s, 및 15Gb/s로 신호의

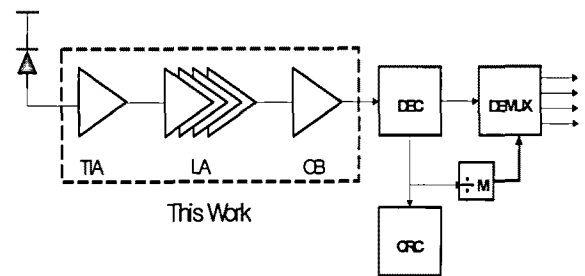


그림 11. 광수신기(optical receiver)의 블록다이어그램
Fig. 11. Block diagram of the optical receiver.

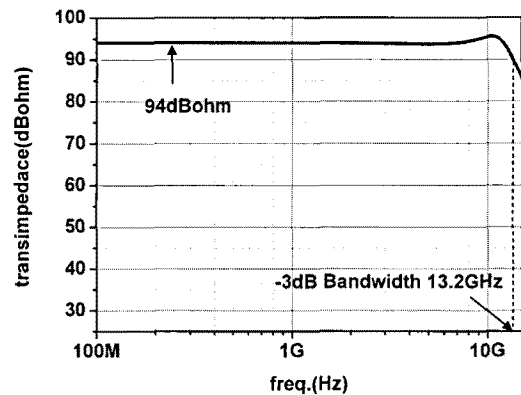


그림 12. 광수신기의 주파수응답 시뮬레이션 결과
Fig. 12. Simulated frequency response of the optical receiver.

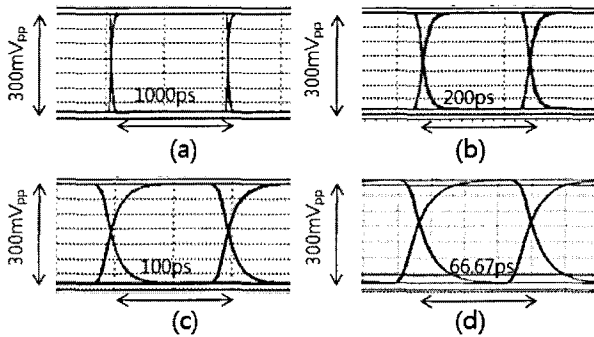


그림 13. 광수신기 회로의 eye-diagram 시뮬레이션 결과: 100µA_{pp} 2³¹-1 PRBS 입력신호에 대하여 (a) 1Gb/s, (b) 5Gb/s, (c) 10Gb/s, 및 (d) 15Gb/s로 동작속도 변화

Fig. 13. Simulated eye-diagrams of the optical receiver for 100µA_{pp} 2³¹-1 PRBS inputs at the different data rates of (a) 1Gb/s, (b) 5Gb/s, (c) 10Gb/s, and (d) 15Gb/s, respectively.

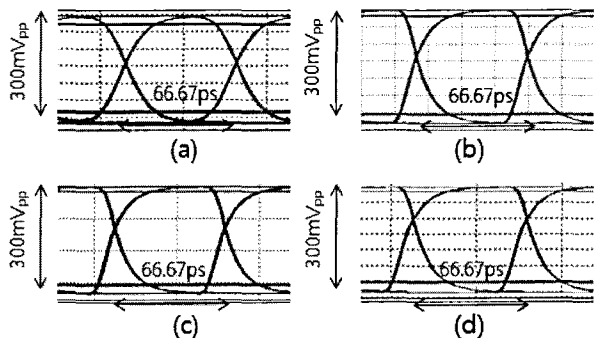


그림 14. 광수신기 회로의 eye-diagram 시뮬레이션 결과 : 15Gb/s 2³¹-1 PRBS 입력신호에 대하여 (a) 10µA_{pp}, (b) 100µA_{pp}, (c) 200µA_{pp}, 및 (d) 500µA_{pp}로 입력전류 변화

Fig. 14. Simulated eye-diagrams of the optical receiver for 15Gb/s 2³¹-1 PRBS at the different current levels of (a) 10µA_{pp}, (b) 100µA_{pp}, (c) 200µA_{pp}, and (d) 500µA_{pp}, respectively.

동작속도를 달리한 결과이며, 그림 14는 입력속도를 15Gb/s로 고정시킨 후, 2³¹-1 PRBS 입력신호의 크기를 10µA_{pp}, 100µA_{pp}, 200µA_{pp}, 및 500µA_{pp}로 변화시키면서 eye-diagram을 시뮬레이션한 결과이다. 이 때, 전체 광수신기의 소모 전력은 28.4mW이다.

그림 15는 광수신기 회로의 noise figure 시뮬레이션 결과로서, 회로의 저항에서 발생하는 thermal noise와 소자 내부에서 발생하는 drain current noise 및 gate noise를 고려하여 시뮬레이션 하였다. 이로써 설계한 광수신기의 전체 noise figure는 대역폭 내에서 2dB이하의 값을 갖는 것을 확인하였다.

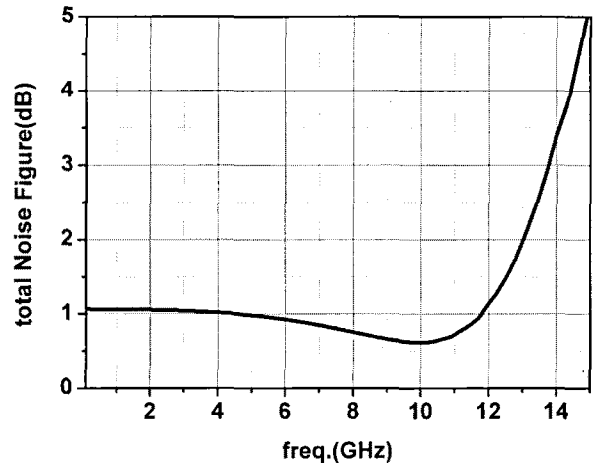


그림 15. 광수신기 회로의 noise figure

Fig. 15. Simulated noise figure of the optical receiver.

표 1. TIA의 성능비교

Table 1. Performance comparison of TIA.

Ref.	This work	[11]	[12]	[13]
Tech	IGM-DG 55nm	Si 0.25µm BiCMOS	SOI 0.13µm CMOS	0.18µm CMOS
V _{DD}	1.0V	5.0V	1.5V	1.8V / 2.2V
Power diss.	8.4mW	140mW (w/i OB 80mW)	165mW (w/i LA)	70mW (w/i OB)
Trans impedan ce Gain	56.8dBΩ	55dBΩ	60dBΩ	62dBΩ
BW	11.8GHz	9GHz	10GHz	8.1GHz
M a x . i n p u t c u r r e n t	0.5mApp	1.4mApp	3mApp	2.5mApp

표 2. LA의 성능비교

Table 2. Performance comparison of LA.

Ref.	This work	[12]	[14]	[15]
Tech	IGM-DG 0.055µm	SOI CMOS 0.13µm	0.18µm CMOS	0.18µm CMOS
V _{DD}	1.0V	1.5V	1.8V	2.4V
P o w e r d i s s .	20mW	165mW (w/i TIA)	150mW	120mW
Gain	37.67dB	23dB	50dB	30dB
BW	15.8GHz	17GHz	9.4GHz	6.5GHz

본 연구에서는 IGM-DG소자를 사용하여 TIA, LA 및 OB를 설계하였고 이를 통해 광수신기를 구현하였다. 표 1은 TIA에 대하여, 표 2는 LA 및 OB회로에 대하여 기존에 제작된 회로들과 성능을 비교한 것이다. 특히, 표에서 확인할 수 있듯이 IGM-DG MOSFET을 사용하여 구현한 TIA는 기존 발표된 회로에 비하여 넓은 대역폭에서 높은 transimpedance gain을 가지는 동시에 저 전력으로 구동가능하다. 또한 LA 및 OB회로의 경우에도 기존 회로에 비하여 20%이하의 전력을 소모하여 회로를 구동할 수 있다.

4. 광수신기 회로의 안정성 검증

설계한 회로의 안정성을 검증하기 위하여 Process 및 V_{DD} variation 항목으로 나누어 각 조건의 변화에 따른 회로의 동작변화 경향을 살펴보았다. 특히, 수신기 성능에 가장 큰 영향을 주는 수신기 첫 단에 위치한 TIA를 중점적으로 시뮬레이션 하였다.

가. Process variation

Process 변화의 경우, L_g , T_{ox1} , T_{ox2} 세 부분의 변화로 나누어서, 회로의 주파수 응답변화를 확인하도록 한다.

① L_g variation : IGM-DG MOSFET의 게이트 길이를 $\pm 10\%$ 변화시키면서 회로의 특성 변화를 관찰하였다. 사용한 소자의 파라미터는 $L_g=55nm$, $T_{ox1}=0.8nm$, $T_{ox2}=4nm$, $T_{si}=8nm$, NMOS의 경우 $\Phi_{ms}(fg)$ (front - gate workfunction) = 4.15eV, $\Phi_{ms}(bg)$ (back - gate workfunction) = 5.17eV, PMOS의 경우 $\Phi_{ms}(fg)$ (front -

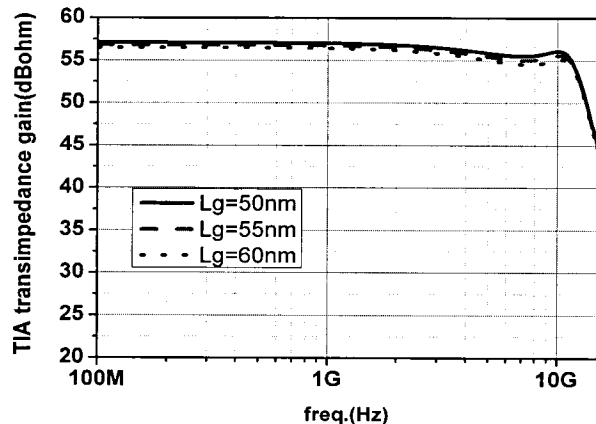


그림 16. 게이트 길이 변화에 따른 주파수응답 변화
Fig. 16. Frequency responses with $\pm 10\%$ variations of gate-length.

gate workfunction) = 5.05eV, $\Phi_{ms}(bg)$ (back - gate workfunction) = 4.05eV를 사용하였다.

그림 16에서 보는 바와 같이, 채널길이가 짧아질수록 소자의 전류구동능력이 증가하여, 전체 광수신기의 transimpedance gain이 증가한다. 그러나, $\pm 10\%$ 의 L_g 변화에 대한 TIA의 transimpedance gain 변화량은 0.285dB Ω 으로 매우 작다.

② T_{ox1} variation : $T_{ox1}=0.8nm$ 인 소자의 T_{ox1} 값을 $\pm 0.1nm$ 변화하면서 주파수응답을 시뮬레이션 하였다. T_{ox1} 두께의 변화는 front-게이트에 형성되는 채널의 특성변화에 특히 영향을 주므로, front-게이트의 절연막 두께가 짧아질수록 소자의 전류 구동능력이 좋아져서 transimpedance gain이 증가하는 경향을 갖는다. $\pm 0.1nm$ 의 T_{ox1} 변화에 따라 0.395dB Ω 의 transimpedance gain 변화를 갖는다. (그림 17 참조)

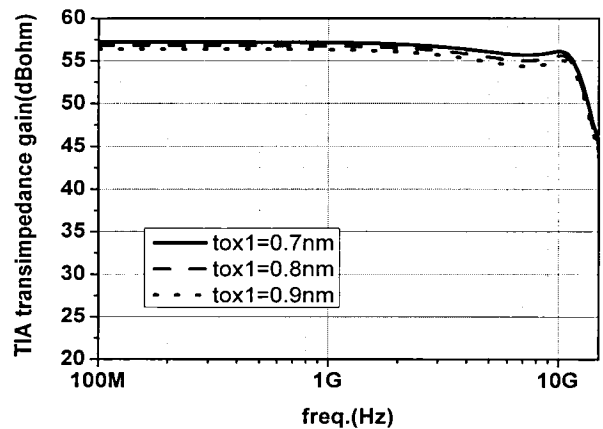


그림 17. Front-게이트의 Oxide 두께변화에 따른 주파수 응답 변화

Fig. 17. Frequency responses with varying front-gate oxide thickness.

③ T_{ox2} variation : $T_{ox2}=4nm$ 소자의 back-게이트 절연막 두께를 $\pm 10\%$ 변화시키면서 TIA의 transimpedance gain 특성을 관찰하였다. T_{ox2} 의 변화에 따라 back-게이트의 charge가 적게 형성되므로 leakage current가 감소하고, 이로 인하여 향상된 I_{on}/I_{off} ratio를 얻을 수 있다. 따라서, T_{ox2} 가 두꺼워질수록 향상되는 transimpedance gain 특성을 갖는다. $\pm 10\%$ 의 T_{ox2} 변화에 대한 transimpedance gain 변화량은 0.125dB Ω 이다. (그림 18 참조)

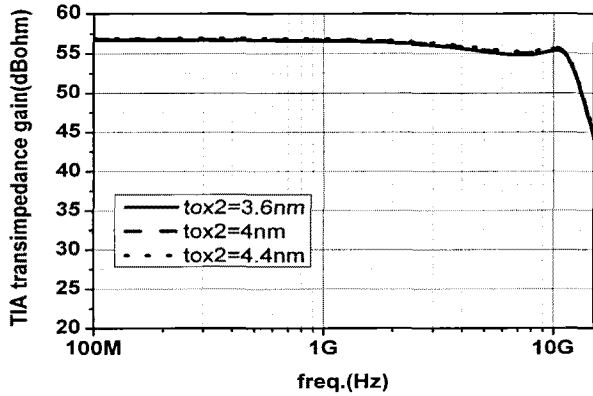


그림 18. Back-게이트의 Oxide 두께변화에 따른 주파수 응답 변화
 Fig. 18. Frequency responses with varying back-gate oxide thickness.

나. V_{DD} variation

전원전압(V_{DD})은 회로의 동작범위에 많은 영향을 준다. 따라서 $V_{DD}=1.0V$ 에서 $\pm 10\%$ 변화되었을 때 TIA 성

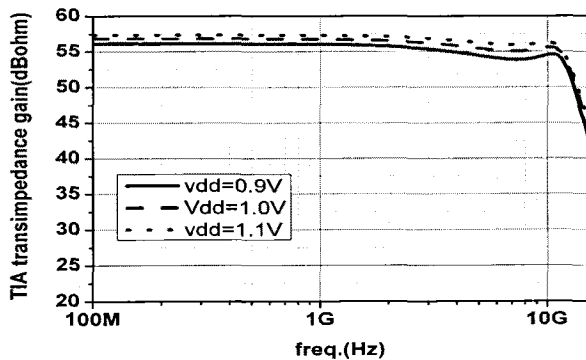


그림 19. $\pm 10\%$ 의 V_{DD} 변화에 따른 주파수 응답변화
 Fig. 19. Frequency responses with $\pm 10\%$ V_{DD} variations.

표 3. Process/ V_{DD} variation에 따른 각 조건에서의 TIA 성능요약

Table 3. Performance summary of the TIA for various conditions with respect to process/ V_{DD} variations.

	TZ Gain	BW	Power dissipation
Best ($L_g=50nm$, $T_{ox1}=0.7nm$, $T_{ox2}=4.4nm$, $V_{DD}=1.1V$)	58.0 dB Ω	12.0 GHz	12.9 mW
Typical ($L_g=55nm$, $T_{ox1}=0.8nm$, $T_{ox2}=4.0nm$, $V_{DD}=1.0V$)	56.8 dB Ω	12.0 GHz	8.4 mW
Worst ($L_g=60nm$, $T_{ox1}=0.9nm$, $T_{ox2}=3.6nm$, $V_{DD}=0.9V$)	56.5 dB Ω	11.9 GHz	5.0 mW

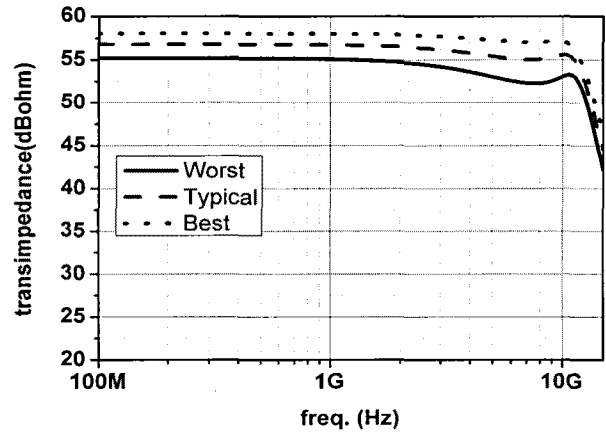


그림 20. 각 조건에서의 TIA 회로 주파수응답
 Fig. 20. Frequency responses of the TIA for all cases.

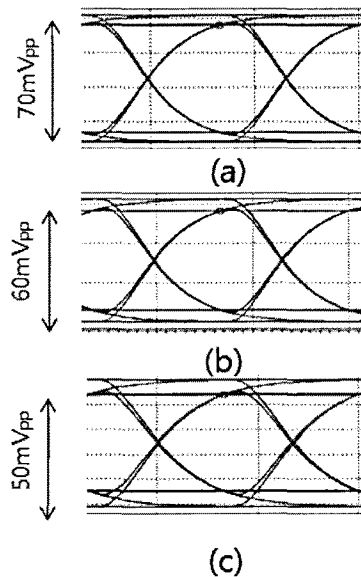


그림 21. TIA 회로의 eye-diagram 시뮬레이션 결과: 15Gb/s $2^{31}-1$ PRBS 입력신호에 대하여 (a) best-case, (b) typical-case, 및 (c) worst-case로 구분

Fig. 21. Simulated eye-diagrams of the TIA for 15Gb/s $2^{31}-1$ PRBS: (a) best case (b) typical-case, and (c) worst-case, respectively.

능변화에 대해 시뮬레이션 하였다. 그림 19에서 보는 바와 같이, $\pm 10\%$ 의 V_{DD} 변화에 대해 0.605dB Ω 의 transimpedance gain의 변화를 갖는다.

표 3과 그림 20은 광수신기의 주파수응답에 대하여 best-case, typical-case, worst-case로 나누어 AC-시뮬레이션을 수행한 결과이다. 그림 21은 동작속도 15Gb/s, 입력신호의 크기 100 μ App인 231-1 PRBS 신호에 대해 각 case의 eye-diagram을 transient simulation 한 결과이다. (a) best-case, (b) typical-case, (c)

worst-case이다. 결론적으로, 설계한 TIA 회로는 심각한 조건의 변화가 있음에도 불구하고 일정한 transimpedance gain 및 대역폭을 가지며, 깨끗한 eye-diagram을 갖는 것을 확인하였다.

III. 결 론

IGM-DG MOSFET 소자는 양쪽 게이트를 이용하여 채널 제어능력의 한계를 극복함으로써 집적회로의 집적도를 높인다. 본 논문에서는 front-게이트와 back-게이트의 일함수 및 산화막 두께가 상이하면서 서로 다른 전압이 인가되는 4-terminal 구조의 IGM-DG 소자를 사용하여 광수신기를 설계하였다.

TIA의 경우 IGM-DG를 common-mode로 사용하여 gain을 높였고, LA의 경우 4단의 gain-cell에 feed-forward 방식을 적용하여 대역폭을 늘렸다. 이를 통해 기존의 회로 및 시스템을 한층 더 업그레이드 할 수 있는 가능성을 보였고, 기존의 3-terminal 회로설계에 비해 집적도를 향상시킬 수 있음을 확인하였다. 또한 process / V_{DD} variation에 대한 회로의 안정성을 검증하였다. 따라서, IGM-DG MOSFET을 이용한 회로설계는 기존회로를 대체할 수 있을 뿐 아니라, 저전력/저전압 회로를 사용하는 분야에 적용가능함을 보였다.

참 고 문 헌

- [1] H. S. Wong et al., "Design and Performance Considerations for Sub-0.1um Double-Gate SOI MOSFET's", in IEDM Tech. Deg, p.747, 1994.
- [2] K. Kim et al., "Double-Gate CMOS: Symmetrical -Versus Asymmetrical- Gate Devices" in IEEE transactions on electron decives, vol. 48, No.2, Feb, 2001
- [3] 정나래 et al., "Independent-Gate-Mode Double-Gate MOSFET을 이용한 RF Receiver 설계", 대한전자공학회지, 제 46권 SD편, 제 10호, 2009년
- [4] Y. Liu et al., "Cointegration of High-Performance Tied-Gate Three-Terminal FinFETs and Variable Threshold-Voltage Independent-Gate Four-Terminal FinFETs With Asymmetric Gate-Oxide Thicknesses." in IEEE Electron device letters, vol. 28, No. 6, June 2007.
- [5] M. Masahara et al., "Demonstration of Asymmetric Gate Oxide Thickness 4-Terminal FinFETs" in Proc. IEEE International SOI Conference., 2006, p.165~166.
- [6] ATLAS device simulator, version 5. 12, SILVACO, 2007.
- [7] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge, 1998.
- [8] H. Q. Liu, W. L. Goh and L.Siek, "Design and frequency/phase-noise analysis of 10-GHz CMOS ring oscillator with coarse and fine frequency tuning", Analog Intergrated Circuits and Signal Processing, vol. 48, p.85, 2006.
- [9] H. Q. Liu, W. L. Goh and L.Siek, "A 0.18-um 10-GHz CMOS Ring Oscillator for Optical Transceivers", IEEE Proc. of ISCAS, vol. 2, p.1525, 2005.
- [10] Behzad Razavi, "Design of integrated circuits for optical communications", p.123-124
- [11] H. H. Kim et al., "A Si BiCMOS Transimpedance Amplifier for 10-Gb/s SONET Receiver", IEEE J. Solid-State, Circuits, vol. 36, no. 5, pp. 769~776, May 2001.
- [12] F. Pera, S.P Voiniqescu, "An SOI CMOS, high gain and low noise transimpedance-limiting amplifier for 10Gb/s applications", IEEE RFIC Symposium. Tech. Dig., pp.401~404, 2006.
- [13] B.Shammugasamy and T.Z.A Zulkifli, "A 10-Gb/s Fully Balanced Differential Output Transimpedance Amplifier in 0.18-um CMOS Technology for SDH/SONET Application", Circuits and systems, 2008. APCCAS 2008, IEEE Asia Pacific Conference, p684~687, 2008.
- [14] Sherif Galal and Behzad Razavi, "10Gb/s Limiting Amplifier and Laser/Modulator Driver in 0.18-um CMOS Technology", IEEE J.Solid-statecircuits, vol38, no.12, December 2003.
- [15] Rui Tao, Manfred Berroth, "10Gb/s CMOS Limiting Amplifier for Optical links", in Proc. ESSCIRC, Sep.2003, pp.285~287.

저 자 소 개



김 유 진(학생회원)
 2009년 이화여자대학교
 정보통신학과 학사졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 1년차.
 <주관심분야 : 메모리 설계, 반도체 소자>



정 나 래(학생회원)
 2008년 이화여자대학교
 정보통신학과 학사졸업.
 2009년 현재 이화여자대학교
 전자공학과 석사 2년차.
 <주관심분야 : 메모리 설계, 반도체 소자>



박 성 민(평생회원)
 1993년 한국과학기술원 전기및
 전자공학과 학사졸업.
 1994년 런던대학교
 전자공학과 석사졸업.
 2000년 임페리얼 공대
 전자공학과 박사졸업.
 2004년~현재 이화여자대학교 공과대학
 전자공학과 부교수.
 <주관심분야 : RF 및 광통신용 초고속 아날로그 회로 설계>



신 형 순(정회원)
 1982년 서울대학교
 전자공학과 학사졸업.
 1984년 University of Texas at
 Austin 석사졸업.
 1990년 University of Texas at
 Austin 박사졸업.
 1990년~1994년 LG 반도체 근무.
 1995년~현재 이화여자대학교 공과대학
 전자공학과 교수.
 <주관심분야 : 반도체 소자구조, 모델링.>