

---

# 고성능 디스플레이 변환기의 FPGA 설계

최현준\* · 서영호\*\* · 김동욱\*\*\*

FPGA Design of High-performance Display Converter

Hyun-Jun Choi\* · Young-Ho Seo\*\* · Dong-Wook Kim\*\*\*

---

본 연구는 지식경제부, 방송통신위원회 및 한국산업기술평가관리원의 산업원천기술개발사업 (정보통신)의 일환으로 수행하였음. [KI002058, 대화형 디지털 홀로그램 통합서비스 시스템의 구현을 위한 신호처리 요소 기술 및 SoC 개발]

---

## 요 약

본 논문에서는 4개의 기능 블록들로 구성된 디스플레이 변환기의 구조를 제안하였다. 디스플레이 변환기의 4개의 기능 블록들은 각각 color space converter, de-interlacer, video display scaler, gamma corrector 등이다. 제안한 구조들은 실제 하드웨어로 구현한 후 정확한 동작을 검증하였다. 구현된 디스플레이 변환기는 Altera 사의 Stratix 디바이스에서 7,629개의 LUT, 6,800개의 Logic Register를 사용하였고, 최대 270 MHz에서 동작이 가능하였다.

## ABSTRACT

여기부터는 영문 In this paper, we propose the hardware architecture of a display converter which is consisted of four functional blocks. The four functional blocks consists of a set of color space converter, de-interlacer, video display scaler, and gamma corrector. After the proposed architecture was implemented into hardware, we verified that it operated exactly. The designed hardware has 7,629 LUT and 6,800 Logic Register in Stratix device of Altera and operates in 270 MHz clock frequency.

## 키워드

디스플레이 컨버터, 하드웨어, FPGA, 비디오, 스케일러

## Key word

Display converter, Hardware, FPGA, video, scaler

---

\* 안양대학교  
\*\* 광운대학교 (교신저자, yhseo@kw.ac.kr)  
\*\*\* 광운대학교

접수일자 : 2010. 04. 01  
심사완료일자 : 2010. 05. 12

## I. 서 론

오늘날 멀티미디어 산업의 발달과 고도의 전자 시스템의 급속한 보급으로 인하여 인간과 각종 전자 장치와의 가교적 역할을 담당하는 디스플레이 장치에 대한 중요성이 크게 증대되고 있다[1]. 이러한 디스플레이 장치 중 현재 LCD(Liquid Crystal Display)는 기존의 CRT보다 높은 고화질, 경량화, 저전력 소비 등의 우수한 특성 때문에 그 응용 분야가 더욱 확대되고 있다. 이러한 LCD를 채용한 디스플레이 시스템은 응용분야에 따라 다양한 해상도와 고화질을 요구하고 있다[1].

현재 개발되고 있는 많은 비디오 처리 및 변환 프로세서들은 고속 및 광대역의 데이터 액세스를 위하여 독자적인 버스 구조를 적용하여 저전력, 고성능 동작이 요구되는 휴대용 컴퓨터와 모바일 기기 등을 위한 SoC에 장착되고 있다. 이러한 기능을 위해서는 다기능, 고성능의 동작과 성능이 필요하다.

최근 사용되고 있는 IP들을 살펴보면 비디오 해상도를 조절 위한 re-sampler, 색차변환을 위한 color space converter, 격행주사 방식의 비디오를 순차주사 방식의 비디오로 변환시켜주는 de-interlacer, 비디오 해상도를 조절하는 scaler, 비디오의 초당 프레임수를 조절하기 위한 frame buffer, 그리고 왜곡된 색감을 조절하기 위한 gamma corrector 등이 내장되어 있고 full HD 급 이상의 비디오를 처리하기 위한 특성을 갖는 것이 일반적이다. 여기에 UHD와 3DTV 방식의 시대가 도래하면서 새로운 비디오 규격을 만족시킬 수 있는 고성능의 SoC를 위한 IP가 요구되어지고 있다.

본 논문에서는 4개의 기능 블록으로 구성된 디스플레이 변환기의 구조를 제안하고, 이를 FPGA를 타겟으로 설계하였다.

## II. 디스플레이 변환기의 설계

디스플레이 컨버터는 비디오 처리를 시스템을 구성하는데 있어서 디스플레이 전단에 삽입되는 필수부품 중 하나이다. 디스플레이 컨버터 IP의 전체 구조를 먼저 설명하고, 세부 구조 및 동작에 대해서 설명한다. 그리고 디스플레이 컨버터의 핵심 연산 기능인 곱셈 및 누적 연산을 수행하는 곱셈-누적기에 대해서 자세히 설명한다.

디스플레이 컨버터 IP는 아래와 같은 4가지 기능으로 구성되어 있고, 각각은 고유한 비디오 처리를 수행한다. CSC는 다양한 컬러포맷을 변환시킬 수 있는 기능이고, DI는 필드 단위로 구성된 비디오를 프레임단위로 변경하는 기능을 한다. VDS는 비디오의 크기를 변경할 수 있는 기능이고, GC는 디스플레이가 갖는 색상의 왜곡 현상을 보정할 수 있는 기능이다. 디스플레이 컨버터는 복잡한 연산을 수행하는 기능을 갖는 것은 아니고, 대부분이 데이터 형태를 변환시키는 기능이라 할 수 있다.

- ① Color space converter (CSC)
- ② De-interlacer(DI)
- ③ Video display scaler(VDS)
- ④ Gamma corrector (GC)

디스플레이 컨버터 IP는 아래의 그림 1과 같은 구조를 갖는다.

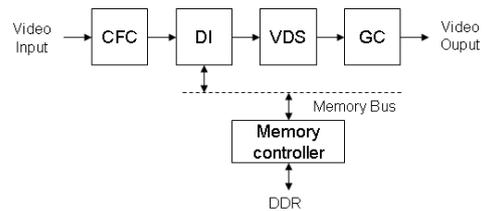


그림 1. 디스플레이 컨버터의 구조  
Fig. 1. Architecture of display converter

## III. 디스플레이 변환기의 세부 구조 및 동작

본 장에서는 2장에서 설명한 디스플레이 변환기를 구성하고 있는 4가지 주요 블록들에 대해서 자세히 설명한다. 또한 각 기능 블록들의 하드웨어 구조와 구현결과들을 설명한다.

### 3.1. Color space converter (CSC)

CSD는 비디오 데이터의 색차 포맷을 변환하는 기능으로 다양한 표준 색차 포맷에 대해 지원 가능하다. 컬러 영역은 3차원 좌표계를 이용한 색차 표현을 위한 명확한 도구이다. 다른 컬러 영역은 서로 다른 장치들에 최적의

다. 예를 들어 RGB는 컴퓨터 모니터에 적합하고, YCbCr은 디지털 텔레비전에 적합하다. 컬러 영역 변환은 다른 컬러 영역 모델을 사용하는 장치들간에 데이터를 주고 받는데 종종 필수적이다. 예를 들어 텔레비전의 영상을 컴퓨터 모니터로 전송하기 위해서 YCbCr 색차 포맷을 RGB로 반드시 변환해야만 한다. 유사한 변환이 SDTV와 HDTV를 위해서도 필요하다. 또한 NTSC(National Television System Committee)를 위한 YIQ 색차포맷과 PAL(Phase Alternation Line)을 위한 YUV 색차 포맷도 필요하다. 컬러 영역들 간의 변환은 9개의 계수(A0, A1, A2, B0, B1, B2, C0, C1, C2)와 세 개의 보정값(S0, S1, S2)으로 구성된 배열로 구해진다. 수식은 아래와 같고, 세 가지 색상 성분에 대해서 각각 식이 정의되어 세 개의 식으로 구성된다.

$$\begin{aligned} \text{dout}_0 &= (A0 \times \text{din}_0) + (B0 \times \text{din}_1) + (C0 \times \text{din}_2) + S0 \\ \text{dout}_1 &= (A1 \times \text{din}_0) + (B1 \times \text{din}_1) + (C1 \times \text{din}_2) + S1 \quad (1) \\ \text{dout}_2 &= (A2 \times \text{din}_0) + (B2 \times \text{din}_1) + (C2 \times \text{din}_2) + S2 \end{aligned}$$

계산식은 MAC 연산에 기반하고 있다. 각 성분들은 RGB를 YCbCr로 색차변경을 할 경우에  $\text{din}_0=B$ ,  $\text{din}_1=G$ ,  $\text{din}_2=R$ ,  $\text{dout}_0=Cb$ ,  $\text{dout}_1=Cr$ ,  $\text{dout}_2=Y$ 과 같다. 변경 가능한 색차 포맷의 종류와 그때 사용되는 각 계수들의 값은 표 1과 같다.

표 1. 색차 변환을 위한 계수  
Table 1. Coefficient for color space conversion

		A	B	C	S
CbCrY (SDTV) ↔ BGR	0	1.73	0	1	-221
	1	-0.36	-0.705	1	132
	2	0	1.37	1	-175
	0	0.44	-0.29	-0.15	128
	1	-0.07	-0.37	0.44	128
CbCrY (HDTV) ↔ BGR	2	0.10	0.50	0.26	16
	0	2.12	0	1.16	-289
	1	-0.21	-0.53	1.16	77
	2	0	1.79	1.16	-248
	0	0.44	-0.34	-0.10	128
BGR (PC) ↔ VUY	1	-0.04	-0.40	0.44	128
	2	0.06	0.61	0.18	16
	0	2.03	0	1	0
	1	-0.40	-0.58	1	0
	2	0	1.14	1	0
	0	0.44	-0.29	-0.15	0
	1	-0.10	-0.52	0.62	0
	2	0.11	0.59	0.30	0

그림 2에 구현된 CSC의 하드웨어 구조를 나타냈다. 본 하드웨어는 동작 중에 색차 포맷 변환 변경 가능하고, 수 체계는 부호부가 1비트, 정수부가 2비트, 그리고 소수부가 11비트를 사용한다.

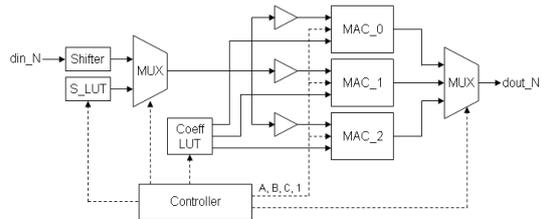


그림 2. CSC의 하드웨어 구조  
Fig. 2. Hardware architecture of CSC

그림 3에는 구현된 CSC의 시뮬레이션 결과를 보여주고 있다.

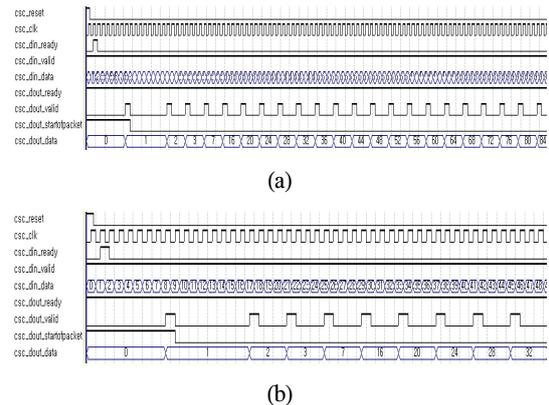


그림 3. CSC의 시뮬레이션 결과  
Fig. 3. Simulation result of CSC

### 3.2. Deinterlacer (DI)

DI는 격행주사 방식의 비디오를 순차주사 방식의 비디오로 변환하는 기능으로 bob, weave, 혹은 motion-adaptive 알고리즘을 이용한다. 본 과제에서는 motion-adaptive 방식을 조금 변경한 방식을 제안하여 사용한다.

Motion-adaptive 알고리즘은 bob과 weave 알고리즘보다는 훨씬 복잡한 방법이고 더 많은 비용이 소요되는 방법이지만 더 좋은 성능을 제공한다. 이 방식은 움직임이 많은 영역에 대해서는 bob 알고리즘을 사용하고, 움직임이 적은 영역에 대해서는 weave 방식을 사용한다.

본 논문에서는 변형된 motion-adaptive 방식을 사용하여 간단히 움직임이 많은 영역과 그렇지 않은 영역을 구분하였다. 첫 번째와 세 번째 필드의 화소를 3x3 영역으로 만든 후에 두 영역에 대한 SAD(sum of absolute difference) 값을 구하였다. 또한 두 번째와 네 번째 필드에 대해서도 적용을 하여 SAD 값을 구하였다. 두 개의 SAD가 임계값보다 모두 크다면 그 영역을 움직임이 있는 영역으로 선정하였다.

### 3.3. Video Display scaler (VDS)

#### 1) 해상도

VDS는 비디오 해상도를 조절하는 회로로서 nearest-neighbor, bilinear, bicubic, 그리고 polyphase 스케일링 함수를 이용하여 해상도를 조절한다.

본 논문에서는 사용한 Polyphase and Bicubic Algorithms은 nearest-neighbor, bilinear 방식에 비해서 좋은 영상화질을 제공한다 sharp edge는 잘 보존하면서, 점진적으로 변화는 영상에 대해서 부드러운 내삽효과를 잃지 않는다. down scaling을 할 경우에는 에일리어싱(aliasing) 효과를 줄이기 위해서 긴 polyphase 필터를 사용할 수 있다. bicubic과 polyphase는 필터 계수를 유도하는 방식이 다르다. polyphase 알고리즘을 수직 수평방향으로 네 개의 tap을 갖게 한다면 bicubic과 동일하다. 주요 알고리즘은 windowed sinc function과 입력 데이터간의 convolution 연산과 보간에 의한 up scaling과 저주파 필터링에 의한 down scaling으로 구성된다. 사용된 sinc 함수는 아래의 식과 같고 특성을 그림 4의 그래프로 확인할 수 있다.

$$LanczosN(x) = \begin{cases} 1 & x = 0 \\ \frac{\sin(\pi x)}{\pi x} \frac{\sin(\pi x/N)}{\pi x/N} & x \neq 0 \wedge |x| < N \\ 0 & |x| \geq N \end{cases} \quad (2)$$

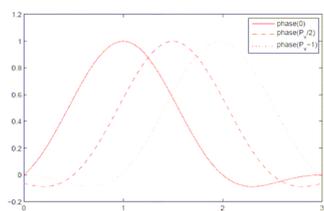


그림 4. Lanczos-windows sinc 함수 그래프  
Fig. 4. Graph of Lanczos-windows sinc function

#### 2) 계수

-256~255의 범위를 갖는 계수의 범위를 -2~1.9921875 (부호 1비트, 정수 1비트, 소수 7비트 사용)로 축소하여 사용한다. 연산에 사용한 필터 계수는 표 2와 같다.

표 2. 필터 계수  
Table 2. Filter coefficients

Phase	Coeff1	Coeff2	Coeff3	Coeff4
0	0	128	0	0
1	-4	126	6	0
2	-8	124	13	-1
3	-10	119	20	-1
4	-11	111	30	-2
5	-11	103	40	-4
6	-10	93	50	-5
7	-9	82	61	-6
8	-8	72	72	-8
9	-6	61	82	-9
10	-5	50	93	-10
11	-4	40	103	-11
12	-2	30	111	-11
13	-1	20	119	-10
14	-1	13	124	-8
15	0	6	126	-4

#### 3) 하드웨어 구조

그림 5에 VDS의 하드웨어 구조를 나타냈다. 하드웨어 구조에서 앞 부분이 수직방향의 필터링에 해당하고, 뒷 부분이 수평방향의 필터링에 해당한다. 필터링에 사용되는 연산은 곱셈과 누적덧셈 연산(MAC)이고, 이 연산기의 특성에 따라서 전체 하드웨어의 성능이 결정된다. 본 논문에서 구현한 MAC에 대해서는 뒤에서 자세히 설명한다.

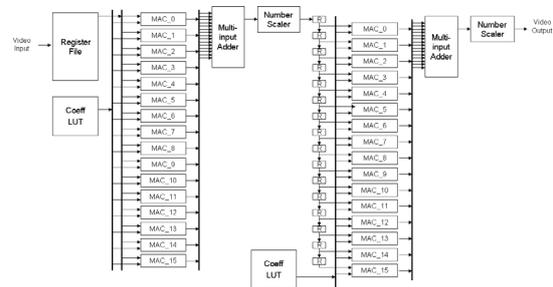


그림 5. VDS의 하드웨어 구조  
Fig. 5. Hardware architecture of VDS

그림 6에서는 VDS의 시뮬레이션 결과를 나타내는데 결과는 영상의 해상도를 2배로 확대할 경우를 가정하여 보여주는 것이다.

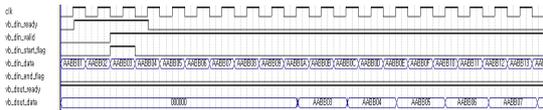


그림 6. VDS의 시뮬레이션 결과  
Fig. 6. Simulation result of VDS

### 3.4. Gamma corrector (GC)

비선형적인 출력 특성을 갖는 디스플레이 장치로 비디오 데이터를 출력하기 이전에 값을 조절하여 디스플레이 장치가 선형적인 출력 특성을 갖도록 한다. GC는 입력된 값을 미리 정해진 특정한 값으로 사상하기만 하기 때문에 실제 동작은 매우 간단하고 하드웨어도 비교적 단순하다.

그림 7에 GC의 하드웨어 구조를 나타냈는데 3개의 프로그래밍이 가능한 LUT로 구성이 된다. 각 LUT는 입력에 따라서 변경될 값이 들어있다. 입력값을 그대로 LUT의 주소로 사용하면 특별한 데이터의 처리없이 LUT에 저장된 변경될 데이터를 출력할 수 있다.

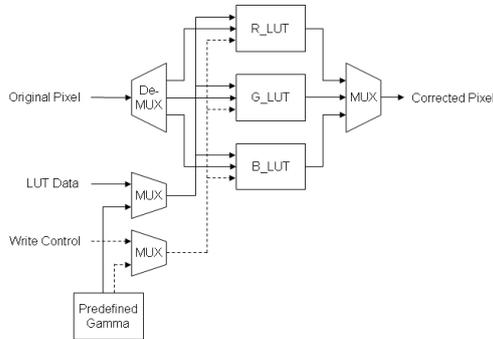


그림 7. GC의 하드웨어 구조  
Fig. 7. Hardware architecture of GC

## IV. 하드웨어 구현 결과

그림 8은 그림 1의 하드웨어를 구현한 후에 FPGA를 기반으로 하여 합성한 결과를 보여주고 있다. 또한

표 3에서는 구현된 하드웨어의 자원사용율을 보이고 있다.

4개의 기능 블록중 DI와 VDS 모듈들이 가장 많은 하드웨어 자원을 사용하였다. 특히 VDS 모듈은 501,292 bits의 내부 메모리를 사용하였다.

구현된 디스플레이 변환기는 Altera사의 Stratix 디바이스에서 7,629개의 LUT, 6,800개의 Logic Register를 사용하였고, 최대 270 MHz에서 동작이 가능하였다.

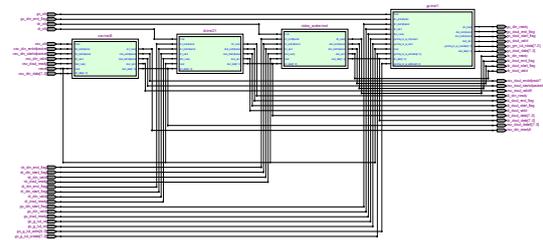


그림 8. 디스플레이 컨버터 IP의 FPGA 합성도  
Fig. 8. FPGA synthesis result of display converter

표 3. 하드웨어 자원사용율  
Table 3. Hardware resource

Device	LUT	Logic Register	Memory		fMAX (MHz)
			Bits	M9K	
CFC	632	781	-	-	270
DI	3,912	3,130	4,096	20	
VDS	2,882	2,613	501,292	58	
GC	203	276	12,199	4	
Total	7,629	6,800	517,587	82	

## V. 결론

본 논문에서는 UHD와 3DTV와 같은 새로운 비디오 규격을 만족시킬 수 있는 고성능 SoC를 위한 디스플레이 변환기의 구조를 제안하였고, 이를 FPGA를 타겟으로 설계하였다. 설계한 디스플레이 변환기는 최대 270 MHz에서 동작이 가능하여 고해상도 및 스테레오 비디오의 디스플레이를 위한 장치로서 유용하게 사용될 수 있을 것으로 생각된다.

참고문헌

- [1] 정부연, "전세계 SoC 시장 전망", 정보통신정책, 제 17 권, 5 호, pp. 18-22, 2005.
- [2] 김시환, "멀티 디스플레이 장치", 국내 특허 2001-54462, 2001.
- [3] De Man, H., "System-on-chip design: impact on education and research", Design Test of Computers, IEEE, Vol. 16, pp. 11-19, 1999.
- [4] Nava, M. D. et al., "An open platform for developing multiprocessor SoCs", Computer, Vol. 38, pp. 60-67, 2005.
- [5] Jee-Hwan Ryu et al., "Sampled-and continuous-time passivity and stability of virtual environments", Vol. 20, pp. 772-776, 2004.
- [6] Bindal, A. et al., "An undergraduate system-on-chip (SoC) course for computer engineering students", IEEE Transactions on Education, Vol. 48, pp. 279-289, 2005.
- [7] ARM Developer Suite - Version 1.0: Tools Guide, ARM, 1999.
- [8] A. Tanenbaum and M. Steen, 2002, Distributed Systems Principles and Paradigms, Prentice Hall.

저자소개



최현준(Hyun-Jun Choi)

2003년 2월 : 광운대학교 전자재료 공학과 졸업(공학사)  
 2005년 2월 : 광운대학교 일반대학원 졸업(공학석사)

2009년 2월 : 광운대학교 일반대학원 졸업(공학박사)  
 2009년 3월~2010년 2월 : 광운대학교 연구교수  
 2010년 3월~현재 : 안양대학교 정보통신공학과 조교수  
 ※관심분야: 영상압축, 워터마킹, 암호학, FPGA/ASIC 설계, Design Methodology



서영호(Young-Ho Seo)

1999년 2월 : 광운대학교 전자재료 공학과 졸업(공학사)  
 2001년 2월 : 광운대학교 일반대학원 졸업(공학석사)

2004년 8월 : 광운대학교 일반대학원 졸업(공학박사)  
 2003년 6월~2004년 6월 : 한국전기연구원 연구원  
 2005년 9월~2008년 2월 : 한성대학교 조교수  
 2008년 3월~현재 : 광운대학교 교양학부 조교수  
 ※관심분야: 2D/3D 영상 및 비디오 처리, 디지털 홀로그램, SoC 설계, 워터마킹/암호화



김동욱(Dong-Wook Kim)

1983년 2월 : 한양대학교 전자공학과 졸업(공학사)  
 1985년 2월 : 한양대학교 대학원 졸업(공학석사)

1991년 9월 : Georgia 공과대학 전기공학과 졸업(공학박사)  
 1992년 3월~현재 : 광운대학교 전자재료공학과 정교수  
 2000년 3월~2001년 12월 : 인티스닷컴(주) 연구원  
 2007년 3월~현재 : (사)실감미디어산업협회 이사  
 2009년 3월~현재 : 실감미디어연구소 소장  
 ※관심분야: 디지털 VLSI Testability, VLSI, CAD, DSP 설계, Wireless Communication