

---

# 차량 레이더용 스위치 커패시터 시그마-델타 변조기 개발

류지열\* · 노석호\*\*

Development of Switched-Capacitor Sigma-Delta Modulator for Automotive Radars

Jee-Youl Ryu\* · Seok-Ho Noh\*\*

---

본 과제(결과물)는 교육과학기술부의 재원으로 한국연구재단의 지원을 받아 수행된  
광역경제권 선도산업 인재양성사업의 연구결과입니다.

---

## 요 약

본 논문에서는 차량 레이더용 새로운 형태의 스위치 커패시터 시그마-델타 변조기를 제안한다. 개발된 변조기는 차량 레이더 시스템에서 고주파 대역 신호의 고해상도 데이터 변환, 즉 아날로그-디지털변환을 수행하는데 사용된다. 2.7V의 저전압 동작이 가능하며, 저 왜곡 특성을 가진 몸체효과 보상형 스위치 구조를 가진다. 이러한 변조기는 0.25 마이크로미터 이중 폴리 3-금속 표준 CMOS 공정으로 제작되었고,  $1.9 \times 1.5 \text{ mm}^2$ 의 다이 면적을 차지한다. 제안된 회로는 2.7V의 동작 전압에서 기존의 부트스트랩형 회로보다 약 20dB 향상된 우수한 총 고조파 왜곡 특성을 보였다.

## ABSTRACT

This paper proposes a new switched-capacitor sigma-delta modulator for automotive radars. Developed modulator is used to perform high-resolution analog-to-digital conversion (ADC) of high frequency band signal in a radar system. It has supply voltage of 2.7V, and has body-effect compensated switch configuration with low voltage and low distortion. The modulator has been implemented in a 0.25  $\mu\text{m}$  double-poly and triple-metal standard CMOS process, and it has die area of  $1.9 \times 1.5 \text{ mm}^2$ . It showed better total harmonic distortion of 20dB than the conventional bootstrapped circuit at the supply voltage of 2.7V.

## 키워드

차량 레이더, 시그마-델타 변조기, 몸체효과 보상형 스위치

## Key word

Automotive radars, Sigma-delta modulator, Body-effect compensated switch

---

\* 부경대학교 정보통신공학과 교수

\*\* 안동대학교 전자공학과 교수 (교신저자, shnoh@andong.ac.kr)

접수일자 : 2010. 03. 17

심사완료일자 : 2010. 05. 13

## I. 서 론

최근 자동차 분야에서 자동차의 구동, 제동 및 조향 등이 전자화 되면서 차량주행 중 주변 환경을 인식하여 운전자의 편의와 안전을 증진시키는 지능화 개발이 본격화되고 있다. 지능형 자동차 (또는 ASV (Advanced Safety Vehicle); 첨단안전차량)는 자동차 사고를 미연에 방지할 수 있는 각종 첨단 전기 전자 통신 제어 기술을 차량에 적용하여 운전자의 주행 안전성, 편의성 및 주행 효율성을 극대화시킨 인공지능형 디지털자동차를 말한다. 주행 중에 전방 차량과 차선을 인식하여 추돌사고를 예방하거나 안전거리를 확보해주는 적응형 순항제어 장치가 대표적인 예이다. ASV의 핵심기술로는 ‘차량 추돌 경보 시스템’과 ‘차선 이탈 경보 시스템’이 대표적이다. 특히 전후방 차간거리 감지 레이더로 앞차와 뒷차의 거리를 감지하여 추돌할 가능성이 생길 경우 이를 운전자에게 알려주는 차량 추돌 경보 시스템에 대한 연구가 국내외적으로 상당히 활발하다 [1-3]. 특히 이러한 차량 레이더 시스템에서 고주파 대역 신호의 아날로그-디지털변환 (ADC)을 수행하기 위해 변조기에 대한 연구가 활발하다 [4-6]. ADC에 대한 연구 개발은 저가, 저전압 동작 및 저소비전력의 장점을 지닌 CMOS 기술의 발전과 더불어 꾸준히 연구되어 왔고, 이러한 장점에 잘 부합되는 고해상도 시그마-델타 (sigma-delta,  $\Sigma\Delta$ ) 변조기 개발에 대한 연구가 VLSI 기술 분야에서 활발히 진행되어 왔다 [7-10].

본 논문에서는 저 전압에서 저 왜곡 특성을 가진 차량 레이더용 스위치 커패시터 시그마-델타 변조기를 제안한다. 제안된 변조기는 저 전압에서 적절히 동작하는 새로운 형태의 몸체 효과 보상형 스위치 구조를 가진다. 이 회로는 기존의 부트스트랩된 회로 보다 더 우수한 총 고조파 왜곡을 가진다. 시그마 델타 변조기는 0.25- $\mu\text{m}$  이중 폴리 3-금속 표준 CMOS 공정을 이용하여 모두 MOSFET으로 제작되었으며, 2.7V에서 동작한다.

## II. 시그마-델타 변조기 설계 및 제작

시그마-델타 아날로그-디지털변환기 ( $\Sigma\Delta$  A/D converter,  $\Sigma\Delta$  ADC)는 적분기, 비교기, 디지털 저역 통과

필터 및 1비트 디지털-아날로그 변환기 (DAC, D/A)로 구성되어 있다 [1]. 본 연구에서 설계한 3차 스위치  $\Sigma\Delta$  변조기는 적분기 및 비교기 (양자화기)를 포함한  $\Sigma\Delta$  ADC, 클럭 발생기, 주 바이어스 부 (master bias) 및 디지털 논리회로/출력 버퍼로 구성되어 있다. 이러한 변조기는 over-sampling (양자화 스텝 간격을 좁게 샘플링)을 통한 잡음 shaping 기능을 활용하여 고주파 양자화 잡음을 줄이도록 설계되어 있다. 스위치 커패시터 (SC) 회로부는 연산 증폭기, 커패시터 및 스위치로 구성된 적분기와 비겹침 (non-overlapping) 클럭부로 구성되어 있다.  $\Sigma\Delta$  변조기의 구성 요소 중 적분기와 비교기 (양자화기)가 가장 중요한 블록이므로 본 논문에서는 이러한 블록을 구성하는 회로를 중심으로 그 설계 결과를 설명하기로 한다.

### (1) SC 적분기 구성 요소: 스위치 (Switches)

SC 적분기에서는 스위치 설계가 가장 중요하다. SC 회로는 스위치로서 트랜지스터를 이용하기 때문에 스위치 구동 특성상 저전압 구동이 어려운 문제점을 가지고 있다. 그 이유는 그림 1과 식 (1.a)~(1.d)에서 알 수 있듯이 공급 전압 (VDD)이 낮아지면 스위치 온 영역이 감소하고, 입력 신호의 왜곡이 발생하기 때문이다. 즉 스위치를 구동하기에 저 전압 공급은 심각한 문제점을 일으킴을 알 수 있다.

$$g_{ds,n} = \mu_n C_{ox} \left( \frac{W}{L} \right) (V_{DD} - V_{in} - V_m) \quad (1.a)$$

$$V_{in} = V_{DD} - V_m \rightarrow g_{ds,n} = 0 \quad (1.b)$$

$$g_{ds,p} = \mu_p C_{ox} \left( \frac{W}{L} \right) (V_m - |V_{tp}|) \quad (1.c)$$

$$V_{in} = |V_{tp}| \rightarrow g_{ds,p} = 0 \quad (1.d)$$

여기서,  $g_{ds}$ 는 스위치 온 전도도 (on-conductance)를 나타낸다.

기본 구조의 한계점은 몸체 효과(body effect)로 인해 스위치의 온 저항 값이 입력 신호의 변화에 따라 함께 변화한다는 점이다. 그림 2는 이러한 문제점을 극복하기 위해 본 연구에서 제안하는 몸체효과가 보상된 스위치 기본 구조를 나타낸 것이다. 그림 2와 식 (2.a)~(2.e)에서 알 수 있듯이 본 스위치 구조는 온 저항 값이 임계전압

( $V_m$ )에 독립적인 특성을 가지므로 입력 신호의 왜곡이 적고 저전압 동작이 가능함을 의미한다.

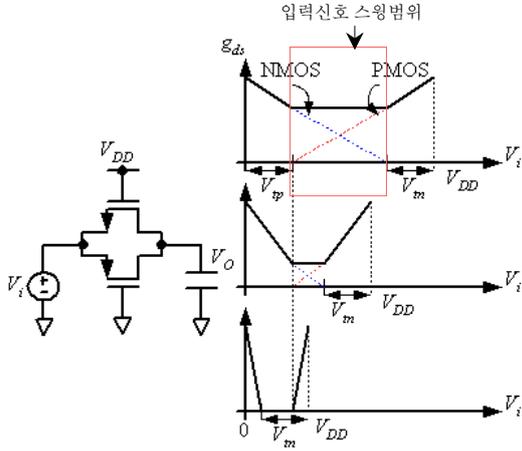


그림 1. 서로 다른 공급 전압에 따른 MOS 스위치 전도성

Fig. 1. Conductance of MOS switch for different supply voltage.

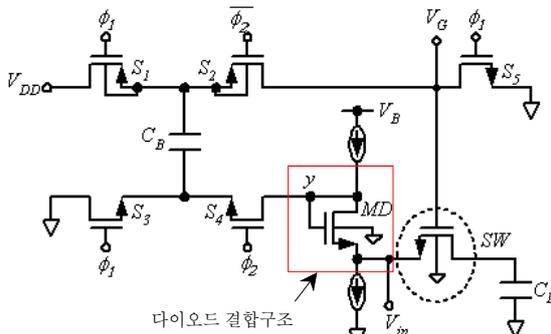


그림 2. 몸체 효과 보상된 스위치 기본 구조

Fig. 2. Conceptual circuit of body-effect compensated switch.

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_m)^2 \quad (2.a)$$

$$V_y = V_m + V_m(V_m) + V_A \quad (2.b)$$

$$V_A = \sqrt{\frac{I_D}{\frac{1}{2} \mu_n C_{ox} \frac{W}{L}}} \quad (2.c)$$

$$V_G = V_{DD} + V_y = V_{DD} + V_m + V_m(V_m) + V_A \quad (2.d)$$

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_G - V_m - V_m(V_m))} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} + V_A)} \quad (2.e)$$

여기서,  $V_y$ 는 노드 y의 전압,  $V_A$ 는 early 전압을 각각 나타낸다.

그림 3은 저 전압 구동이 가능한 본 연구에서 제안하는 몸체효과가 보상된 스위치 전체 구조를 나타낸 것이다. 그림 3에서 다이오드 구조로 연결되어 있는 트랜지스터  $M_D$ 의 소스와 스위치  $SW$ 가 서로 연결되어 있기 때문에  $SW$ 의 온-저항이 최소 1차는 입력 신호에 독립적이다. 즉, 몸체 효과로 인한  $SW$ 의 온-저항에서의 변동이 1차는 제거된다. 본 논문에서 제안하는 회로는 전류원과 다이오드  $M_D$ 가 포화영역에서 동작할 수 없기 때문에  $V_B$  보다 더 높은 전압을 제공한다. 본 스위치 구조는 입력 신호 왜곡이 적고, 저 전압 동작에 가장 효과적인 특성을 보인다.

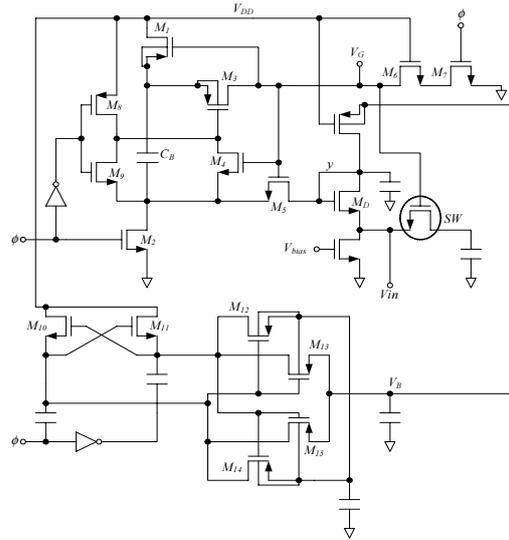


그림 3. 몸체효과가 보상된 스위치 전체 회로

Fig. 3. The complete body-effect compensated switch.

## (2) SC 적분기 구성 요소: 연산 증폭기 설계

적분기에 사용하기 위해 1단 완전 폴드형 캐스캐드 연산증폭기를 설계하였다 [4]. 그림 4는 1단 완전 폴드형 캐스캐드 연산증폭기 회로를 나타낸 것이다. 적분기에서 연산증폭기는 직류 전압 이득이 높고 (65dB 이상), 위상 마진이 60° 이상, 슬루율 (slew rate)이 빠르며 직류 오

프셋이 작아야 한다. 특히 직류 이득은 스위치 커패시터 적분기의 이산시간 전달함수의 정확성에 큰 영향을 미치기 때문에 이득을 충분히 높도록 설계하였다. 또한 증폭기 반응시간은 전하 천이 각 반 클럭 주기 이내에 완전히 정착될 수 있도록 충분히 빠르도록 설계하였다. 또한 본 논문에서 설계한 증폭기 구조는 다른 형태에 비해 바이어스가 쉽고, 동상-모드 이탈에 덜 영향을 받기 때문에 출력 스윙으로부터 입력 동상-모드 전압을 효과적으로 분리할 수 있다. 증폭기의 오프셋 전압을 줄이기 위해서 입력 트랜지스터에 대해서는 공통-센터 중심형 (common centroid) 기법을 이용하였다. 또한 전류 거울 소자들의 정합을 좋게 하기 위해서 각 소자에 대해서는 상호 디지털링 기법을 사용하였고, 차동 회로에 대해서는 차동 경로가 정합되도록 구성하였다.

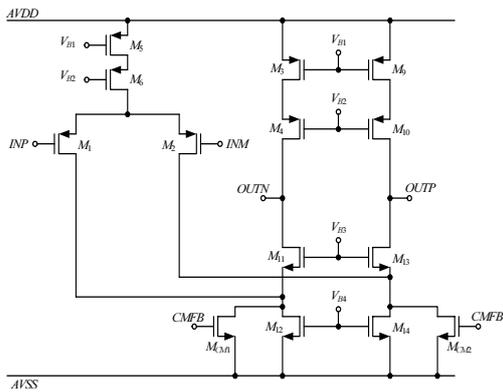


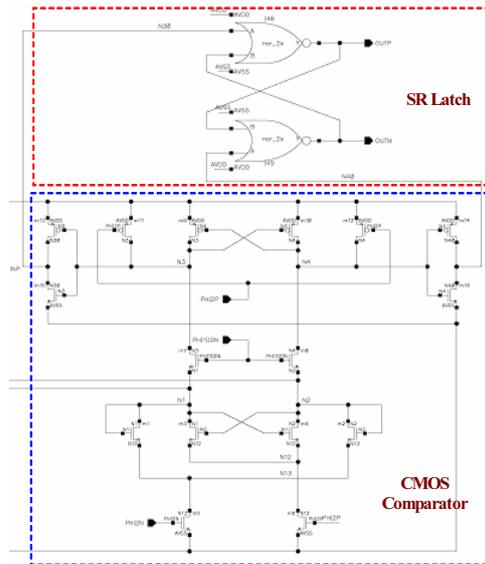
그림 4. 1단 완전 폴드형 캐스코드 연산증폭기  
Fig. 4. A single stage fully-differential folded-cascode operational amplifier.

(3) 스위치형 커패시터 적분기 설계

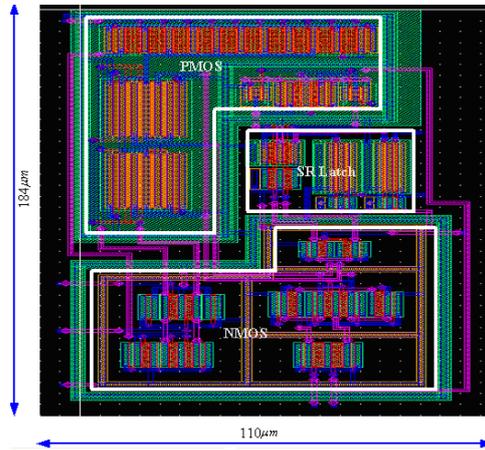
본 논문에서 제안하는  $\Sigma\Delta$  변조기는 직렬 형태로 연결된 세 개의 스위치 커패시터 적분기로 구성되어 있다. 연산증폭기와 스위치로 구성된 적분기는 완전 차동 스위치 커패시터 적분기 구조를 지닌다. 이러한 적분기는 PSRR, 소자 정합 및 잡음 결합과 같은 비이상적인 성질 (non-idealities)을 최소화하기 위해 완전 차동 구조로 설계하였다. 이러한 적분기는 신호 형태의 따른 전하 주입 효과의 영향을 최소화 하기 위해 bottom-plate 샘플링 기법을 이용하였다.

(4) 비교기 (Comparator) 설계

본 연구에서 제안한 2-1 직렬 접속형  $\Sigma\Delta$  변조기에서 두 개의 양자화기 (quantizers)는 한 개의 비교기와 한 개의 1비트 디지털-아날로그 변환기 (DAC)로 구성되어 있다. 그림 5는 전치 증폭기 (Preampifier)를 가진 래치 비교기 구조를 가진다.



(a)



(b)

그림 5. 전치 증폭기를 가진 래치 비교기:  
(a) 회로, (b) 레이아웃  
Fig. 5. Latch comparator with preampifier:  
(a) Schematic, (b) Layout.

제작된 비교기는 전치 증폭기를 가진 SR 래치형이며, 레벨 쉬프터를 가진다. 회로에서 1비트 DAC는 오프-칩 참조 전압 (reference voltages)에 연결된 간단한 스위치 네트워크로 구성되어 있다. 변조기의 첫 단계에 있는 DAC에 의해 도입된 오류들은 입력 신호에 의해 부가되기 때문에 변조기의 성능을 직접적으로 저하시킨다. 따라서, 본문에서 설계된 DAC는 이러한 문제점을 고려하여 변조기의 해상도를 안정시킬 수 있도록 설계되어 있다. 그림 5(a)에서 래치 결과 값들의 비교를 위해서 트랜지스터  $M_{19}$ 와  $M_{20}$ 이 연산증폭기의 차동 출력에 적용되어 있다. 전치 증폭기는 더 높은 해상도를 얻고, 킥백(kickback) 전압의 효과를 최소화하기 위해 사용되어 있다.

(5) 클록 발생기 (Clock generator) 설계

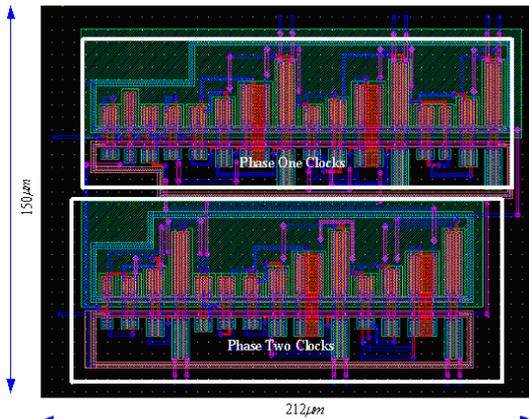


그림 6. 비겹침 클록 발생기  
Fig. 6. Layout of non-overlapping clock generator.

그림 6은 비겹침 클록 발생기를 나타낸 것이다. 이러한 회로는 보통 6개의 클록 위상 (phases)으로 구성되며, 두 개의 교차 결합 (cross-coupled) NAND 게이트들로 구성된다. 따라서 생성된 비겹침 신호들은 원-칩 클록 버스들을 구동하기 위해 큰 사이즈의 인버터들에 의해 버퍼링된다.

(6) 변조기 설계

그림 7은 0.25µm 이중 폴리 3-금속 (double-poly, triple-metal) CMOS 공정을 이용하여 제작한 2-1 직렬 접속형 시그마-델타 변조기에 대한 칩 사진을 나타낸 것이다. 본딩 패드를 제외한 칩 전체 면적은 약  $1.9 \times 1.5 \text{mm}^2$ 였다.

다. 칩은 65 리드 핀 격자 배열 (65 lead pin grid array, PGA 65)로 패키지 되었다.

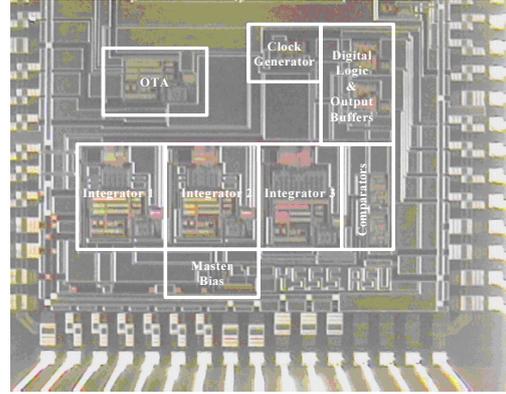


그림 7. 변조기 칩 다이 사진  
Fig. 7. Modulator chip die micrograph.

III. 시뮬레이션 및 실험 결과

그림 8은  $V_{DD}=1.5V$ 의 공급 전압에서  $W/L=6\mu\text{m}/0.6\mu\text{m}$ 의 스위치 크기에 대해 그림 2와 3에서 제안했던 몸체효과 보상 스위치 구조와 단일 트랜지스터를 이용한 스위치 또는 부트스트랩형 스위치들 간의 전도도를 비교한 것이다.

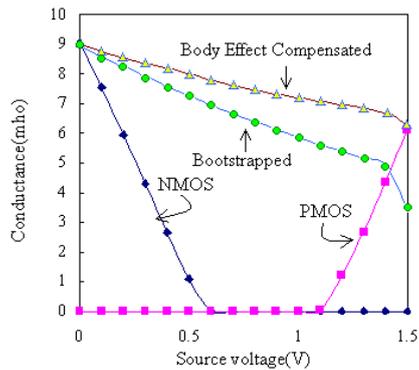


그림 8.  $V_{DD}=1.5V$ 에서  $W/L=6\mu\text{m}/0.6\mu\text{m}$ 의 스위치 크기를 가진 몸체효과 보상 스위치와 기타 다른 스위치 구조에 대한 전도도 비교  
Fig. 8. Conduction of the body effect-compensated and other switches with switch size of  $W/L=6\mu\text{m}/0.6\mu\text{m}$  and  $V_{DD}=1.5V$ .

그림 8에서 알 수 있듯이 스위치의 일정한 게이트-소스 간 전압에 대해 단일 트랜지스터를 이용한 스위치의 경우 전도도가 0이 되는 영역으로 인해 스위치로서 동작이 불가능하며, 부트스트랩형 스위치의 경우 몸체효과로 인해 온-저항에서 변동이 발생하고 이로 인해 소스전압에 대해 전도도의 감소가 발생함을 확인할 수 있다. 그러나 본 연구에서 제안하는 몸체효과 보상 스위치의 경우 전도도의 감소가  $V_{DD}=0 \sim 1.5V$  동작범위 내에서 비교적 일정한 전도도의 변화를 보임을 알 수 있고, 이로 인해 스위치로서 정상적으로 동작함을 확인할 수 있다.

적분기에서 연산증폭기가 정상 동작을 하기 위해서는 직류 전압 이득이 높고 (65dB 이상), 위상 마진이 60° 이상, 슬루율 (slew rate)이 빠르며 직류 오프셋이 작아야 한다. 그림 9와 10, 그리고 표 1은 시그마 델타 변조기에 적합한 개선된 연산증폭기 특성을 나타낸 것입니다.

그림 9는 연산증폭기의 반전 노드와 출력 신호에 대한 측정 결과를 나타낸 것이다. 증폭기의 직류이득은 정착 및 출력 전압 이후에 반전 노드에서의 오차 전압에 의해 결정되며, 단일 출력 구조에 대해 시뮬레이션 결과보다는 낮은 62dB를 보였다.

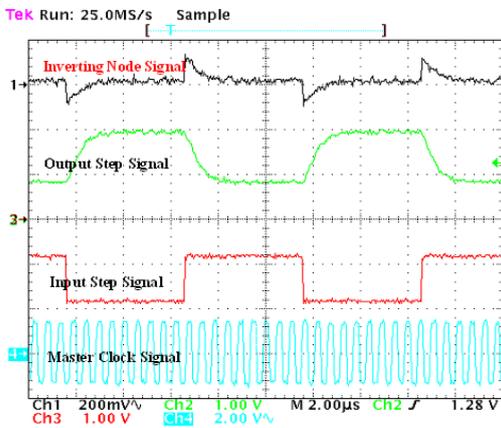


그림 9. 연산증폭기 출력 신호 측정 결과  
Fig. 9. Measurements for output signal of Op Amp.

그림 10은 연산증폭기의 계단 응답에 대한 측정 결과를 나타낸 것이다 (수평 눈금: 500 ns/div, 수직 눈금: 500mV/div). 폐 루프 (closed-loop) 단위 이득에 대해 0.5V의 계단 입력 신호가 적용될 때, 증폭기의 1% 정착시간은 560ns를 보였으며, 증폭기의 슬루율은 1.25 V/µs였다.

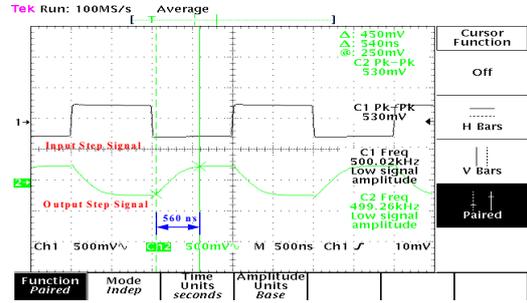


그림 10. 연산증폭기의 계단 응답  
Fig. 10. Step response of Op Amp.

증폭기의 단위 응답에 대한 결과를 표 1에 나타내었다. 시뮬레이션 결과와 측정 결과의 차이는 바이어스 회로가 입력 트랜지스터에 충분한 전류를 공급하지 못하고, 출력 노드에서 기생 용량 성분이 존재하기 때문인 것으로 추측된다. 이러한 기생 용량 성분이 개선된 칩 제작을 위해 향후엔 각 블록의 하위구성 요소인 트랜지스터들의 배열을 "Folded (접힘형)" 구조로 구성할 계획이다.

표. 1. 연산증폭기에 대한 결과  
Table 1. Results for single-ended Op Amp.

Parameters	Simulation Results	Measurement Results
DC Gain	77 dB	62 dB
Settling Time	530 ns	560 ns
Slew Rate (+)	1.72 V/µs	1.25 V/µs
Slew Rate (-)	2.72 V/µs	1.28 V/µs

Note: 2.7V for supply voltage and 16 pF for load capacitance are used.

시그마-델타 변조기는 잡음 shaping 기능을 통해 고주파 양자화 잡음을 줄인다. 다시 말하면 잡음 shaping 기능이 우수한 변조기는 낮은 고주파 양자화 잡음을 가진다. 차수(order)가 높을수록 잡음 shaping 기능이 우수하다. 그림 11은 1~3차 스위치 커패시터 시그마-델타 변조기의 고속 푸리에 변환 (Fast Fourier Transform, FFT) 출력 전력 스펙트럼 밀도 (power spectral density, PSD) 특성을 나타낸 것이다. 그림 11에서도 알 수 있듯이 차수가 높은 3차 변조기의 경우 대역 내에 전력스펙트럼 밀도의 변동이 훨씬 적음을 알 수 있다. 이러한 의미는 우수한 잡음 shaping 기능을 통해 고주파 양자화 잡음이 감소하였음을 증명한다.

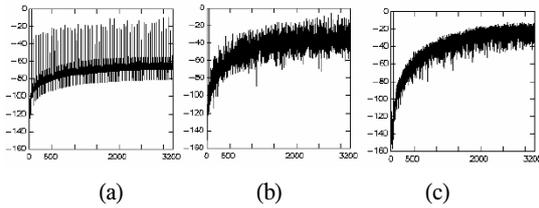


그림 11. (a) 1차; (b) 2차; (c) 3차 시그마-델타 변조기의 잡음 shaping 특성  
 Fig. 11. Noise shaping of (a) 1<sup>st</sup> order; (b) 2<sup>nd</sup> order; (c) 3<sup>rd</sup> order sigma-delta modulator.

그림 12는 본 연구에서 제안하는 3차 스위치 커패시터 시그마-델타 변조기의 고속 푸리에 변환 출력 전력 스펙트럼 밀도 특성을 나타낸 것이다. 그림 12(a)는 8kHz 입력 신호와 M=125의 오버 샘플링 비 (over-sampling ratio)에 대해 오차 제거 이후의 출력 비트 스트림의 전력 스펙트럼 밀도 특성이며, 그림 12(b)는 in-band 부분을 확대한 것이다. 그림 12에서 알 수 있듯이 8kHz 입력 신호에 대해 잡음 shaping 후 8kHz 대역에서 주위 잡음과 약 100dB 차의 우수한 PSD의 피크가 보임을 확인하였다. 이러한 의미는 제안한 3차 스위치 커패시터 시그마-델타 변조기가 아주 적은 고주파 양자화 잡음을 가지고 있음을 의미한다.

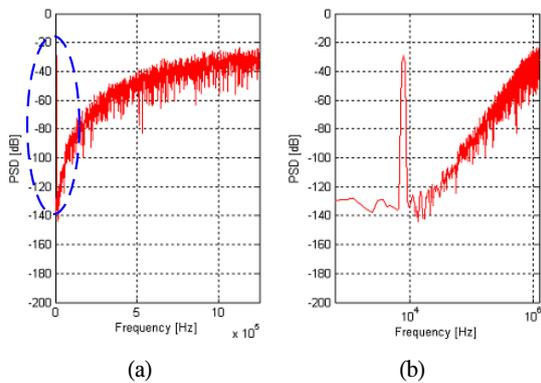


그림 12. (a) 8kHz 입력 신호에 대해 오차 제거 이후의 출력 비트 스트림의 전력 스펙트럼 특성; (b) In-band 부분 확대  
 Fig. 12. (a) FFT output plot of the 2-1 cascaded architecture (M=125); (b) zoom in in-band power spectral density.

그림 13은 3차 스위치 커패시터 시그마-델타 변조기의 신호대 잡음 및 왜곡비 (Signal-to-Noise & Distortion Ratio, SNDR) 특성을 나타낸 것이다. 그림 13에서 변조기에 포함된 고주파 양자화 잡음의 양은 일정하기 때문에 입력신호의 레벨이 증가할수록 SNDR은 증가함을 알 수 있다. 일반적으로 SNDR가 90dB 이상일 경우 우수한 변조기로 분류된다. 그림 13에서 알 수 있듯이 본 연구에서 제안하는 3차 스위치 커패시터 시그마-델타 변조기는 2.5MHz의 샘플링 주파수 (M=125의 오버 샘플링 비)에 대해 약 93dB의 우수한 피크 SNDR와 약 90dB의 우수한 동적 범위 (dynamic range)를 각각 보였다.

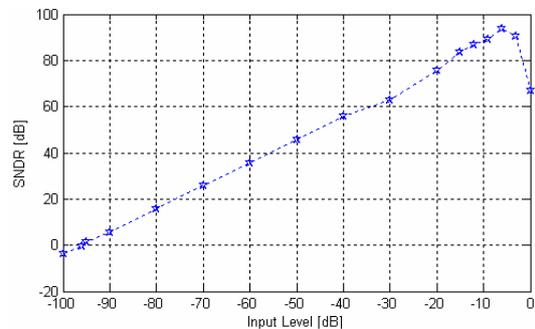


그림 13. SC 시그마-델타 변조기의 신호대 잡음 및 왜곡비  
 Fig. 13. Simulated signal-to-noise and distortion ratio (SNDR) of 2-1 cascaded modulator.

시그마-델타 변조기의 동작을 평가하는 방법 중의 한 가지는 변조기로부터 나오는 시간영역의 비트 스트림을 관찰하는 것이다. 그림 14는 1차 및 2차 시그마-델타 변조기의 비트스트림을 나타낸 것으로 20kHz 및 0.7V<sub>pp</sub> 진폭을 가진 입력 신호에 대한 두 개의 출력 비트 스트림을 가지도록 구성되어 있다.

그림 14의 결과에서 알 수 있듯이 변조기가 정상적으로 동작하고 있음을 나타낸다. 입력 파형의 급격한 변화 부분에 스텝 간격이 좁게 형성되어야 양자화 오차를 줄일 수 있는데, 그림 14에서 알 수 있듯이 첫 변조기의 데이터 비트가 입력 신호의 중간점에서 빠르게 변화하고 있음을 알 수 있고, 1차 및 2차 변조기의 비트 스트림이 제대로 생성되고 있음을 알 수 있다.

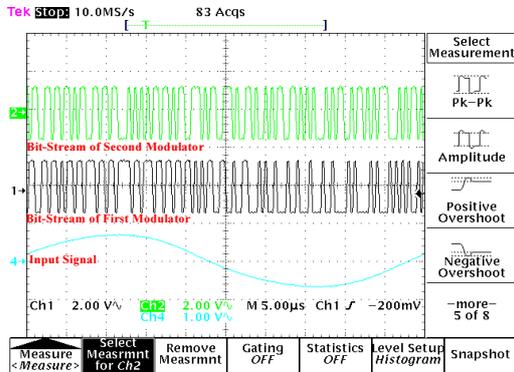


그림 14. 1차 및 2차 변조기의 비트스트림  
 Fig. 14. The bit-stream of the first and second modulator.

#### IV. 결 론

본 논문에서는 차량 레이더를 위한 스위치 커패시터 시그마 델타 변조기를 제안하였다. 제안된 변조기는 저전압 및 저왜곡 스위치형 커패시터를 적용한 새로운 형태의 몸체효과가 보상된 스위치 구조를 가졌다. 또한 제안된 회로는 2.7V의 저전압에서 기존의 부트스트랩된 회로 보다 약 20dB의 더 우수한 총 고조파 왜곡특성을 보였다. 시그마 델타 변조기는 0.25µm 이중 폴리 3층 금속 표준 CMOS 공정으로 제작되었으며, 2.7V에서 동작하였다. 측정을 통해 변조기가 정상적으로 동작함을 확인하였다.

#### 참고문헌

[ 1 ] Vipul Jain *et. al.*, "A Single-Chip Dual-Band 22-to-29GHz/77-to-81GHz BiCMOS Transceiver for Automotive Radars," *2009 IEEE International Solid-State Circuits Conference*, pp. 308-309, February 2009.

[ 2 ] Stephane Pinel *et. al.*, "A 90nm CMOS 60GHz Radio," *2008 IEEE International Solid-State Circuits Conference*, pp. 130-131, 601, February 2008.

[ 3 ] Yoichi Kawano *et. al.*, "A 77GHz Transceiver in 90nm CMOS," *2009 IEEE International Solid-State Circuits Conference*, pp. 310-311, February 2009.

#### 저자소개

류지열 (Jee-Youl Ryu)

한국해양정보통신학회 논문지  
 제8권 제6호 참조

노석호 (Seok-Ho Noh)

한국해양정보통신학회 논문지  
 제8권 제6호 참조

[ 4 ] J.-Y. Ryu and S.-H. Noh, "Development of the New Third-Order Cascaded Sigma-Delta Modulator," *Conference of the Korean Institute of Maritime Information & Communication Science*, Vol. 10, No. 2, pp. 835-838, October 2006.

[ 5 ] S. Espejo *et al.*, A 0.8-µm CMOS programmable Analog-Array-Processing Vision Chip with Local Logic and Image Memory, *Proceedings of European Solid-State Circuits Conference*, pp. 280-283, 1996.

[ 6 ] P. R. Gray, Analog ICs in the Submicron Era: Trends and Perspectives, *Proceedings of IEEE Electron Devices Meeting*, pp. 5-9, 1987.

[ 7 ] B. E. Boser and B. A. Wooley, The Design of Sigma-Delta Modulation Analog-to-Digital Converters, *IEEE J. of Solid-State Circuits*, vol. sc-23, no. 4, pp. 1298-1308, Dec. 1988.

[ 8 ] S. Rabin and B. A. Wooley, *The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*. Boston: Kluwer Academic Publishers, 1999.

[ 9 ] J. C. Candy, A Use of Double Integration in Sigma-Delta Modulation, *IEEE Trans. on Communications*, vol. 33, pp. 249-258, Mar. 1985.

[ 10 ] D. B. Ribner, A Comparison of Modulator networks for High-Order Oversampled Analog-to-Digital Converters, *IEEE Trans. on Circuits and Systems*, vol. 38, pp. 145-159, Feb. 1991.