
전기적 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로 설계

이재형* · 전황곤* · 김광일* · 김기종* · 여익녕* · 하판봉* · 김영희*

Design of a redundancy control circuit for 1T-SRAM repair using electrical fuse programming

Jae-Hyung Lee* · Hwang-Gon Jeon* · Kwang-Il Kim* · Ki-Jong Kim* · Yining Yu* · Pan-Bong Ha* ·
Young-Hee Kim*

이 연구에 참여한 연구자는 「2단계 BK21 사업」의 지원비를 받았음.

요 약

본 논문에서는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로를 설계하였다. 공급 전원이 낮아지더라도 외부 프로그램 전원을 사용하여 높은 프로그램 파워를 eFuse (electrical fuse)에 공급하면서 셀의 읽기 전류를 줄일 수 있는 듀얼 포트 eFuse 셀을 제안하였다. 그리고 제안된 듀얼 포트 eFuse 셀은 파워-온 읽기 기능으로 eFuse의 프로그램 정보가 D-래치에 자동적으로 저장되도록 설계하였다. 또한 메모리 리페어 주소와 메모리 액세스 주소를 비교하는 주소 비교 회로는 dynamic pseudo NMOS 로직으로 구현하여 기존의 CMOS 로직을 이용한 경우 보다 레이아웃 면적을 19% 정도 줄였다. 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로는 동부하이텍 0.11 μ m Mixed Signal 공정을 이용하여 설계되었으며, 레이아웃 면적은 $249.02 \times 225.04 \mu\text{m}^2$ 이다.

ABSTRACT

In this paper, we design a redundancy control circuit for 1T-SRAM repair using electrical fuse programming. We propose a dual port eFuse cell to provide high program power to the eFuse and to reduce the read current of the cell by using an external program supply voltage when the supply power is low. The proposed dual port eFuse cell is designed to store its programmed datum into a D-latch automatically in the power-on read mode. The layout area of an address comparison circuit which compares a memory repair address with a memory access address is reduced approximately 19% by using dynamic pseudo NMOS logic instead of CMOS logic. Also, the layout size of the designed redundancy control circuit for 1T-SRAM repair using electrical fuse programming with Dongbu HiTek's 0.11 μ m mixed signal process is $249.02 \times 225.04 \mu\text{m}^2$.

키워드

리던던시, 이퓨즈, 오티피, 외부프로그램 전압, 어드레스 비교회로

Key word

Redundancy, eFuse, OTP, external program voltage, address comparison circuit

* 창원대학교 (김영희, youngkim@changwon.ac.kr)

접수일자 : 2010. 06. 26

심사완료일자 : 2010. 07. 21

I. 서 론

디스플레이 구동 칩에서 버퍼 메모리 (buffer memory) 로 SRAM IP가 사용되고 있다. 최근 들어 디스플레이 패널의 해상도가 증가하면서 대용량의 SRAM IP가 요구되고 있다. 대용량 SRAM IP는 6T-SRAM 셀 (cell) 대신 셀 크기가 약 1/4인 1T-SRAM 셀을 사용하여 설계하려는 연구가 많이 되고 있다 [1]. 1T-SRAM 셀은 DRAM 셀과 같은 1 트랜지스터와 1 커패시터로 구성되어 있다 [2]. 메모리 용량이 증가하면서 공정 결함 등의 원인으로 불량률이 발생하면서 메모리 수율을 떨어뜨린다. 그래서 대용량 메모리는 불량인 메모리 셀을 여분의 셀로 대체하는 리던던시 (redundancy) 회로가 필요하다. 불량인 셀을 선택하는 리페어 주소 (repair address)가 입력되면 여분의 (redundant) 메모리 셀에서 데이터를 읽거나 쓰도록 해준다.

여분의 셀로 대체가 필요한 불량인 메모리 셀의 리페어 주소는 고에너지를 갖는 레이저 (laser)를 이용하여 메탈 퓨즈 (metal fuse) 또는 폴리실리콘 (polysilicon) 퓨즈를 끊는 레이저 프로그램 방식 [3], 폴리실리콘 퓨즈에 고전류 (high current)를 흘려 퓨즈를 끊는 eFuse (electrical fuse) 프로그램 방식 [4], 얇은 산화막인 ONO (oxide-nitride-oxide) 커패시터인 안티퓨즈 (antifuse)를 고전압 (high voltage)를 인가하여 단락 (short)시키는 안티퓨즈 프로그램 방식 [5]에 의해 프로그램 된다. 이들 프로그램 방식 중 eFuse 방식은 레이저 장비가 필요 없으며, 고전압을 공급하기 위한 전하 펌프가 필요 없는 장점이 있다. 그리고 eFuse 프로그램 방식은 웨이퍼 상태나 패키지 상태 모두 프로그램 가능한 장점이 있다.

eFuse 프로그램 방식에서 프로그램 이전 eFuse 저항은 50~100Ω 정도이며, 프로그램 후 eFuse 저항은 수 kΩ 이상의 고저항 상태 (highly resistive state)로 프로그램 된다. eFuse를 사용하여 메모리 리페어 주소를 프로그램 하는 기존 기술 [4]은 반도체 공정 기술이 scale-down 되면서 로직 전압인 VDD 전압이 1.2V 이하로 낮아지면서 eFuse에 인가되는 프로그램 파워 (program power)가 작아진다. 그래서 충분한 프로그램 파워가 eFuse에 인가되지 못하므로 프로그램 불량률이 발생할 가능성이 있다. 한편 프로그램 된 리페어 주소와 메모리 액세스 (access) 주

소가 일치하는지 비교하는 회로는 CMOS 로직 회로를 이용하여 구현 [6]이 가능하나 리페어 가능한 메모리 비트가 증가할수록 차지하는 레이아웃 (layout) 면적이 증가한다.

본 논문에서는 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로를 설계하였다. 공급전원이 낮아졌을 때 프로그램 모드에서 eFuse에 인가되는 프로그램 파워가 떨어지는 문제를 해결하기 위해 4.2V의 외부 프로그램 전원을 eFuse에 직접 인가하는 기술을 제안하였다. 그리고 제안된 eFuse 셀은 쓰기 포트 (write port)와 읽기 포트 (read port)가 분리된 듀얼 포트 (dual port) 구조를 갖는다. 그래서 충분한 프로그래밍 전류를 흐르게 하기 위해 쓰기 포트 트랜지스터의 채널 폭 (channel width)을 크게 하였으며, 읽기 전류를 줄이기 위해 읽기 포트 트랜지스터의 채널 폭을 최소화 하였다. 또한 파워-온 읽기 (power-on read) 기능을 이용하여 eFuse의 프로그램 데이터가 자동적으로 D-래치 (D-latch) 회로에 자동적으로 저장되도록 하고 있다. 리페어 주소 비교 회로는 CMOS 로직 회로 대신 dynamic pseudo NMOS 로직으로 구현하였으며, 1T-SRAM 리페어용 리던던시 제어 회로의 레이아웃 면적을 19% 정도 줄였다. 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로는 동부하이텍 0.11μm Mixed Signal 공정을 이용하여 설계되었으며, 웨이퍼 제작 중에 있다.

II. 회로설계

기존의 eFuse를 이용한 리던던시용 eFuse 셀 회로 [4]는 그림 1에서 보는 바와 같다. 회로는 eFuse, 2kΩ 기준 저항 Rref, 프로그램 트랜지스터 (MN0), 리셋 트랜지스터 (MN1과 MN2), 래치 회로 (MP1, MP2, MN3와 MN4)로 구성되어 있다. 프로그램 모드에서 PGM 신호가 high로 활성화되면 eFuse에 고전류가 흐르면서 높은 프로그램 파워에 의해 eFuse는 수 십 KΩ 이상으로 blowing된다. 이때 MRESET 신호는 low 상태를 유지한다. eFuse가 blowing 되었는지 아닌지 센싱하기 위해서는 PGM신호가 low인 상태에서 MRESET 신호에 펄스 (pulse)를 인가한다. 만약 eFuse의 저항이 Rref에

비해 작으면 IN, INb (IN bar) 전압은 각각 VDD, 0V로 래치 된다. 그리고 eFuse가 프로그래밍된 경우는 eFuse 저항이 Rref에 비해 크므로 IN, INb 전압은 각각 0V, VDD로 래치 된다.

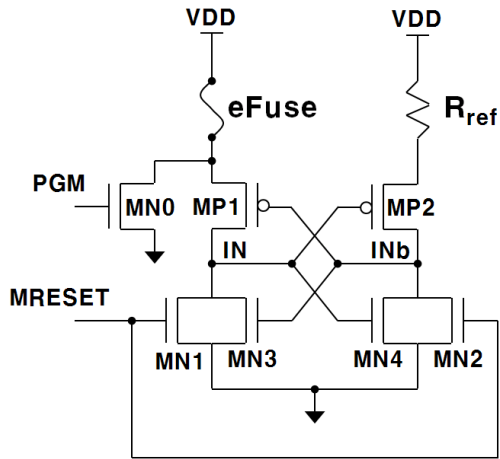


그림 1. 기존의 eFuse를 이용한 리던던시용 eFuse 셀 회로도.
Fig. 1. Conventional eFuse cell circuit for redundancy.

프로그래밍된 리페어 주소와 메모리 액세스 주소가 일치하는지 비교하는 회로는 그림 2에서 보는 바와 같다. 1-비트 주소 비교 회로는 레이저 퓨즈 (F0와 F1), 2개의 래치 회로 (F0 래치와 F1 래치)와 exclusive NOR (Ci = FAi ⊙ Ai) 회로로 구성되어 있다. Ai가 0 불량인 경우 F0는 레이저에 의해 blowing되며, Ai가 1 불량인 경우 F1이 blowing된다. 레이저 퓨즈는 높은 에너지를 갖는 레이저에 의해 프로그램 되므로 blowing된 퓨즈의 저항은 무한대이다. Exclusive NOR 회로에 의해 FAi (i-th failed address)와 메모리 액세스 주소 Ai가 일치하는 경우만 출력 Ci가 1이 된다.

반도체 공정 기술이 scale-down 되면서 로직전압 (VDD)이 1.2V 이하로 낮아진다. VDD 전압이 낮아지면 그림 1의 eFuse에 충분한 프로그램 파워가 공급되지 못하여 프로그램 불량이 발생 할 수 있다. 그리고 그림 2의 CMOS 로직 기반 불량 주소 비교 회로는 complementary 회로이므로 회로가 차지하는 레이아웃 면적이 큰 단점이 있다. 그래서 본 논문에서는 VDD 전압이 낮아지더라도 4.2V의 외부 프로그램 전압을 eFuse에 직접 인가하므로 eFuse에 높은 프로그램 파워를 전달하는 듀얼 포트 eFuse 셀을 제안하였다. 듀얼 포트 eFuse 셀은 충분한 프로그래밍 전류를 흐르게 하기 위해 쓰기 포트 트랜지스터의 채널 폭을 크게 하였으며, 읽기 전류를 줄이기 위해 읽기 포트 트랜지스터의 채널 폭을 최소화 하였다. 또한 듀얼 포트 eFuse 셀은 파워-온 읽기 기능을 이용하여 eFuse의 프로그램 데이터가 자동적으로 D-래치 회로에 자동적으로 저장되도록 설계하였다. 리페어 주소 비교 회로는 CMOS 로직 회로 대신 레이아웃 면적이 작은 dynamic pseudo NMOS 로직으로 구현하였다.

표 1은 설계된 1T-SRAM 리페어용 리던던시 제어 회로의 주요 특징을 보여주고 있다. eFuse 메모리 용량은 8 × 10비트이며, 셀 어레이는 8행 (rows) × 10열 (columns)로 구성되어 8개의 불량 주소의 메모리 리페어 주소를 저장할 수 있다. 디스플레이 구동 칩에 사용되는 1T-SRAM은 레이아웃 면적을 고려했을 때 WL (Word-Line) 단위로 리페어를 해야 하며 [1], eFuse 셀 어레이의 10열은 WVGA급에 사용되는 1T-SRAM의 주소 비트 수를 고려한 것이다. 로직 전압은 VDD (=1.2V)가 사용되며, 외부 프로그램 전압원인 FSOURCE는 프로그램 모드(program mode)에서 4.2V, 프로그램 모드를

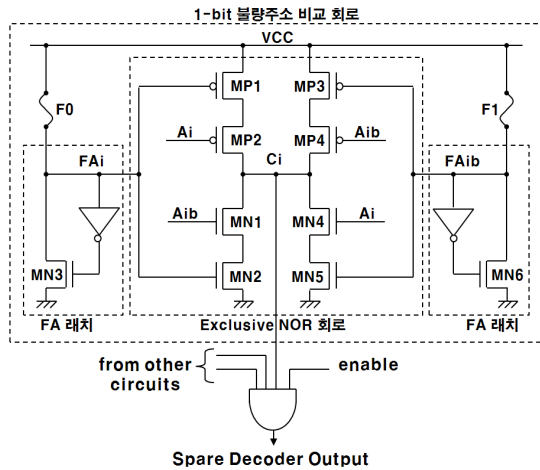


그림 2. CMOS 로직을 이용한 1-bit 불량주소 비교 회로도[6].
Fig. 2. 1-bit failed address comparison circuit by using COMS logic.

제외한 다른 모드에서는 0V를 공급한다. 동작 모드는 파워-온 읽기 모드, 프로그램 모드, 비교 (compare) 모드가 있다. 프로그램 전류가 크기 때문에 전원 라인의 전압강하를 고려하여 프로그램은 한 비트 씩 수행된다. 그리고 프로그램 전압은 4.2V, 프로그램 시간은 200 μ s이다. 설계에서 사용된 MOS 소자는 1.2V의 로직 트랜지스터와 3.3V의 MV (Medium Voltage) 트랜지스터를 사용하고 있다.

표 1. 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로의 주요 특징.
Table 1. Major specifications of a redundancy control circuit for 1T-SRAM repair using electrical fuse programming.

Items	Features
Memory Density	8 × 10bit (8 Rows × 10 Columns)
Process Technology	Dongbu 0.11 μ m MS Process
MOS Transistor	1.2V Tr. / 3.3V Tr.
Supply Voltage	VDD = 1.2V, FSOURCE = 4.2V
Fuse Type	n+ Poly Fuse with Co Silicide
Temperature Range	-40 $^{\circ}$ C ~ 85 $^{\circ}$ C
Operating Mode	Power-on read / Program / Compare
Program bit / Read bit	1bit / 10bit
Program Time / Voltage	200 μ s / 4.2V

1T-SRAM 리페어용 리던던시 제어 회로는 그림 3의 블록도에서 보는 바와 같이 8행 × 10열의 eFuse 셀 어레이와, 프로그램 비트 선택 회로, 동작 모드에 따라 제어 신호를 발생시키는 제어 로직 (control logic), RA_OTP[2:0]에 따라 8개의 행중에 하나를 선택하여 WWLb (Write Word-Line bar) 신호를 발생하는 행 디코더 (row decoder), 프로그램 모드에서는 외부프로그램 전압인 FSOURCE 전압을 공급하고 파워-온 읽기 모드와 비교 모드에서는 VDD 전압을 공급하는 VPP 스위칭 회로가 있다. 프로그램 비트 선택 회로는 열 주소인 FA[3:0]의 디코딩에 의해 10개의 PGM_BIT_SELb[9:0] 중 한 개가 선택된다. 리페어 주소 비교회로는 비교 모드에서 eFuse 메모리에 저장된 8개의 저장된 불량 주소와 메모리 액세스 주소인 MA[9:0]가 일치하는지 비교하는 회로이다. 8개의 불량주소 중 MA[9:0]와 일치하는 eFuse 행이 있으면 일치하는 행의 FA_MATCH 신호는 high를 출력하게 된다.

만약 일치하는 행이 없다면 FA_MATCH[7:0]는 모두 low를 출력하게 된다. FA_MATCH[7:0] 중 하나라도 high로 activation되면 불량인 메모리가 선택된 경우이므로 1T-SRAM의 normal WL은 disable되고 spare WL이 activation되도록 제어된다. 3.3V 트랜지스터는 eFuse 셀 회로, VPP 스위칭 회로, 행 디코더에 사용되었다.

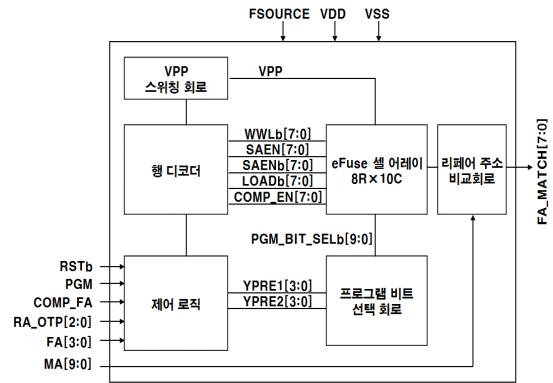


그림 3. 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로의 블록도.
Fig. 3. Block diagram of redundancy control circuit for 1T-SRAM repair using electrical fuse programming.

1T-SRAM 리페어용 리던던시 제어 회로는 프로그램 모드, 파워-온 읽기 모드와 비교 모드를 지원하며, 그림 4는 스펙에서 명시된 타이밍 다이어그램을 보여주고 있다. 그림 4(a)는 불량인 메모리 셀의 리페어 주소를 eFuse에 프로그래밍하기 위한 프로그램 모드의 타이밍 다이어그램을 보여주고 있다. 그림 4(a)에서 보는바와 같이 eFuse에 충분한 프로그램 파워를 인가하기 위해 외부 전압원인 FSOURCE를 사용한다. 3.3V 트랜지스터에 사용되는 FSOURCE 전압은 3.3V의 1.33배인 4.2V를 사용하고 있다. 일반적으로 3.3V 소자는 신뢰성을 고려했을 때 3.6V가 최대 사용전압이지만, FSOURCE 전압은 eFuse 셀을 한 번만 프로그래밍 하는데 사용하므로 신뢰성에 문제가 없는 4.2V로 결정되었다. 먼저 4.2V의 FSOURCE 전압, 행 주소인 RA_OTP[2:0]와 열 주소인 FA[3:0]를 인가한 상태에서 PGM 신호에 200 μ s 동안 high 펄스를 인가하면 RA_OTP[2:0]와 FA[3:0]에 의해 지정된 eFuse 셀을 프로그래밍 하게 된다.

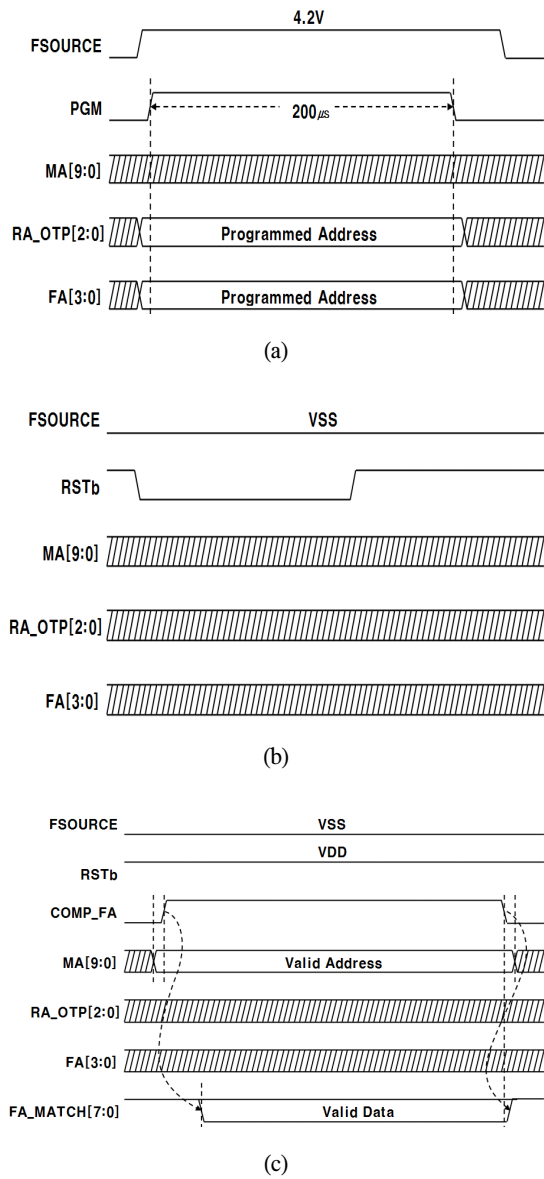


그림 4. 타이밍 다이어그램 (a) 프로그램 모드 (b) 파워-온 읽기 모드 (c) 비교 모드.

Fig. 4. Timing diagrams: (a) program mode, (b) power-on read mode, and (c) compare mode.

이때 메모리 액세스 주소인 $MA[9:0]$ 는 don't-care 상태이다. 그림 4(b)는 파워-온 리셋 신호에 의해 eFuse의 프로그램 정보가 자동적으로 D-래치 회로에 저장되는 파워-온 읽기 모드의 타이밍 다이어그램을 보여주고 있

다. 파워-온 후 $RSTb$ 의 펄스신호가 low에서 high로 스위칭 되면 리던던시 제어회로의 센싱 신호에 의해 eFuse 셀의 읽기 포트 트랜지스터를 통해 eFuse의 프로그램 정보가 D-래치 회로에 저장된다. 그림 4(c)는 eFuse 셀의 프로그램 데이터인 불량 메모리 셀의 리페어 주소와 메모리 액세스 주소가 일치하는지 비교하는 비교 모드의 타이밍 다이어그램을 보여주고 있다. 비교 모드에서 외부 전압원인 $FSOURCE$ 는 0V를 공급하고 $RSTb$ 신호는 VDD 전압으로 인가 된다. 먼저 메모리 액세스 주소인 $MA[9:0]$ 를 인가한 상태에서 $COMP_FA$ 신호가 high로 활성화 되면 파워-온 읽기 모드에서 자동적으로 D-래치 회로에 저장된 8개의 메모리 리페어 주소와 메모리 액세스 주소를 비교한 결과를 FA_MATCH 신호로 출력하게 된다.

충분한 프로그램 파워를 공급하면서 읽기 전류를 줄이는 듀얼 포트 구조를 갖는 eFuse 셀은 그림 5(a)와 같다. eFuse 셀은 게이트 폴리실리콘인 eFuse, 쓰기 포트 트랜지스터 (MN0), 읽기 포트 트랜지스터(MN1), 풀-업 부하 (pull-up load) 트랜지스터 (MPO)와 D-래치 회로로 구성되어 있다. MN0는 프로그램 모드에서 충분한 프로그램 전류를 흘려주기 위해 90 μm 의 큰 채널 폭을 사용하였으며, MN1는 읽기 전류를 줄이기 위해 1 μm 의 작은 채널 폭을 사용하였다. 그리고 eFuse 셀에서 MPO, MN0, MN1만 3.3V 트랜지스터를 사용하고 있으며, 나머지 회로는 1.2V 트랜지스터를 사용한다.

프로그램 모드에서 VPP 전압은 VPP 스위칭 회로에 의해 외부 프로그램 전압인 $FSOURCE$ (=4.2V) 전압을 공급한다. $RA_OTP[2:0]$ 와 $FA[3:0]$ 에 의해 선택된 셀의 $WWLb$ 와 PGM_BIT_SELb 는 모두 0V가 되어 MN0를 ON시킨다. 반면 선택되지 않은 eFuse 셀은 $WWLb$ 와 PGM_BIT_SELb 신호 중 한 신호 이상이 VPP 전압이 입력되며, 해당되는 셀의 프로그램 트랜지스터인 MN0는 OFF된다. 프로그램 되는 셀은 $FSOURCE$ (=4.2V), eFuse와 MN0의 경로로 큰 프로그램 전류가 흐르면서 eFuse는 blowing된다. Blowing된 eFuse는 저항이 수십 k Ω 이상이 된다. 한편 프로그램 모드에서 D-래치 회로는 opaque 상태를 유지한다.

파워-온 읽기 모드에서는 그림 5(b)에서 보는 바와 같이 제어 로직에서 출력되는 $LOADb$ 신호가 low로 활성화 되면서 Fuse_Data는 MPO에 의해 VDD로 풀-업 된다. 그리고 $RSTb$ 가 low에서 high로 스위칭하면서 센싱 신호

인 SAEN 신호가 high 펄스가 발생하면 positive-level sensitive D-래치에 의해 eFuse의 정보가 IFA (Internal Failed Address)에 래치 된다. eFuse가 프로그램 되지 않은 경우와 프로그램 된 경우의 IFA는 각각 0V, VDD를 래치 한다.

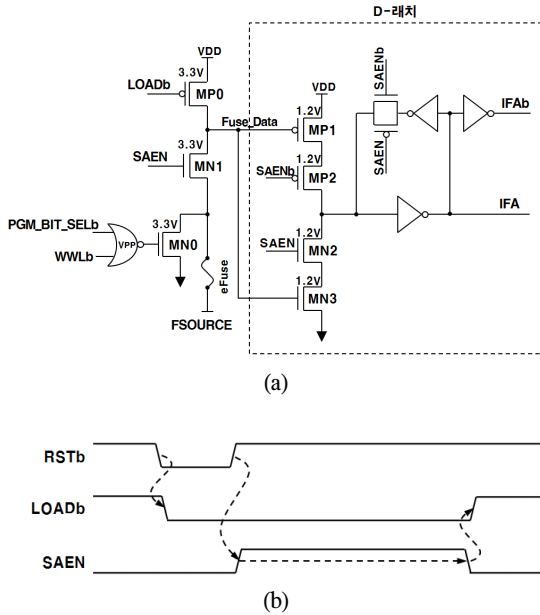


그림 5. (a) 듀얼포트 eFuse 셀 회로도
(b) 파워-온 읽기 모드의 제어 신호파형.
Fig. 5. (a) Dual port eFuse cell circuit and
(b) control signal in the power-on read mode.

Dynamic pseudo NMOS 로직 형태로 구현된 10-비트 불량 주소 비교회로는 그림 6과 같다. COMP_EN이 0V 인 경우는 IMATCH가 VDD로 프리차지 (precharge) 상태를 유지하고 FA_MATCH는 VDD를 출력한다. 비교 모드에서 MA[9:0]가 먼저 셋-업 (set-up)된 상태에서 COMP_EN이 high로 활성화된다. 만약 10-비트의 MA[9:0]와 IFA[9:0]가 비트끼리 모두 일치하면 IMATCH는 VDD를 유지하며, 불량 주소가 일치한다는 의미로 FA_MATCH 신호는 VDD로 출력한다. 만약 10-비트의 주소 중 한 비트이상 다르면 IMATCH 신호는 0V로 방전되어 FA_MATCH는 0V를 출력한다. 그림 3의 FA_MATCH[7:0] 중 한 신호라도 VDD가 출력되면 저장된 10개의 불량 주소 중에 하나가 일치한 경우가

므로 1T-SRAM의 정상적인 셀은 disable되고 리페어 셀로 대체되게 제어된다. 그림 6의 MP1은 래치-백 (latch-back) 트랜지스터로 10-비트 주소가 모두 일치하는 경우 커플링 노이즈 (coupling noise)에 의해 IMATCH 신호가 low로 떨어지는 것을 방지하기 위한 것이다.

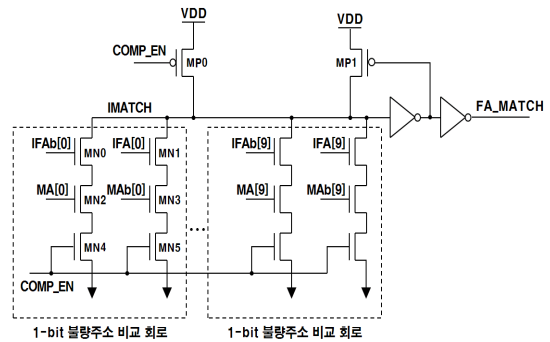


그림 6. dynamic pseudo NMOS 로직을 이용한 10-bit 불량주소 비교 회로로 구성된 리페어 주소 비교 회로도.

Fig. 6. Repair address comparison circuit with a 10-bit failed address comparison circuit by using dynamic pseudo NMOS logic.

III. 모의실험 결과

본 논문에서는 동부하이텍 0.11 μ m Mixed Signal 공정을 이용하여 1T-SRAM 리페어용 리던던시 제어 회로를 설계하였다. 그림 7은 eFuse를 사용하여 메모리 리페어 주소를 프로그램하는 eFuse 셀 회로에서 기존 기술과 제안된 듀얼 포트 eFuse 셀을 사용할 경우 eFuse에 인가되는 프로그램 파워를 비교한 모의실험 결과를 보여주고 있다. 1.2V 트랜지스터와 3.3V의 트랜지스터에 한 번 프로그램으로 인가 가능한 전압은 소자의 신뢰성을 고려했을 때 1.33배 만큼 가능하다. 그래서 VDD는 1.596V, FSOURCE는 4.2V로 정해졌다. 모의실험 결과 제안된 eFuse 셀과 기존 eFuse 셀의 최대 프로그램 파워는 각각 68mW, 13.5mW 이다.

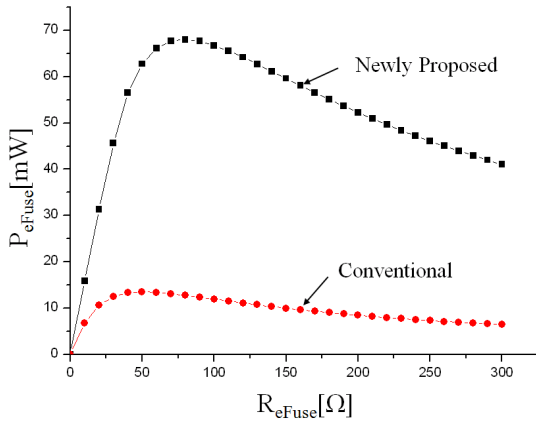


그림 7. 프로그램 모드에서의 eFuse 저항에 따른 파워 모의실험 결과.

Fig. 7. Power Simulation result according to eFuse resistances in the program mode.

그림 8은 불량인 메모리 셀의 리페어 주소를 eFuse에 프로그래밍하기 위한 모의실험 결과이다. FSOURCE (=4.2V), RA_OTP와 FA를 인가한 상태에서 PGM 신호가 high로 활성화 되면 선택된 eFuse 셀의 WWLb와 PGM_BIT_SELb는 모두 0V가 되어 쓰기 포트 트랜지스터 (MN0)를 ON시킨다. VPP는 WWLb와 PGM_BIT_SELb 신호가 스위칭 된 뒤 VDD에서 4.2V로 스위칭 되는 것을 볼 수 있다.

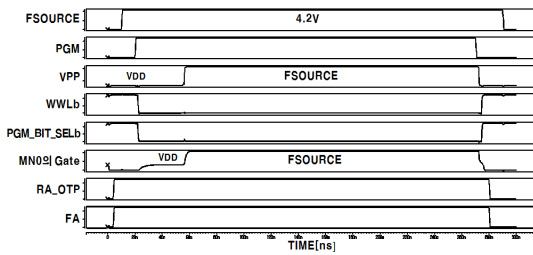
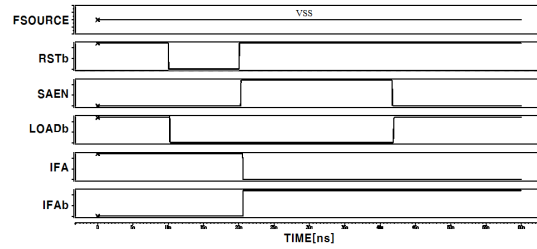


그림 8. 프로그램 모드의 모의실험 결과.

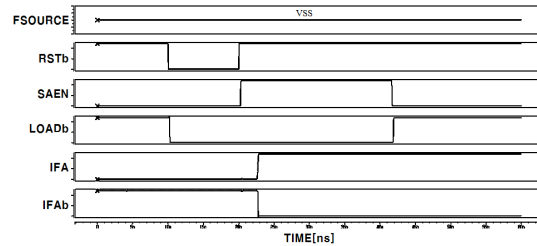
Fig. 8. Simulation result in the program mode.

파워-온 리셋 신호에 의해 eFuse의 정보가 자동적으로 D-래치에 저장되는 파워-온 읽기 모드의 모의실험 결과는 그림 9와 같다. 외부 전압원인 FSOURCE는 0V를 공급하고 RSTb가 low에서 high로 스위칭하면 SAEN 신호의 high 펄스가 발생하여 D-래치 회로에 의해 eFuse의 정보가 IFA에 래치 되는 것을 볼 수 있다.

그림 9(a)는 프로그램 되지 않은 eFuse 셀, 그림 9(b)는 프로그램 된 eFuse 셀에 대한 파워-온 읽기 모드의 모의 실험 결과이다. 파워-온 읽기 모드에서 읽기 포트 트랜지스터의 읽기 전류의 최대값은 110 μ A 이다.



(a)



(b)

그림 9. 파워-온 읽기 모드의 모의실험 결과.

(a) 프로그램 되지 않은 eFuse 셀의 경우

(b) 프로그램 된 eFuse 셀의 경우

Fig. 9. Simulation result in the power-on read mode: (a) in case that the eFuse cell is not programmed and (b) in case that the eFuse cell is programmed.

그림 10은 불량 메모리 셀의 리페어 주소와 메모리 액세스 주소가 일치하는지 비교하는 비교 모드의 모의 실험 결과이다. 비교 모드에서 외부 전압원인 FSOURCE는 0V를 공급하고 RSTb 신호는 VDD 전압으로 인가 된다. 메모리 액세스 주소인 MA를 먼저 인가한 상태에서 COMP_FA 신호가 high로 활성화 되면서 불량 주소와 일치하는지 비교한다. 리페어 주소와 메모리 액세스 주소가 일치하는 eFuse 행이 있으면 일치하는 행의 FA_MATCH는 그림 10에서 보는 바와 같이 high를 출력한다. 반면 일치하지 않는 행의 FA_MATCH는 low를 출력한다. HSPICE 모의실험 결과 비교 모드에서 일치하는 행의 FA_MATCH 액세스 속도 (access speed)는

약 1.5ns이며, 동작 전류는 1.32V의 VDD에서 213 μ A로 모의실험 되었다.

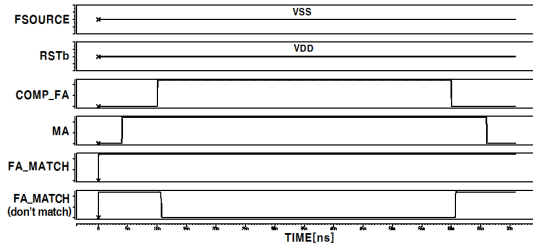


그림 10. 비교 모드에서의 모의실험 결과.

Fig. 10. Simulation result in the compare mode.

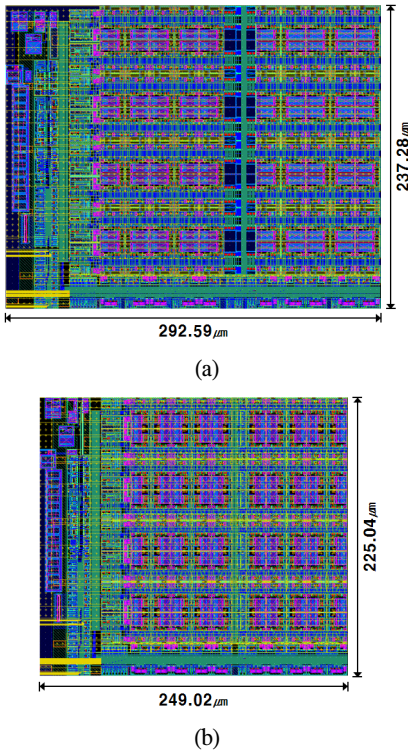


그림 11. 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로의 레이아웃 이미지 (a) CMOS 로직으로 구현한 경우 (b) dynamic pseudo NMOS 로직으로 구현한 경우.

Fig. 11. Layout images of redundancy control circuit for 1T-SRAM repair using electrical fuse programming: (a) with COMS logic and (b) with dynamic pseudo NMOS logic.

그림 11은 1T-SRAM 리페어용 리던던시 제어 회로에 CMOS 로직으로 구현한 경우와 dynamic pseudo NMOS 로직으로 구현한 경우의 레이아웃 이미지이다. 그림 11(b)의 dynamic pseudo NMOS 로직으로 리페어 주소 비교 회로를 구현할 경우의 1T-SRAM 리페어용 리던던시 제어 회로의 레이아웃 면적은 그림 11(a)의 CMOS 로직으로 구현된 경우보다 레이아웃 면적을 약 19% 정도 줄였다. 제안된 전기적인 퓨즈 프로그래밍을 이용한 1T-SRAM 리페어용 리던던시 제어 회로의 레이아웃 면적은 249.02 × 225.04 μ m²이다.

V. 결 론

디스플레이의 해상도가 증가함에 따라 메모리 용량이 증가하게 되면서 IP 크기가 작은 1T-SRAM IP 설계가 요구된다. 그리고 1T-SRAM IP의 수율 향상을 위해 불량인 셀을 정상적인 여분의 셀로 대체하는 전기적인 퓨즈 프로그램 방식의 리페어 회로 설계 기술이 필요하다.

본 논문에서는 높은 프로그램 파워를 공급하고 셀 읽기 전류를 줄일 수 있는 듀얼 포트 eFuse 셀은 제안하였다. 그리고 제안된 eFuse 셀은 파워-온 리드 기능으로 eFuse의 프로그램 정보를 D-래치 회로에 자동적으로 래치 하도록 설계하였다. 또한 IP 크기를 줄이기 위해 dynamic pseudo NMOS 로직으로 리페어 주소 비교 회로를 설계하므로 레이아웃 면적을 약 19% 정도 줄였다. 동부하이텍 0.11 μ m Mixed Signal 공정을 이용하여 리페어용 리던던시 제어회로는 웨이퍼 제작 중에 있다.

감사의 글

이 연구에 참여한 연구자는 「2단계 BK21 사업」의 지원비를 받았다.

참고문헌

- [1] 권오삼, 민경식, "디스플레이 IC 내장형 Dual-port 1T-SRAM를 위한 간단한 시프트 로직 회로를 이용한 데이터라인 리던던시 회로," *전기전자학회논문지*, vol. 11, no. 4, pp. 129-136, Dec. 2007.
- [2] W. Leung, F. Hsu, and M. E. Jones, "The ideal SoC memory: 1T-SRAM," in *Proc. IEEE ASIC/SoC Conf.*, Sep. 2000, pp. 32 - 36
- [3] R. T. Smith, J. D. Chlipala, J. F. M. Bindels, R. G. Nelson, F. H. Fischer, and T. F. Mantz, "Laser Programmable Redundancy and Yield Improvement in a 64K DRAM," *IEEE J. Solid-State Circuits*, vol. 16, no. 5, pp. 506-514, Oct. 1981.
- [4] K. N. Lim, S. S. Kang, J. H. Choi, J. H. Joo, Y. S. Lee, J. S. Lee, S. I. Cho, and B. G. Ryu, "Bit Line Coupling Scheme and Electrical Fuse Circuit for Reliable Operation of High Density DRAM," in *Symp. VLSI Circuits. Dig. Tech. Papers*, Jun. 2001, pp. 33-34
- [5] J. K. Wee, K. S. Min, J. T. Park, S. P. Lee, Y. H. Kim, T. H. Yang, J. D. Joo, and J. Y. Chung, "A Post-Package Bit-Repair Scheme Using Static Latches with Bipolar-Voltage Programmable Antifuse Circuit for High-Density DRAMs," *IEEE J. Solid-State Circuits*, vol. 37, no. 2, pp. 251-254, Feb. 2002.
- [6] M. Horiguchi, J. Etoh, M. Aoki, K. Itoh, and T. Matsumoto, "A flexible redundancy technique for high-density DRAMs," *IEEE J. Solid-State Circuits*, vol. 26, no. 1, pp. 12-17, Jan. 1991.
- [7] 이재형, 강민철, 김려연, 장지혜, 하판봉, 김영희, "Logic 공정 기반의 비동기식 1Kb eFuse OTP 메모리 IP 설계," *한국해양정보통신학회논문지*, vol. 13, no. 7, pp. 1371-1378, Jul. 2009.
- [8] 조규삼, 김미영, 강민철, 장지혜, 하판봉, 김영희, "외부프로그램 전압을 이용한 8비트 eFuse OTP IP 설계," *한국해양정보통신학회논문지*, vol. 1, no. 14, pp. 183-190, Jan. 2009.

저자소개



이재형(Hyung-Jae Lee)

2005.2 창원대학교 전자공학과
공학사
2007.2 창원대학교 전자공학과
공학석사

2007.3~현재 창원대학교 전자공학과 박사과정
※ 관심분야: 1T-SRAM 설계, EEPROM 설계, SoC 설계



전황곤(Jeon-Hwang Gon)

2010.2 창원대학교 전자공학과
공학사
2010.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계



김광일(Kwang-Il Kim)

2010.2 창원대학교 전자공학과
공학사
2010.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계



김기종(Ki-Jong Kim)

2010.2 창원대학교 전자공학과
공학사

여역녕(Yining Yu)

2009.7 연변대학교 컴퓨터공학과
공학사
2009.9~현재 창원대학교
전자공학과 석사과정

※ 관심분야: Non-Volatile memory 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사

1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사

1987.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사

1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사

1989.1~2001.2 현대전자 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※ 관심분야: 메모리 IP 설계, SoC 설계