
RFID 태그 칩용 로직 공정 기반 256bit EEPROM IP 설계 및 측정

김광일* · 김려연* · 전황곤* · 김기종* · 이재형* · 김태훈* · 하판봉* · 김영희*

Design of logic process based 256-bit EEPROM IP for RFID Tag Chips and Its
Measurements

Kwang-Il Kim* · Liyan Jin* · Hwang-Gon Jeon* · Ki-Jong Kim* · Jae-Hyung Lee* · Tae-Hoon Kim* ·
Pan-Bong Ha* · Young-Hee Kim*

이 연구에 참여한 연구자는 「2단계 BK21 사업」의 지원비를 받았음.

요 약

본 논문에서는 logic 공정 기반의 소자만 사용한 256bit EEPROM IP를 설계하였다. 소자간의 전압을 신뢰성이 보장되는 5.5V 이내로 제한하기 위해 EEPROM의 코어 회로인 CG (Control Gate)와 TG (Tunnel Gate) 구동 회로를 제안하였다. 그리고 DC-DC converter인 VPP (=+4.75V), VNN (-4.75V)과 VNNL (=VNN/3) generation 회로를 제안하였고 CG와 TG 구동 회로에 사용되는 switching power인 CG_HV, CG_LV, TG_HV, TG_LV, VNNL_CG와 VNNL_TG 스위칭 회로를 설계하였다. 일반적인 모의실험 조건에서 read, program, erase 모드의 전력 소모는 각각 12.86 μ W, 22.52 μ W, 22.58 μ W으로 저전력 소모를 갖는다. 그리고 테스트 칩을 측정한 결과 256bit이 정상적으로 동작을 하였으며, VPP, VNN, VNNL은 4.69V, -4.74V, -1.89V로 목표 전압 레벨이 나왔다.

ABSTRACT

In this paper, we design a 256-bit EEPROM IP using only logic process-based devices. We propose EEPROM core circuits, a control gate (CG) and a tunnel gate (TG) driving circuit, to limit the voltages between the devices within 5.5V; and we propose DC-DC converters : VPP (=+4.75V), VNN (-4.75V), and VNNL (=VNN/3) generation circuit. In addition, we propose switching powers, CG_HV, CG_LV, TG_HV, TG_LV, VNNL_CG, VNNL_TG switching circuit, to be supplied for the CG and TG driving circuit. Simulation results under the typical simulation condition show that the power consumptions in the read, erase, and program mode are 12.86 μ W, 22.52 μ W, and 22.58 μ W respectively. Furthermore, the manufactured test chip operated normally and generated its target voltages of VPP, VNN, and VNNL as 4.69V, -4.74V, and -1.89V.

키워드

이이피롬, 저 면적, 로직공정, 저 전력

Key words

RFID, EEPROM, Small-area, logic process, low-power

* 창원대학교 (김영희, youngkim@changwon.ac.kr)

접수일자 : 2010. 06. 05

심사완료일자 : 2010. 06. 16

I. 서 론

RFID (Radio Frequency IDentification)는 사물에 부착된 태그(Tag)로부터 전파를 이용하여 사물의 정보 및 주변정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식 기술이다. 현재 RFID 태그 칩은 배터리가 없어 저가격, 소형화에 유리한 수동형 태그 칩 개발에 많은 노력을 기울이고 있다 [1].

수동형 UHF RFID 태그 칩은 아날로그 회로, 로직 회로, 메모리 회로로 구성되어 있다 [2]. 아날로그 회로는 안테나에서 받은 주파수를 사용 가능한 데이터로 변환하는 복조기, 데이터를 주파수 신호로 바꾸어주는 변조기, 리더 (reader)에 의해서 안테나에 공급받은 에너지를 공급전압으로 만들어주는 전압배율기 (Voltage multiplier)로 구성되어 있다. 로직회로는 프로토콜, CRC (Cyclic Redundancy Check) 확인, 에러검사, 및 아날로그 회로의 동작모드를 조절하는 역할을 한다. 메모리 회로는 읽기/쓰기 (read/write)가 가능하고 파워다운 (power-down)시 저장된 정보를 유지할 수 있는 EEPROM이 사용되고 있으며, 메모리 용량은 최소 256bit의 EEPROM이 요구되어진다.

수동형 태그 칩에서는 UHF 신호를 받아서 아날로그 블록의 전압배율기에서 만들어진 전원 전압 (power supply voltage)으로 ID를 확인하고 데이터를 리더기에 전송하기 위해서는 저전력 회로 설계 [3]가 요구되며, 태그 칩의 원가 절감을 위해 저면적의 EEPROM IP 설계 [4-5], 추가적인 EEPROM 공정이 필요 없는 로직 공정 기반의 EEPROM IP 설계가 요구된다.

본 논문에서는 로직 공정 (logic process) 기반의 소자만 사용한 256bit EEPROM IP를 설계하였다. 1,000번의 erase-program cycles, 10년의 데이터 보존 (data retention) 특성을 보장하는 신뢰성을 확보하기 위해 3.3V 소자는 쓰기 모드에서 5.5V 이내로 제한된다. 이를 만족시키기 위해 EEPROM의 코어 회로인 CG (Control Gate)와 TG (Tunnel Gate) 구동 회로를 제안하였고 DC-DC 변환기인 VPP (=+4.75V), VNN (-4.75V)과 VNNL (=VNN/3) 발생 회로를 제안하였다. 그리고 CG와 TG 구동 회로에 사용되는 스위칭 전원 (switching power)인 CG_HV, CG_LV, TG_HV, TG_LV, VNNL_CG와 VNNL_TG 스위칭 회로를 설계하였다. Tower 0.18 μ m 공정의 C-Flash 셀 [6-7]을

이용하여 설계된 256bit EEPROM IP의 레이아웃 면적은 476.04 μ m \times 448.5 μ m이고, 모의실험 결과 전력 소모는 읽기 모드에서 12.86 μ W, 프로그램 모드에서 22.52 μ W, 지우기 모드에서 22.58 μ W이다. 그리고 256bit EEPROM 테스트 칩을 측정한 결과 정상적으로 동작하는 것을 확인하였다.

II. 회로설계

본 논문에서 설계된 256bit EEPROM IP의 주요 특징은 표 1과 같다. 메모리 용량은 256bit이고 Tower 0.18 μ m 로직 공정을 사용하였다. 공급전압은 VDD (=1.2V)와 VDDP (=2.2V)를 사용하였고 동작 모드는 프로그램 (program), 지우기 (erase), 읽기 (read), 리셋 (reset) 모드가 있다. 태그 칩의 클럭 (clock) 주파수는 공정 변화를 고려하여 최대 3.85MHz이고 EEPROM의 인터페이스는 클럭이 없는 저면적 IP 설계가 가능한 비동기식 인터페이스 방식을 사용하고 있다. 그리고 separate I/O 방식을 사용하고 있으며, 읽기 시간 (access time)은 200ns이다.

표 1. 256bit EEPROM의 주요 특징.
Table 1. Major specifications of a 256-bit EEPROM.

Items	Design Features
Memory Density	256-bit 16 \times 16bit (16 Rows \times 16 Columns)
Process	Tower 0.18 μ m process
Supply Voltage	VDD(=1.2V) / VDDP(=2.2V)
Operating Mode	Program / Erase / Read / Reset
Clock Frequency	3.85 MHz
Interface	Asynchronous
I/O	Separated I/O
Access time	200ns

설계된 256bit EEPROM의 블록도는 그림 1에서 보는 바와 같이 16 행 \times 16 열의 셀 어레이 (cell array), 동작 모드에 따라 제어 신호를 발생시키는 제어 로직 (control logic), 어드레스 A[3:0]에 따라 16개의 행 중에 하나를 선택하여 PS, CG, NCT, NTT, N_SEL, P_SEL 노드에 전압을 공급하는 행 디코더 (row decoder), 데이터를 읽어내

기 위한 BL S/A (Bit-Line Sense Amplifier), WD (Write Data) Driver 및 쓰기 기능에 필요한 고전압인 VPP, VNN, VNNL을 공급해주는 DC-DC 변환기 회로로 구성되어 있다.

비동기식 인터페이스 신호는 제어 신호 (RSTb, READ, ERS, PGM), 어드레스 A[3:0], 입력 데이터 DIN[15:0], 출력 데이터 DOUT[15:0]가 있다. 그리고 separate I/O 방식을 채택하였으며, 읽기와 쓰기는 워드 (word) 단위로 수행된다. 쓰기 동작은 지우기와 프로그램 동작을 의미한다.

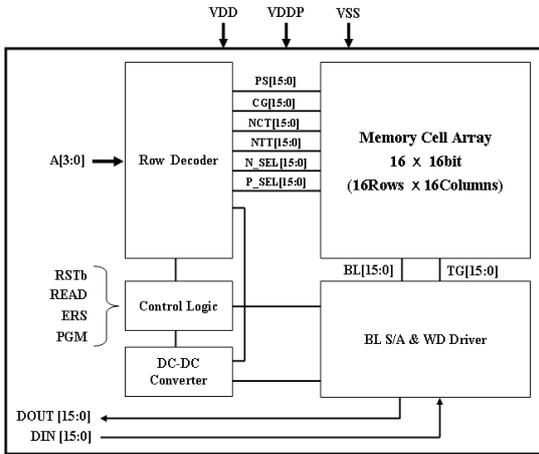
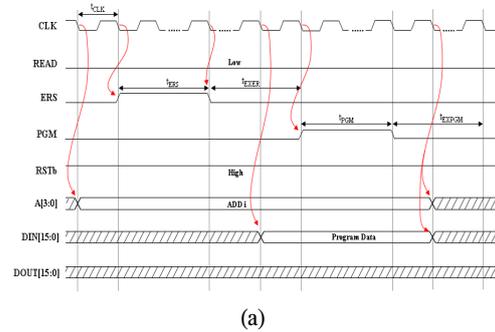
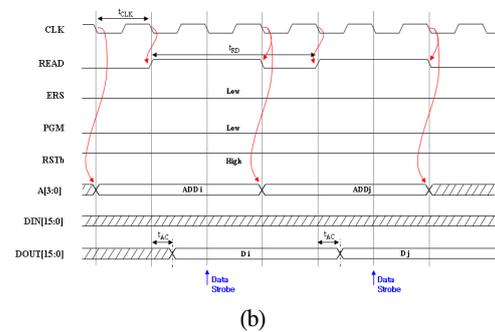


그림 1. 비동기식 256bit EEPROM의 블록도.
Fig. 1. Block diagram of an asynchronous 256-bit EEPROM.

그림 2(a)는 설계된 EEPROM의 쓰기 모드의 타이밍 다이어그램으로 프로그램하려는 워드 셀을 먼저 지운 뒤 DIN[15:0]의 데이터로 프로그램하도록 되어 있다. t_{ERS} (erase time)과 t_{PGM} (program time)은 DC-DC 변환기의 발생되는 시간과 로직 EEPROM 셀의 특성을 고려하여 모두 1.2ms이다. EEPROM 메모리에서의 읽기 타이밍 다이어그램은 그림 2(b)에서 보는바와 같다. 읽기 동작은 읽어낼 어드레스를 먼저 인가한 후 READ 신호를 인가하면 선택된 워드 데이터가 t_{AC} (access time)가 지난 이후 DOUT port로 출력된다.



(a)



(b)

그림 2. (a) 쓰기 모드의 타이밍 다이어그램
(b) 읽기 모드의 타이밍 다이어그램.
Fig. 2. Timing diagrams: (a) in the program mode and (b) in the read mode.

설계된 256bit EEPROM에서 사용된 C-Flash 셀은 control 커패시터와 tunneling 커패시터, read-out 인버터 (inverter), CMOS transmission 게이트 (gate)로 구성되어 있다. 그리고 3.3V의 NMOS와 PMOS 트랜지스터가 사용되었다. 그림 3은 C-Flash 팬텀 셀 (phantom cell)을 보여 주고 있으며, 16bit의 워드를 기준으로 팬텀 셀의 크기는 $21.35\mu\text{m} \times 68.69\mu\text{m}$ 이다.

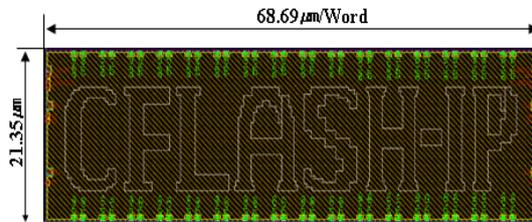


그림 3. C-Flash 팬텀 셀.
Fig. 3. C-flash phantom cell.

표 2는 동작 모드별 C-Flash 셀의 바이어스 전압 조건을 보여주고 있다. 지우기 모드에서는 CG에 -4.75V, TG에 +4.75V를 인가하여 FN (Fowler-Nordheim) 터널링 방식으로 플로팅 게이트 (floating gate)의 전자 (electron)을 소거 (ejection)시킨다. 그리고 프로그램 모드에서는 CG에 +4.75V, TG에 +4.75V를 인가하여 FN 터널링 방식으로 플로팅 게이트에 전자를 주입 (injection)시킨다. 읽기 모드에서 지워진 셀은 BL (Bit-Line)에 0V를 출력하는 반면, 프로그램된 셀은 VDD를 출력한다.

표 2. 동작모드별 C-Flash 셀의 바이어스 전압 조건
(a) 지우기 모드 (b) 프로그램 모드 (c) 읽기 모드.

Table 2. Each node bias voltage of a c-flash memory cell at each operation mode.

(a)

Cell state Nodes	Selected cell	Not selected cell
PS	0	0
CG	-4.75	0
NCT	0	0
TG	4.75	4.75
NTT	4.75	4.75
N_SEL	0	0
P_SEL	0	0

(b)

Cell state Nodes	Selected cell		Not selected cell	
	DIN=1	DIN=0	DIN=1	DIN=0
PS	0	0	0	0
CG	4.75	4.75	0	0
NCT	4.75	4.75	4.75	4.75
TG	-4.75	0	-4.75	0
NTT	0	0	0	0
N_SEL	0	0	0	0
P_SEL	0	0	0	0

(c)

Cell state Nodes	Selected cell	Not selected, same row	Not selected, same column
PS	1.2	1.2	1.2
CG	1.2	1.2	0
NCT	1.2	1.2	1.2
TG	0	0	0
NTT	0	0	0
N_SEL	1.2	1.2	0
P_SEL	0	0	1.2

그림 4(a)는 동작모드에 따라 표 2의 바이어스 전압에 맞는 CG, PS (Power Supply), N_SEL, P_SEL의 전압을 공급하는 CG 구동 회로이다. 그리고 그림 4(b)는 동작 모드와 WD (Write Data)에 따라 TG 신호를 공급하는 TG 구동 회로이다. 그림 4의 스위칭 전원인 CG_HV, CG_LV, TG_HV, TG_LV, VNNL_CG, VNNL_TG는 동작 모드에 따라 표 3과 같이 공급된다. 그림 4(a)의 CG 구동 회로는 4.75V 이하의 스위칭 전압을 갖도록 하기 위해 VDD-VNNL_CG, CG_HV-VNNL_CG, CG_HV-CG_LV의 3단 전압 레벨 변환기 (translator) 회로를 사용하였다. 각 단계에 있는 전압 레벨 변환기의 스위칭 전압은 표 3에서 보는 바와 같이 각각의 동작 모드에 대해 모두 4.75V 이하인 것을 알 수 있다.

그리고 그림 4(b)의 TG 구동 회로도 VDD-VNNL_TG, TG_HV-VNNL_TG, CG_HV-CG_LV의 3단 전압 레벨 변환기 회로를 사용하므로 전압 레벨 변환기 회로의 스위칭 전압을 모두 4.75V 이하가 되도록 설계하였다.

표 3. 동작 모드에 따른 스위칭 파워의 출력전압.

Table 3. Output voltages of switching powers according to the operation modes.

Mode	Stand-by	READ	PROGRAM	ERASE
CG_HV	VDD	VDD	4.75V	0V
CG_LV	0V	0V	0V	-4.75V
TG_HV	VDD	VDD	0V	4.75V
TG_LV	0V	0V	-4.75V	0V
VNNL_CG	0V	0V	0V	-1.58V
VNNL_TG	0V	0V	-1.58V	0V

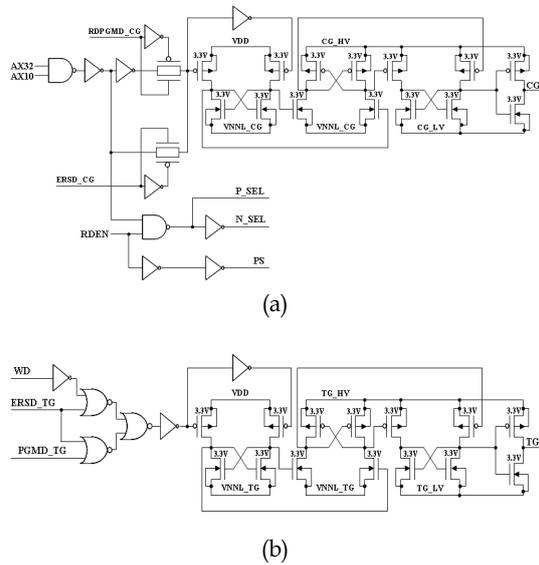


그림 4. (a) CG 구동 회로, (b) TG 구동 회로.
Fig. 4. Driving circuits for (a) CG and (b) TG.

그림 5는 쓰기 모드에서 고전압을 공급하기 위한 VPP 발생 회로의 블록도를 보여주고 있다. VPP 발생 회로는 2단 cross-coupled 전하 펌프 (charge pump), 제어 로직, 링 발진기 (ring oscillator)와 레벨 감지기 (level detector)로 구성되어 있다. VPP 전압이 목표전압 보다 낮은 경우에 VPP 레벨 검출기의 출력신호인 VPP_OSC_ENb가 Low로 되어 positive 전하 펌핑에 의하여 VPP 전압은 올라가게 된다. VPP 전압이 목표 전압 이상이 되면 VPP_OSC_ENb 신호가 High가 되어 전하펌프가 동작을 멈추는 부궤환 (negative feedback) 방식으로 VPP 전압은 목표 전압인 VREF_VPP (=0.6785V)를 유지한다. 레벨 감지기의 기준 전압인 VREF_VPP (=0.6785V)는 저항 분배기 (divider)를 이용하여 VDD 전압을 분배하여 만들어진다.

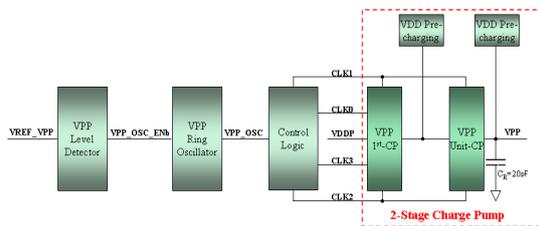


그림 5. VPP 발생회로의 블록도.
Fig. 5. Block diagram of a VPP generation circuit.

그림 6은 VPP 단위 전하펌프 회로로 cross-coupled 형태의 전하펌프를 사용하였다.

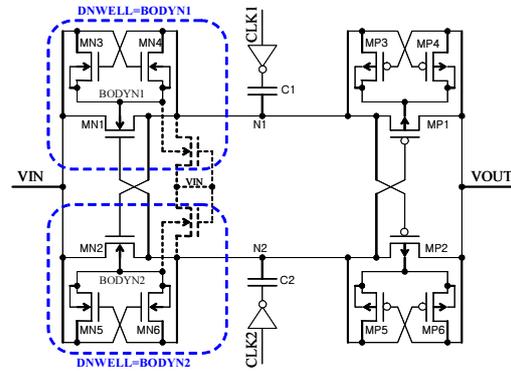


그림 6. VPP 단위 전하펌프 회로 [8].
Fig. 6. Unit charge pump circuit for VPP [8].

그림 7은 6단 Dickson 전하펌프를 사용하여 VNN (= -4.75V)과 VNNL (=VNN/3) 전압을 공급하는 VNN 발생 회로의 블록도이다. VNN은 부궤환에 의해 -4.75V의 전압을 유지하고 VNNL은 VNN/3의 전압을 공급한다. 그림 8은 VNN 전하 펌프 회로를 보여준다.

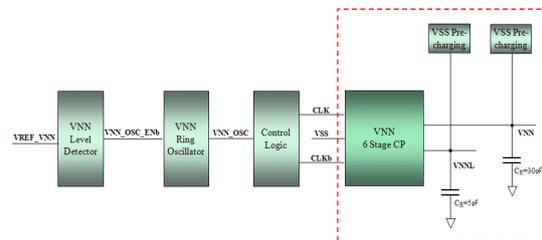


그림 7. VNN 발생 회로의 블록도.
Fig. 7. Block diagram of a VNN generation circuit.

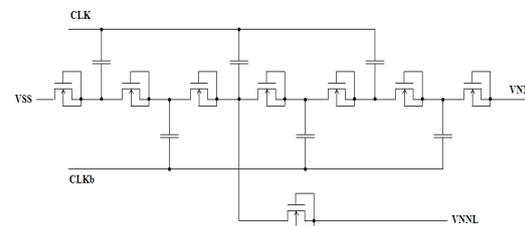


그림 8. VNN 전하펌프 회로.
Fig. 8. Unit charge pump circuit for VNN [8].

그림 9는 그림 7의 VSS 프리차지 (precharge) 회로를 보여주고 있다. 제안된 VSS 프리차지 회로는 커패시터 커플링 (capacitive coupling)을 이용하여 쓰기 모드로 진입 시 N2 노드 전압을 VDD에서 0V로 커플링시켜 MN3를 OFF 시키는 동시에 MN2에 걸리는 게이트-소스 (gate-source) 간의 전압을 5.5V 이하가 되게 한다. 그리고 쓰기 모드에서 빠져 나오는 경우 C1의 커패시터 커플링에 의해 MP2의 소스와 드레인 (drain) 노드 사이의 전압을 5.5V 이하로 유지시켜 준다.

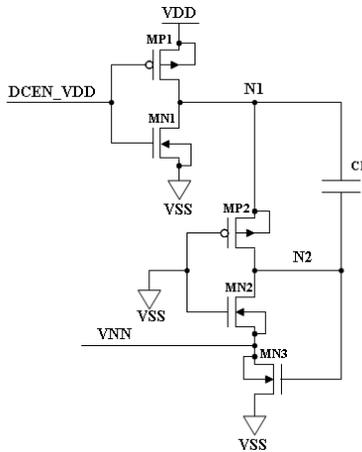
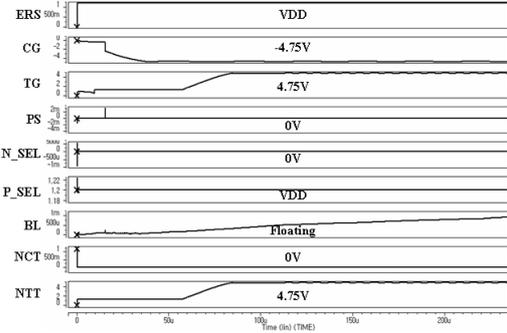


그림 9. 제안된 VSS 프리차지 회로.
Fig. 9. Proposed VSS precharging circuit.

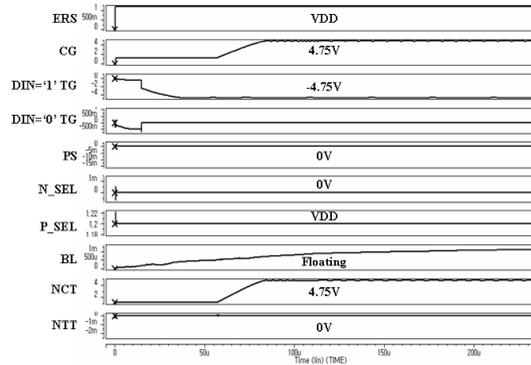
III. 모의실험 및 측정 결과

0.18 μ m 공정을 이용하여 로직 공정 기반의 256bit EEPROM IP를 설계하였다. 그림 10은 지우기 모드와 프로그램 모드에서의 셀 바이어스에 대한 모의실험 결과이다. 표 2의 바이어스 전압이 나오는 것을 확인하였다.

그림 11은 읽기 모드에서 제어신호 및 중요 내부 신호에 대한 모의실험 결과를 보여준다. 읽기 모드에서 READ 신호가 인가되면 먼저 PS와 N_SEL, P_SEL에 의해 워드 셀이 선택되고 CG 신호가 0V에서 VDD로 스위칭 하면서 BL의 전압이 셀의 쓰기 상태에 따라 방전하거나 충전하게 된다. SAENb 신호가 낮게 activation 하게 되면 BL 전압을 센싱하여 DOUT으로 데이터를 출력하게 된다. Slow 모의실험 조건에서 tAC는 195ns로 나왔다.



(a)



(b)

그림 10. 쓰기 모드에서의 셀 바이어스 전압에 대한 모의실험 결과 (a) 지우기 모드 (b) 프로그램 모드.
Fig. 10. Simulation results with respect to cell bias voltages in writing : (a) in the erase mode and (b) in the program mode.

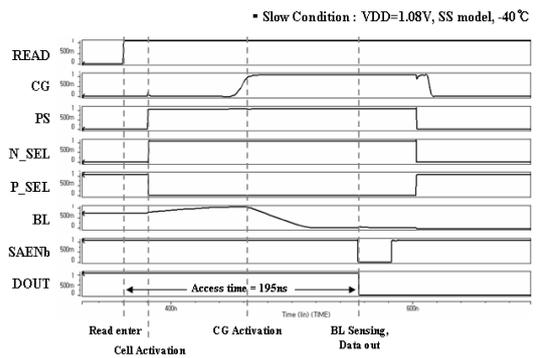


그림 11. 읽기 모드에서의 모의실험 결과.
Fig. 11. Simulation result to critical path in the read cycle.

표 4는 동작 모드에 따른 동작 전류와 전력 소모를 모의실험한 결과이다. VDD=1.2V, VDDP=2.2V, Temp.=25°C 조건에서 읽기, 프로그램, 지우기 모드에서의 전력 소모는 각각 12.86 μ W, 22.52 μ W, 22.58 μ W 이다.

표 4. 동작 모드에 따른 동작전류와 전력 소모에 대한 모의실험 결과.

Table 4. Operational currents and power dissipations for different operation modes.

Mode	Active Current		Power dissipation		
	VDD	VDDP	VDD	VDDP	Total
READ	10.72 μ A	0 μ A	12.86 μ W	0 μ W	12.86 μ W
PGM	9.69 μ A	4.95 μ A	11.63 μ W	10.89 μ W	22.52 μ W
ERASE	9.71 μ A	4.97 μ A	11.65 μ W	10.93 μ W	22.58 μ W

0.18 μ m의 로직 공정을 이용하여 설계된 256bit EEPROM IP의 레이아웃 사진은 그림 12에서 보는바와 같으며, 레이아웃 크기는 476.04 μ m \times 448.5 μ m 이다.

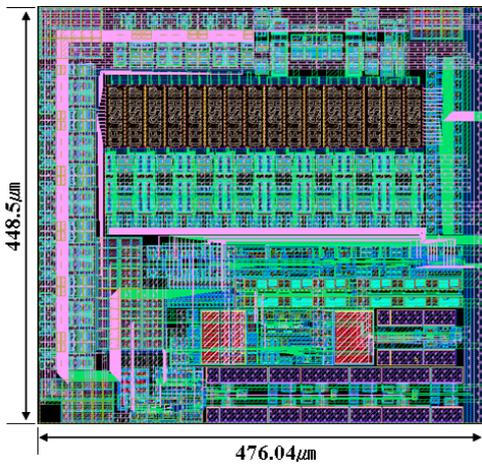


그림 12. 설계된 256bit EEPROM IP의 레이아웃 사진.
Fig. 12. Layout image of the designed 256-bit EEPROM IP.

Tower 0.18 μ m 로직 공정을 이용하여 제작된 EEPROM을 테스트하였다. 그림 13은 성능 테스트 결과로 지우기, 읽기, 프로그램, 읽기를 연속적으로 수행한 결과 지운 EEPROM 셀은 '0', 프로그램한 셀은 '1' 데이터를 출력하는 것을 확인하였다. 그리고 어드레스를 변경하면서

256bit에 대해 측정된 결과 EEPROM 기능을 정상적으로 하는 것을 확인하였다. 그림 14는 쓰기 모드에서 DC-DC 변환기의 출력 전압인 VPP, VNNL, VNN 전압을 측정할 때 과형으로 각각 4.69V, -1.89V, -4.74V의 목표 전압 레벨이 나왔다.

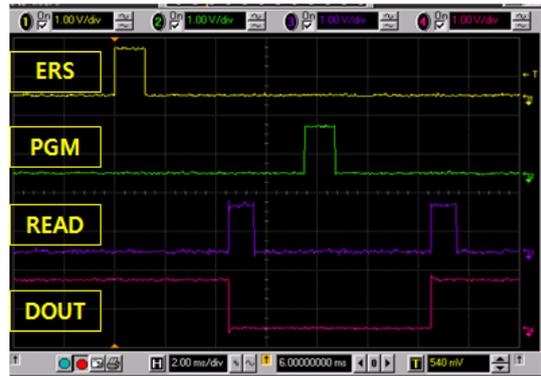


그림 13. 테스트 칩의 성능 측정 파형.
Fig. 13. Measured waveform for the test chip.

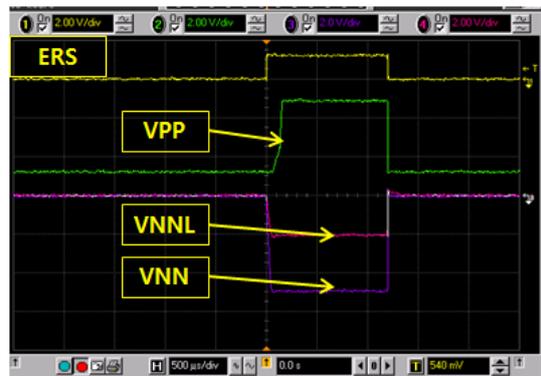


그림 14. 지우기 모드에서 테스트 칩의 VPP, VNNL과 VNN 전압 측정 파형.
Fig. 14. Measured waveforms of VPP, VNNL, and VNN in the erase mode for the test chip.

V. 결 론

본 논문에서는 EPCglobal의 UHF Class 1의 Generation 2 규격의 수동형 RFID 태그 칩에 사용되는 256bit EEPROM IP를 설계하였다.

본 논문에서는 로직 공정 기반의 소자만 사용하였으며, 신뢰성을 확보하기 위해 3.3V 소자는 쓰기 모드에서 5.5V 이하의 전압이 걸리도록 설계하였다. 소자의 신뢰성을 확보하기 위해 EEPROM의 코어 회로인 CG와 TG 구동 회로를 제안하였고 DC-DC 변환기인 VPP (=+4.75V), VNN (-4.75V)과 VNNL (=VNN/3) 발생 회로를 제안하였다.

Tower 0.18 μ m 공정의 C-Flash 셀을 이용하여 설계된 256bit EEPROM IP의 레이아웃 면적은 476.04 μ m \times 448.5 μ m이고, 모의실험 결과 전력소모는 읽기 모드에서 12.86 μ W, 프로그램 모드에서 22.52 μ W, 지우기 모드에서 22.58 μ W이다. 테스트 칩을 측정된 결과 VPP, VNNL, VNN 전압이 각각 4.69V, -1.89V, -4.74V로 목표로 하는 전압 레벨이 측정되었다. 그리고 EEPROM의 쓰기와 읽기 동작을 정상적으로 수행하는 것을 확인하였다.

설계된 로직 공정기반의 EEPROM은 이중 폴리게이트를 사용하는 EEPROM에 비해 마스크 수를 줄이므로 공정 비용을 줄일 것으로 기대된다.

감사의 글

이 연구에 참여한 연구자는 「2단계 BK21 사업」의 지원비를 받았다.

참고문헌

- [1] <http://www.epcglobalinc.org>.
- [2] R. Weinstein, "RFID : A technical overview and its application to the enterprise," IT Professional, vol. 7, Issue 3, pp. 27-33, May-June 2005.
- [3] 이원재, 이재형, 박경환, 이정환, 임규호, 강형근, 고봉진, 박무훈, 하판봉, 김영희, "UHF RFID 태그 칩용 저전력 EEPROM 설계," 한국해양정보통신학회 논문지, vol. 10, no. 3, pp. 486-495, Mar. 2006.
- [4] 백승면, 이재형, 송성영, 김종희, 박무훈, 하판봉, 김영희, "UHF RFID 태그 칩용 저전력, 저면적 비동기식, EEPROM 설계," 한국해양정보통신학회논문지, vol. 11, no. 12, pp. 2366-2373, Dec. 2007.
- [5] G. Yaron et al., "A 16K E2PROM Employing New Array Architecture and Designed-In Reliability Features," IEEE JSSC, vol. SC-17, pp. 833-840, Oct. 1982.
- [6] Y. Roizin et al., "C-Flash: An Ultra-Low Power Single Poly Logic NVM," NVSMW/ICMTD 2008, pp. 90-92, May 2008.
- [7] www.towersemi.com.
- [8] G. H. Lim et al., "Charge Pump Design for TFT-LCD Driver IC Using Stack-MIM Capacitor," IEICE Transactions on Electronics, Vol. E91-C, No. 6, pp. 928-935, June 2008.

저자소개



김광일(Kwang-II Kim)

2010.2 창원대학교 전자공학과
공학사
2010.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야 : Non-Volatile memory 설계



김려연(Li-Yan Jin)

2007.7 연변대학교 컴퓨터공학과
공학사
2009.9 창원대학교 전자공학과
공학석사

2009.9~현재 창원대학교 전자공학과 박사과정
※ 관심분야 : Non-Volatile memory 설계, High-Speed I/O Interface 설계



전황곤(Jeon-Hwang Gon)

2010.2 창원대학교 전자공학과
공학사
2010.3~현재 창원대학교
전자공학과 석사과정

※ 관심분야 : Non-Volatile memory 설계



김기종(Ki-Jong Kim)

2010.2 창원대학교 전자공학과
공학사



이재형(Hyung-Jae Lee)

2005.2 창원대학교 전자공학과
공학사
2007.2 창원대학교 전자공학과
공학석사

2007.3~현재 창원대학교 전자공학과 박사과정
※ 관심분야: 1T-SRAM 설계, EEPROM 설계, SoC 설계



김태훈(Tae-Hoon Kim)

2007.2 창원대학교 전자공학과
공학사
2008.7 창원대학교 전자공학과
공학석사

※ 관심분야: LCD 구동 칩 설계, NVM 설계



하판봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사
1983.2 서울대학교 전자공학과
공학석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 임베디드 시스템, SoC 설계



김영희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사
1997.2 포항공과대학교
전자전기공학과 공학석사

2000.8 포항공과대학교 전자전기공학과 공학박사
1989.1~2001.2 현대전자 책임연구원
2001.3~현재 창원대학교 전자공학과 교수
※ 관심분야: 메모리 IP 설계, SoC 설계