

---

# 하드웨어와 소프트웨어의 역할 분담을 통해 칩 면적을 크게 줄인 Image Signal Processor의 설계

박정환\* · 박종식\* · 이성수\*\*

Design of Image Signal Processor greatly reduced chip area  
by role sharing of hardware and software

Junghwan Park\* · Jongsik Park\* · Seongsu Lee\*\*

---

이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임.  
(No. 314-2008-1-D00163)

---

## 요 약

이미지 센서에서 획득된 영상에는 화질 개선을 위해 다양한 이미지 처리 과정이 필요하다. 이러한 이미지를 처리해 주는 역할을 하는 것을 ISP(Image Signal Processor)라고 한다. 기존의 비전 카메라는 상용 ISP 칩을 사용하는 대신에 자체적으로 ISP 기능을 소프트웨어로 구현하여 PC등에서 수행하는 방식을 택해왔다. 그러나 이러한 방식은 ISP 기능을 수행하는데 많은 연산을 필요로 함에 따라 고성능 PC를 필요로 하는 문제가 있다. 본 논문에서는 하드웨어와 소프트웨어의 효율적인 분담을 통해 칩 면적을 크게 줄인 ISP를 제안한다. 연산을 빠르게 처리하기 위하여 연산이 많은 블록은 하드웨어로 설계하였고, 하드웨어의 면적을 고려하여 하드웨어와 소프트웨어를 동시에 이용하도록 설계하였다. 구현된 ISP는 VGA(640\*480)급의 영상을 처리할 수 있으며 0.35um 공정에서 91450 게이트의 크기를 가진다.

## ABSTRACT

The Image sensor needs various image processing to improve image quality. ISP(Image Signal Processor) performs various image processing. Conventional vision cameras have own software ISP functions and perform in PC instead of using commercial ISP chips. However these methods have problems such as large computation for image processing. In this paper, we proposed ISP that significantly reduced chip area by efficient sharing of hardware and software. Large operation blocks are designed to hardware for high performances, and we used hardware simultaneously with software considering the size of the hardware. The implemented ISP can process VGA(640\*480) images and has 91450 gate sizes in 0.35um process.

## 키워드

ISP(이미지 시그널 프로세서), 비전 카메라, 저면적, 영상처리

## Key word

ISP(Image Signal Processor), vision camera, low area, image process

---

\* 숭실대학교

\*\* 숭실대학교 (교신저자, sslee@ssu.ac.kr)

접수일자 : 2010. 04. 26

심사완료일자 : 2010. 07. 10

## I. 서 론

최근 휴대용통신기, PC용 카메라, 디지털 카메라 등 이미지 센서 및 시스템의 소형화, 저전력화, 고집적화가 요구됨에 따라서 기존에 주로 사용되던 CCD 이미지 센서에서 기술의 접근성이 용이하고 이동기기에 적합한 CMOS 이미지 센서로 대체되고 있다[1]. 이미지 센서에서 획득된 영상에는 화질 개선을 위해 다양한 이미지 처리 과정이 필요하다[2]. 이러한 이미지를 처리해 주는 역할을 하는 것을 ISP (Image Signal Processor)라고 한다[3]. 디지털 카메라, 휴대폰, 감시 카메라, 전자현미경 등 대부분의 카메라에는 ISP가 내장되어 있다. 그러나 상용화된 대부분의 ISP는 비교적 저가 대량 생산 제품인 디지털 카메라와 휴대폰에 사용하기에 적합하도록 설계되었기 때문에 조립 장비, 테스트 장비, 로봇, 감시 장비 등과 같은 비교적 소량 다품종이면서 고가인 비전 카메라에 사용하기에는 적합하지 않다.

일반 카메라는 영상의 밝기 및 색상을 개선하는데 중점을 두는 반면에, 비전 카메라는 영상의 화질보다는 물체의 인식률을 높이는 것이 더 중요하다. 비전 카메라에 사용되는 ISP는 사용자가 정밀하게 제어하기 위해 영상 변환, 제어, 보정 알고리즘 및 파라미터를 사용자가 설정하도록 하는 것이 중요하다.

지금까지 대부분의 비전 카메라는 상용 ISP 칩을 사용하는 대신에 자체적으로 ISP 기능을 소프트웨어로 구현하여 PC 등에서 수행하는 방식을 택해왔다. 그러나 이러한 방식은 ISP 기능을 수행하는데 많은 연산을 필요로 함에 따라 하드웨어로 제작했을 때와 비교하여 처리속도가 늦고 메모리의 부족으로 동작 수행에 많은 어려움이 있을 수 있으며 고성능 PC를 필요로 한다. ISP 기능 중 색 보간 블록과 선명한 영상을 위한 화질 개선 필터 블록은 특히 빠른 처리가 필요한 부분이다[4]. 이 블록들은 ISP의 기능 중 핵심 블록이면서 연산이 많아 실시간으로 빠른 처리가 필요하기 때문에 소프트웨어보다는 고속의 병렬 처리가 가능한 하드웨어로 설계할 필요가 있다.

본 논문에서는 이러한 문제점을 해결하기 위하여 하드웨어와 소프트웨어의 효율적인 분담을 통해 칩 면적을 크게 줄인 ISP를 제안한다. 빠른 영상 처리속도가 필

요한 블록들은 하드웨어로 설계하였고, 메모리가 많이 필요하거나 나눗셈 연산이 필요한 블록들은 소프트웨어로 설계하였다. 또한 다양한 환경을 위하여 블록들의 파라미터변경 등 사용자 설정을 위한 블록들을 소프트웨어로 설계하여 변경할 수 있도록 하였다. 계산라인 메모리를 최대한 적게 사용하여 하드웨어의 크기를 줄이고 동시에 소프트웨어를 이용하여 효율적으로 영상을 실시간 처리할 수 있도록 설계하고 이를 구현하여 검증하였다.

## II. 제안하는 Image Signal Processor

본 논문에서 제안하는 구조는 사용자 설정이 용이한 레지스터 기반의 ISP로서 제안하는 구조는 그림 1과 같다.

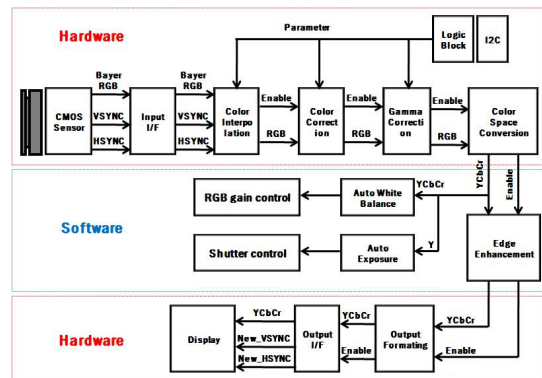


그림 1. 제안하는 ISP의 구조  
Fig 1. proposed structure of ISP

설계한 ISP 구조의 특징은 빠른 영상 처리 속도가 필요한 Color Interpolation, Color Correction, Gamma Correction, Color Space Conversion 등의 블록들은 하드웨어로 설계되었고 메모리가 많이 필요하거나 나눗셈 연산이 필요한 Edge Enhancement, Auto White Balance, Auto Exposure와 같은 블록들은 소프트웨어로 설계되어 하드웨어에 연동하였다. 또한 설계한 ISP는 PC를 이용하여 소프트웨어에서 각 기능 블록들의 레지스터를 설정할 수 있도록 Logic Block으로 설계되

었다. 각 블록들의 파라미터 설정은 I2C 인터페이스를 통하여 변경할 수 있다. 프레임 메모리가 요구되는 IP를 제외한 부분은 레지스터 기반으로 설계되었다. Input Interface는 카메라에서 전송되는 RGB Bayer 신호와 Vsync(Vertical Sync), Hsync (Horizontal Sync)의 Synchronizer 기능을 하며, 검증 시 사용 되는 설계된 IP를 통과하지 않고 바로 출력 되는 Bypass되는 라인을 가지고 있다. Output Interface는 영상의 출력을 위해 새로운 Vertical Sync와 Horizontal Sync를 생성하고 IP에 제공되는 Clock보다 주파수가 2배 높은 Clock으로 YCbCr (4:2:2)를 출력한다.

### 1. CMOS Image Sensor

CMOS 이미지 센서에서의 Bayer 신호는 그림 2에서와 같이 8bit의 Raw Data가 Vsync, Hsync, PCLK등의 output timing 신호에 동기를 맞추어 출력된다. 하지만 Vsync의 출력 후 바로 Hsync와 데이터가 출력되지 않으므로 시작 프레임을 잡기 위하여 Input Interface에서 출력 타이밍을 맞춰 줄 필요가 있다. Data의 추출 순서에 따라 BGBG 또는 RGRG 등의 형태를 가지며, Bayer data는 8bit이기 때문에 Gray로 표현되며 확대해서 보면 Mosaic의 Pattern을 갖는다.

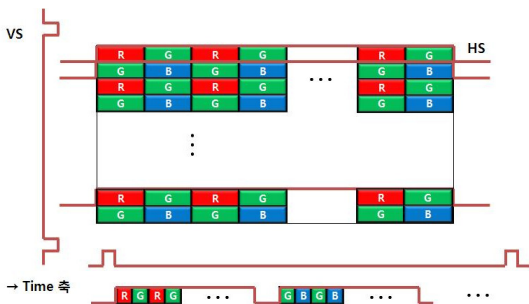


그림 2. CMOS 이미지 센서의 출력 구조  
Fig 2. Output structure of CMOS image sensor

### 2. Color Interpolation

카메라를 통하여 들어오는 입력 값은 Bayer RGB 타입으로 각 화소별로 R(빨간색), G(녹색), B(파란색)의 데이터중 하나의 값을 가지고 있는 형태이며, 녹색의 경우 입력신호의 세기가 다른 값들에 비하여 약하기 때문에 다른 값들보다 더 많은 입력을 받게 된다. 이러한 Bayer

형태로 표현되어 있는 화소들을 이웃하는 화소간의 상관관계를 이용하여 색상처리를 위한 기본 형태인 24bit RGB의 형태로 바꿔주는 역할을 하는 것이 Color Interpolation이다[5].

일반적으로 소프트웨어의 경우 전체 프레임의 데이터를 가지고 있는 상태에서 첫 line부터 순차적으로 보간하는 방법을 수행하는 경우가 많지만, 하드웨어에 적용 시 프레임 전체에 대한 메모리를 가지게 되면 크기가 너무 커지기 때문에 2라인, 3라인 또는 5라인의 라인버퍼만을 사용하여서 보간하는 방법을 사용한다[6]. 특정 라인만 저장하는 방법은 사용되는 레지스터의 크기를 줄일 뿐만 아니라 빠른 처리가 가능하도록 한다. 제작하고자 하는 ISP의 경우는 Target FPGA 칩의 크기를 고려하여 2x2의 보간법을 사용하여 라인버퍼 하나에 두 개의 픽셀 레지스터를 추가한 구조로 구현하였다. 그림 3과 같이 주변의 값을 참조하여 데이터를 생성하는 방식으로 라인버퍼를 왼쪽 방향으로 쉬프트 시키면서 24bit RGB 신호를 생성하였다.

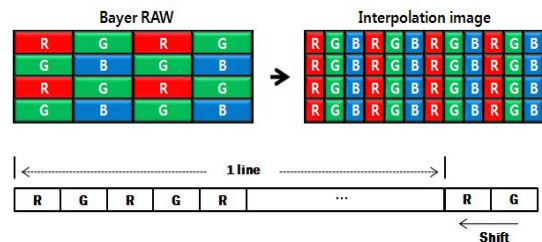


그림 3. Color Interpolation 방법과 라인버퍼 구조  
Fig 3. Color Interpolation method and Line buffer structure

### 3. Color Correction

카메라에서 나오는 데이터는 색조 필터에 의한 왜곡 성분으로 인해서 인간의 눈으로 받아들이는 정확한 파장대의 성분으로 추출하기 힘들다. 이러한 왜곡 성분을 포함한 값을 추출해 이것의 역 계수 값으로 원본의 데이터를 가지도록 보정할 필요가 있다[7].

설계한 Color Correction의 하드웨어 구조는 그림 4와 같은 구조를 가지고 있으며, 계산에 이용되는 3x3 행렬의 파라미터들을 레지스터 기반으로 설계하였다. 그리고 Color Interpolation에서 생성된 Color Correction의 입력인 RGB가 각각의 Multiplier와 Limiter를 가지고 있는

구조로 설계하였다.

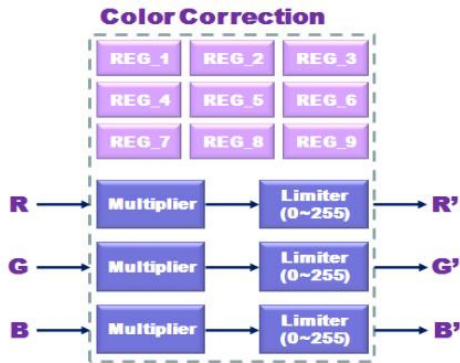


그림 4. 설계한 Color Correction의 구조  
Fig 4. Structure of designed Color Correction

사용자 설정이 중요한 비전카메라를 위해 소프트웨어를 이용하여 Saturation 값을 입력하면 Saturation 계수 값에 따라 Color Matrix가 구해지고 Table 적용 값에 따라 색감이 달라진다. 그림 5는 사용자의 설정에 따라 영상의 색감 변화를 보여준다.

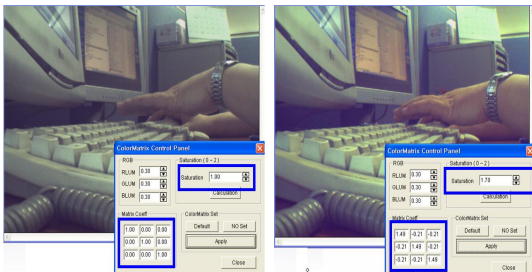
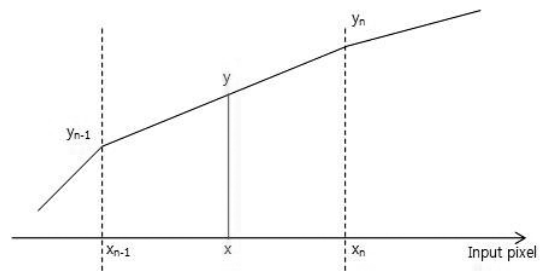


그림 5. Saturation 값의 변경에 따른 영상  
Fig 5. Image of changed Saturation value

#### 4. Gamma Correction

CRT나 LCD 등의 출력장치는 영상을 표현하는데 있어 고유의 비선형적인 특성을 가진다[8]. 이러한 비선형적인 특성을 보정해 주기 위한 방법으로 감마값 보정을 수행한다. Gamma Correction의 경우는 색조정보가 아닌 명조(luminance)에 대한 정보를 가지고 처리를 하는 것으로 명암에 변화에 따른 화면의 보정을 만들어 주는 역할을 한다[9].

설계한 Gamma Correction는 보정하는 그래프를 구간별로 나누어 파라미터를 표로 만든 후, Gamma Correction에서 계산하는데 필요한 파라미터를 레지스터에 저장해서 이용하도록 설계하였다. 그림 6에 있는 식을 이용하여 계산을 하게 되는데, Gamma Correction은 11개의  $y_{n-1}$ 과 11개의  $\left(\frac{y_n - y_{n-1}}{x_n - x_{n-1}}\right)$  값을 가지고 레지스터로 설정하였다.



$$y = y_{n-1} \left( \frac{y_n - y_{n-1}}{x_n - x_{n-1}} \right) (x - x_{n-1})$$

그림 6. 설계한 Gamma Correction의 원리  
Fig 6. Principle of designed Gamma Correction

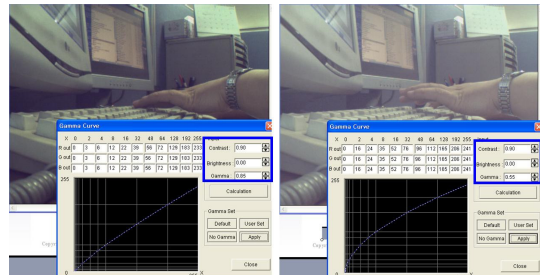


그림 7. Contrast와 Gamma 값의 변경에 따른 영상  
Fig 7. Image of changed Contrast and Gamma value

사용자 설정이 중요한 비전카메라를 위해 소프트웨어를 이용하여 Contrast와 Gamma 계수 값을 변경시키면 값에 따라 다른 Gamma Curve가 구해지고 이 적용 값에 따라 영상이 달라진다. 그림 7은 사용자의 설정에 따라 영상의 밝기 변화를 보여준다.

### 5. Color Space Conversion

앞에서 처리한 RGB 데이터로 연산을 하는 것 외에 휘도나 색차신호의 데이터를 이용한 연산처리가 많이 이용되므로 RGB 데이터를 YCbCr 데이터로 변환을 시키는 것이 여러 가지 영상 처리를 수행하는데 유리하다[10]. 이로 인하여 색 공간을 변환시키는 모듈이 필요하다.

일반적인 Color Space Conversion 식은 부동소수점 연산이 필요하므로 오차 허용 내에서 간단한 연산을 통해 변환할 수 있도록 정수화 시킨 아래의 수식을 사용한다. 다른 IP의 파라미터와는 다르게 계산되는 파라미터가 정해져 있다는 특성을 이용하여 곱셈기의 숫자를 줄이기 위하여 곱셈기 대신 쉬프트와 덧셈기를 이용하는 구조로 설계하였다.

$$Y = (77R+150G+29B)/256 \quad \text{Range: } 16 \sim 235$$

$$Cb = (-44R-87G+131B)/256+128 \quad \text{Range: } 16 \sim 240$$

$$Cr = (131R-110G-21B)/256+128 \quad \text{Range: } 16 \sim 240$$

### 6. I2C & Control Logic

레지스터로 설계된 파라미터들은 I2C 통신 방식을 이용하여 PC에서 설정 가능하도록 설계하였다. 8bit 기반의 I2C통신 방식을 이용하여 레지스터 값을 설정하게 되며, Control logic은 Camera module과 병렬로 연결되어 있기 때문에 0x11이라는 IP 주소를 갖게 된다. 그리고 표 1은 각 로직 블록에 있는 레지스터의 개수와 사용하고 있는 주소를 나타내고 있다.

표 1. 설정 레지스터 수와 주소  
Table 1. Set register numbers and addresses

	Register	Address
Interpolation	1	0x01
Color Correction	9	0x02 ~ 0x0A
Gamma Correction	21	0x10 ~ 0x24

### III. ISP의 구현 및 검증

개발된 ISP는 입력으로는 8bit bayer 신호를 받고 있으며 Interpolation과 Gamma Correction, Color Correction, YCbCr Converter에서는 변환된 24bit RGB 데이터를 사용한다. YCbCr Transform에서는 4:2:0 출력 포맷으로 변환하고 PCLK의 타이밍에 맞추기 위하여 YCb, YCr의 형태인 16bit로 출력한다.

각 블록은 RGB 데이터의 출력 시간에 맞게 임의로 enable 신호를 발생하여 다음 블록은 RGB 데이터와 enable 신호가 동시에 들어올 때 연산을 시작한다.

카메라에서 영상을 받아 Interface에서 SYNC신호를 맞춘 후 Interpolation에서 보간을 하고 실시간으로 데이터를 전송한다. 전송된 데이터는 Color Correction과 Gamma Correction에서 곱셈 연산을 하고 limiter를 통하여 일정 값을 넘는 데이터를 제한하여 출력한다. 출력된 데이터는 YCbCr converter 블록에서 multiplier를 대체한 shifter를 이용하여 연산된다. 이후 Transform 블록에서 Clock 스피드를 맞추기 위하여 4:2:2포맷으로 바뀌게 된다. 그림 8은 설계한 ISP의 블록 다이어그램이다.

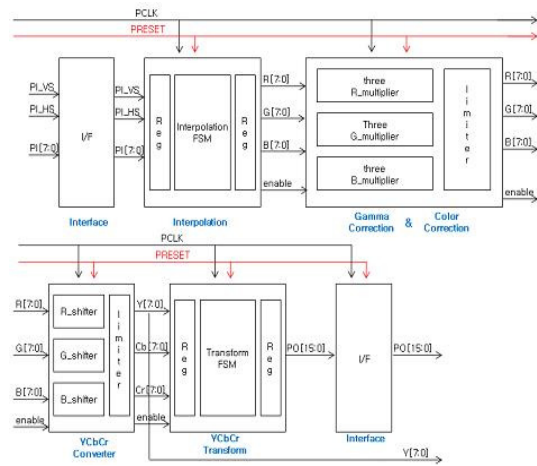


그림 8. 설계한 ISP의 블록 다이어그램  
Fig 8. Block diagram of designed ISP

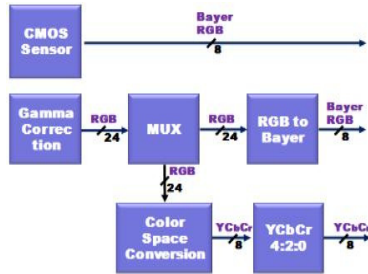


그림 9. 설계한 ISP의 출력형태  
Fig 9. Output type of designed ISP

다양한 환경에 사용할 수 있도록 외부의 보드에 설정 핀을 추가함으로써 3가지 출력 모드가 가능하도록 구현을 하였다. 그림 9를 보면 알 수 있듯이 구현한 ISP를 통과하지 않고 바로 8bit RGB bayer 패턴으로 출력하는 모드와 구현한 ISP를 통과한 이후 24bit RGB 패턴에서 8bit RGB 패턴으로 다시 변환되어 출력하는 모드, 그리고 마지막으로 8bit YCbCr 형태로 변환되어 출력되는 모드까지 3가지 출력 형태를 가지고 있다.

ISP의 검증 환경은 그림 10과 같이 VGA급의 CMOS 센서 카메라 모듈과 USB 방식으로 통신 기능을 수행하는 보드를 FPGA(RPS-3000) 보드와 연결하여 검증 환경을 구현하였고, 처리된 영상을 PC의 모니터에 출력을 하여 확인하였다.

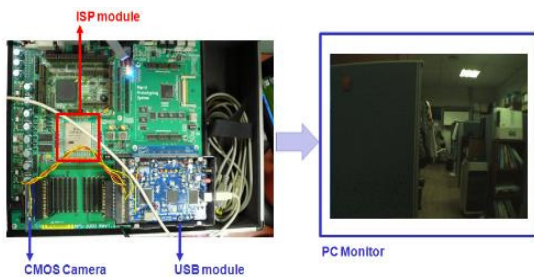


그림 10. ISP 검증환경  
Fig 10. ISP verification environment

그림 11은 사용자의 설정에 의하여 Color Correction의 파라미터와 Gamma Correction의 파라미터를 변경한 후 얻은 영상을 원 영상과 비교해 놓은 그림이다. 사용자가 주위 환경에 따라 Color Correction과 Gamma Correction을 변경하면 사용자가 영상의 원하는 색감과

밝기를 얻을 수 있다.



(a)



(b)



(c)

그림 11. 원 영상과 파라미터 변경 영상 비교  
(a) 원 영상 (b) Color Correction의 파라미터를 변경한 영상 (c) Gamma Correction의 파라미터를 변경한 영상  
Fig 11. Comparison of original image and changed parameter image (a) Image of original (b) Image of changed Color Correction parameter (c) Image of changed Gamma Correction parameter

하이닉스/매그나칩 0.35um 공정으로 구현된 ISP의 layout은 그림 12와 같다. VGA(640\*480) 급의 영상을 처리하기 위해 802개의 8bit 레지스터가 포함되어 있는 구조로 되어 있으며, 레지스터를 포함한 전체 게이트 수는 91450개이다.

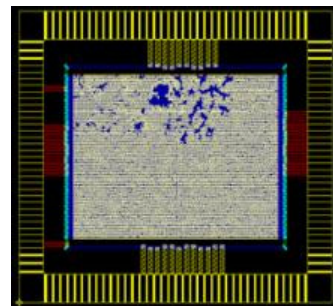


그림 12. 제안하는 ISP layout  
Fig 12. Proposed ISP layout

#### IV. 결 론

본 논문에서는 기존의 ISP기능을 소프트웨어로만 처리하여 많은 연산을 필요로 하는 문제점을 해결하기 위하여 하드웨어와 소프트웨어의 효율적인 분담을 통해 칩 면적을 크게 줄인 ISP를 제안한다. 연산을 빠르게 처리하기 위하여 연산이 많은 블록은 하드웨어로 설계하였고, 하드웨어의 면적을 고려하여 하드웨어와 소프트웨어를 동시에 이용하도록 설계하였다. 더불어 다양한 환경에 맞게 사용자 설정이 적용될 수 있는 ISP의 구조를 제안하고 설계하였다. 제안된 구조는 다양한 환경을 위하여 Color Correction, Gamma Correction의 각각의 파라미터를 상황에 맞게 변경하여 레지스터 값을 설정할 수 있는 구조로 되어 있다. I2C를 기반으로 하는 통신방법으로 PC에서 소프트웨어를 이용하여 파라미터를 쉽게 수정할 수 있도록 설계되었다.

설계된 ISP는 다양한 환경에 맞도록 파라미터를 쉽게 수정할 수 있는 이점뿐만 아니라, 빠른 영상처리 속도가 필요한 블록들은 계산라인 메모리를 최대한 적게 사용한 하드웨어로 설계하였기 때문에 Delay없이 실시간으로 처리되어 화면에 출력할 수 있는 이점도 가지고 있다. 더욱이 작은 FPGA칩에 들어갈 정도로 사이즈가 매우 작기 때문에 저렴한 비용으로 비전 카메라와 같은 특정한 목적에 사용할 수 있다.

#### 참고문헌

[1] 정보통신연구진흥원 학술정보, 주간기술동향 1190호

[2] Kimo Kim and In-Cheol Park, "Combined Image Signal Processing for CMOS Image Sensors", IEEE International Symposium on Circuits and Systems, pp. 3185-3188, May 2006

[3] 손승일, 이동훈, "CMOS 카메라 이미지 센서용 ISP 구현", 한국해양정보통신학회논문지, vol 11, no.3, pp. 555-562, 2007년 3월

[4] 이원재, 정윤희, 이성주, 김재석, "Single-chip CMOS Image Sensor를 위한 하드웨어 최적화된 고 화질 Image Signal Processor 설계", 전자공학회 논문지 제 44 권 SP 편 제 5 호, pp. 103-111, 2007년 9월

[5] B.K.Gunturk et al., "demosaicking: Color Filter Array Interpolation," IEEE Signal Processing Magazine, pp. 44-54, Jan. 2005.

[6] Kim, H., et al, "Digital signal processor with efficient RGB interpolation and histogram accumulation," IEEE Transactions on Consumer Electronics, 44, pp. 1389-1395, Nov 1998

[7] Dillon, P.L.P et al, "Color Imaging System Using a Single CCD Area Array", Solid-State Circuits, IEEE Journal of, vol 13, pp. 28 - 33, Feb. 1978.

[8] 장원우, 이성목, 하주영, 김주현, 김상준, 강봉순, "비선형 감마 커브를 위한 감마 라인 시스템의 비교", 한국해양정보통신학회논문지, vol 11, no.2, pp. 265-272, 2007년 2월

[9] C. Poynton, "Gamma and its disguises: The nonlinear mappings of intensity in perception, CRTs, film and video," SMPTE J., vol. 102, no.12, pp. 1099 - 1108, Dec. 1993.

[10] 안호필, 정효원, 하주영, 김강주, 강봉순, "모바일 폰 카메라용 ISP 플랫폼에서의 RGB to YCbCr 변환 블록의 구조개선", SoC 학술대회 pp. 448~451, 2009년 5월

#### 저자소개



**박정환(Junghwan Park)**

2009년 숭실대학교 정보통신전자공학부 학사  
2009년~현재 숭실대학교 전자공학과 석사과정

※ 관심분야: 신호처리, SoC설계



**박종식(Jongsik Park)**

2002년 숭실대학교 정보통신전자공학부 학사  
2007년 숭실대학교 정보통신공학과 석사

2007년~현재 숭실대학교 전자공학과 박사과정  
※ 관심분야: H.264 설계, 바이오칩 설계, 저전력 설계



**이성수(Seongsoo Lee)**

1991년 서울대학교 전자공학과  
학사

1993년 서울대학교 전자공학과  
석사

1998년 서울대학교 전자공학과 박사

1998년 ~ 2000년 University of Tokyo Research  
Associate

2000년 ~ 2002년 이화여자대학교 정보통신학과  
연구교수

2002년 ~ 현재 숭실대학교 정보통신전자공학부  
부교수

※ 관심분야 : 바이오칩 설계, H.264설계, 저전력설계,  
SiP설계