

# FPGA기반 멀티레벨 인버터의 다중 반송신호 PWM 기법 구현

全泰園<sup>†</sup>, 李弘熙<sup>\*</sup>, 金興根<sup>\*\*</sup>, 盧義哲<sup>\*\*\*</sup>

## Implementation of an FPGA-based Multi-Carrier PWM Techniques for Multilevel Inverter

Tae-Won Chun, Hong-Hee Lee, Heung-Geun Kim, and Eui-Cheol Nho

### 요 약

멀티레벨 인버터는 대용량 전력변환 분야의 요구를 만족하면서 과형왜곡을 감소시켜 전력품질 향상시킬 수 있으므로 근래에 상당히 주목받고 있다. 그런데 전압레벨이 증가함에 따라 복잡한 PWM 알고리즘을 구현하는데 FPGA가 적합하다. 본 논문에서는 FPGA로 5-레벨 다이오드 클램핑형 멀티레벨 인버터의 PWM 신호발생 기법을 제시한다. 유도전동기 제어용 DSP와 FPGA사이 3상 기준전압 값을 안정되게 전송하는 기법을 제시한다. 32-비트 DSP와 cyclone-III FPGA를 사용한 실험 및 시뮬레이션을 통하여 반송신호 발생 방법으로 PWM 신호를 발생시키는 기법의 타당성을 검증한다.

### ABSTRACT

Multi-level inverters have drawn much of attention in recent years because it can meet the demand of high power applications and good power quality associated with reduced harmonic distortion. As the number of voltage level increases, field programmable gate arrays (FPGAs) are suitable for the implementation of multi-level modulation algorithm. This paper proposes the implementation method for generating PWM pulses at the three phase diode clamped five-level inverter using FPGA. The strategy for communicating stably the data of three-phase reference voltages between the DSP and FPGA is suggested. The techniques for generating PWM signals based on a multi-carrier modulation method are carried out through the experiments with 32-bit DSP and Cyclone-III FPGA.

**Key Words** : FPGA, Multi-level inverter, PWM signal generator, Multi-carrier

### 1. 서 론

멀티레벨 인버터는 수 년 전부터 수 MW급 고압 유

도전동기 구동을 포함하여 대용량 분야의 전력변환기로 많은 주목을 받기 시작하였다. 왜냐하면 멀티레벨 인버터는 출력전압의 크기를 쉽게 증가시킬 수 있고, 고조파에 의한 과형왜곡을 감소시켜 전력품질을 향상시킬 수 있으며 전자파 역시 감소시키는 장점이 있기 때문이다<sup>[1][2]</sup>.

멀티레벨 인버터는 분리된 직류전원을 사용하는 H-브리지 형, 플라잉 커패시터 형, 다이오드 클램핑형 등으로 나눌 수 있으며, 또한 위의 두 가지 이상 토폴

<sup>†</sup> 교신저자 : 정회원, 울산대 전기전자정보시스템공학부 교수

E-mail : twchun@mail.ulsan.ac.kr

<sup>\*</sup> 정회원, 울산대 전기전자정보시스템공학부 교수

<sup>\*\*</sup> 정회원, 경북대 전기공학과 교수

<sup>\*\*\*</sup> 정회원, 부경대 전기공학과 교수

접수일자 : 2010. 6. 8

1차 심사 : 2010. 6. 28

심사완료 : 2010. 7. 15

로지를 조합하여 각 토폴로지별 존재하는 단점을 일부 보완하기 위한 하이브리드형이 있다<sup>[3]</sup>. 멀티레벨 인버터의 레벨을 높이면 출력전압의 계단 수가 증가되어 고조파 왜곡을 감소시키면서 출력전압 크기를 증가시킬 수 있다. 그런데 이 레벨 수의 증가는 필요한 스위칭소자 수를 증가시키고, 스위칭소자의 PWM제어 신호 역시 증가함에 따라 이 스위칭소자들의 스위칭 신호 발생 회로가 더 복잡하게 된다.

그런데 전력용 반도체회로 제어용으로 많이 사용되고 있는 DSP에는 PWM 신호 발생용 유니트가 내장되어 있으나, PWM 채널 수가 멀티레벨 인버터에서 요구하는 스위칭소자의 수에 비하여 턱없이 부족할 뿐 아니라, 이 PWM 기능을 소프트웨어로 구현하는 데에도 시간이 많이 소요된다. 많은 PWM 신호 등 복잡한 디지털회로를 쉽게 구현하기 위하여 프로그래머블 논리소자인 CPLD (Complex Programmable Logic Device)와 FPGA (Field Programmable Gate Array)등을 사용한다. 여기서 CPLD는 PAL방식으로 데이터 저장을 EEPROM으로 함으로써 전원을 꺼도 데이터를 유지하는 비휘발성이며 속도가 빠르다는 장점이 있으나 게이트 용량에 한계가 있으므로 용량이 작다는 문제점이 있다. 이에 반하여 FPGA는 데이터를 휘발성인 SRAM으로 저장하기 때문에 전원을 인가할 때마다 외부 configuration flash로부터 데이터를 다운로드하여야 한다는 문제점이 있으나, 게이트 용량이 상당히 크다는 장점과 함께 메모리와 PLL/DLL 등 다양한 기능을 가지고 있다.

따라서 FPGA를 멀티레벨 인버터의 PWM 신호발생용으로 사용하고, 멀티레벨 인버터 제어용으로는 DSP를 사용하는 것이 최적의 조합이다. 이 FPGA를 멀티레벨인버터의 PWM 신호 발생용으로 사용하는 논문이 발표되었으나,<sup>[4-7]</sup> 대부분이 간단한 단상 인버터의 PWM 신호 구현방식을 제시하였으며, 또한 제어용 DSP에서 PWM 신호발생용 FPGA사이에 효율적인 데이터 전달 방식은 거의 연구되지 않는 실정이다.

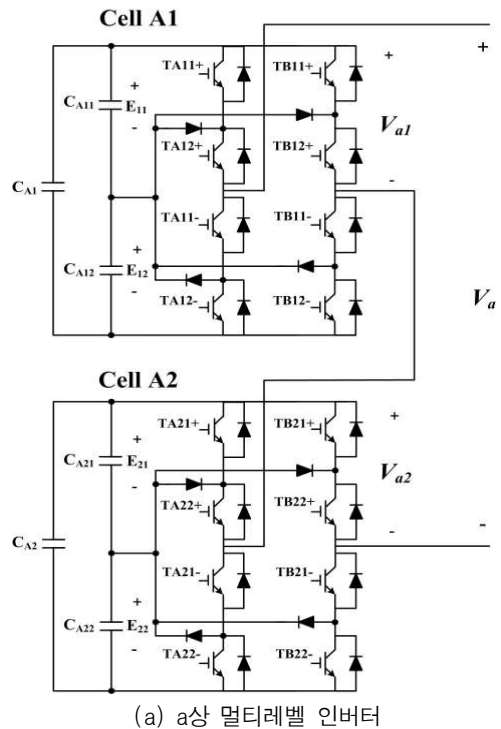
본 논문에서는 멀티레벨 인버터 종류 중 3-레벨 Neutral point clamp (NPC) 구조의 다이오드 클램핑형 멀티레벨 인버터 2개를 직렬로 연결하여 5-레벨 출력전압을 가지는 인버터를 구성한다. 이 멀티레벨 인버터의 제어하기 위하여 2-레벨 인버터에서 많이 사용하고 있는 공간변조기법을 사용하는 논문들이 많이 발표되었으나, 출력전압의 레벨 수가 증가할수록 연산량 및 제어알고리즘이 급격히 복잡해진다는 문제점이 있다<sup>[7-9]</sup>. 따라서 5-레벨 인버터와 같이 레벨 수가 많은

멀티레벨인버터에는 공간벡터를 이용한 SVPWM방식은 적용하기가 상당한 문제점이 있으므로, 반송신호기반의 SPWM방식을 채택하여 3상 5-레벨 인버터에서 FPGA를 사용한 PWM 신호 발생 기법을 제시한다. 32-비트 DSP와 Cyclone-III FPGA를 사용한 실험을 통하여 제시한 기법의 타당성을 확인한다.

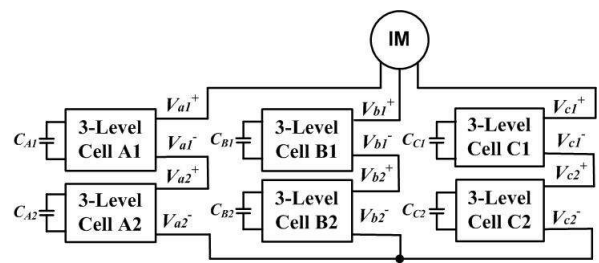
2. 멀티레벨 인버터 구조 및 PWM 방식

2.1 3상 직렬형 멀티레벨 인버터 구조

그림 1은 3-레벨 NPC 인버터 두 개를 직렬로 연결한 3상 직렬형 인버터를 그린 것이다.



(a) a상 멀티레벨 인버터



(b) 3상 멀티레벨 인버터

그림 1 직렬형 멀티레벨인버터 구조  
Fig. 1 Structure of cascaded multilevel inverter

그림 1(a)에서는 3-레벨 NPC 인버터를 한개의 셀로 하고, 두개의 셀을 직렬로 연결한 구조를 가지고 있다. 각 셀별 8개의 스위칭소자로 구성되어 출력 전압은 3-레벨이므로, 2개 셀을 직렬로 연결하여 5-레벨의 출력 전압을 발생할 수 있는 멀티레벨 인버터로 구성하였다. 두 개의 셀은 독립적인 입력 직류전원을 가지며, 이 직류전원 전압 즉 커패시터  $C_{A1}$  (또는  $C_{A2}$ )에 걸리는 전압을  $2E$ 라 할 경우 셀 A1의 2개 커패시터  $C_{A11}$  과  $C_{A12}$  (셀 A2의 경우에는  $C_{A21}$  과  $C_{A22}$ )에 전압  $E$ 로 각각 분배된다.

한편 출력전압  $V_a$ 은 다음과 같이 계산할 수 있다.

$$V_a = (S - \frac{n-1}{2})E \quad (1)$$

여기서  $n$ =레벨 수,  $E$ 는 분배 커패시터 전압,  $S$ 는 0에서  $(n-1)$ 의 범위의 스위칭상태이다. 따라서 레벨 수  $n$ 이 9일 경우에는 출력전압은  $-4E, -3E, -E, 0, +E, +2E, +3E, +4E$ 의 전압 값으로 구성된다.

그리고 그림 1(b)와 같이 b상과 c상은 a상과 같이 두개 셀을 직렬로 각각 연결하여 3상 멀티레벨 인버터를 구성한다. 한 상에 16개 스위칭소자의 PWM 신호가 필요하므로 3상에서는 총 48개의 PWM 신호를 발생시켜야 한다.

### 2.2 다중 반송신호 PWM 방법

멀티레벨 인버터에서 사용하는 스위칭 패턴으로 기존의 인버터에서 사용되는 공간벡터 PWM (SVPWM), 특정고조파 제거 PWM (SHEPWM), 반송신호 기반의 정현파 PWM (SPWM) 기법 등이 사용되고 있다. 기준전압벡터를 얻기 위하여 최적의 전압벡터를 선정하는 SVPWM 기법은 성능은 우수하나 전압레벨 수가 증가할수록 전압벡터 섹터가 증가되면서 선택하여야 할 전압벡터 수가 급격히 증가된다. 따라서 제어가 복잡해지고 계산량이 많이 증가한다. 따라서 3-레벨 인버터까지는 이러한 PWM기법을 적용한 사례가 이 발표되었으나,<sup>[7-9]</sup> 5-레벨 인버터의 경우는 사용할 수 있는 전압벡터의 수가 너무 많으므로 SVPWM기법을 적용하기가 매우 어렵다.

본 논문에서는 구현이 비교적 간단하고 인버터 전압레벨 변화에 쉽게 변경시킬 수 있는 정현파 기준전압과 다중 레벨의 반송신호와 비교하는 SPWM방식을 사용한다<sup>[10]</sup>. 그림 2는 다중 반송신호를 정현파 기준신호와 비교하여 펄스 폭을 제어하는 방식을 보인 것으로, 다중 반송신호 PWM방법으로 MWMW 방식,

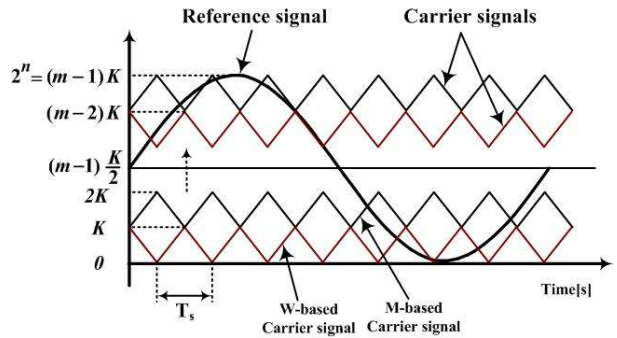


그림 2 다중 반송신호 PWM 방법  
Fig. 2 Multi-carrier PWM strategy

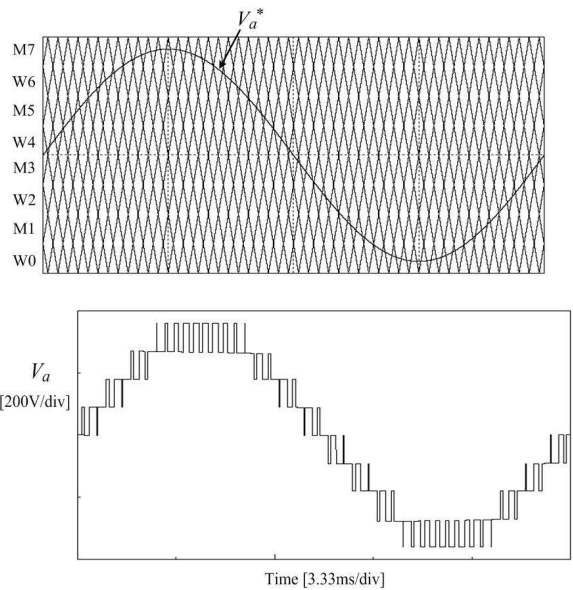


그림 3 반송신호, 기준신호 및 출력전압 파형  
Fig. 3 Waveforms of carrier signal, reference voltage, and output voltage

MMMW 방식, MWMW 방식이 있으나, MWMW방식을 사용하였다. 이 그림에서 보면 M-기반 반송신호와 W-기반 반송신호를 레벨 이동시켜 8개의 반송신호를 발생시키며, 이 때 레벨 이동시키는 읍셋 값은 인버터의 출력전압의 단계 수 및 기준전압의 정밀도에 결정된다. 출력전압의 단계 수를  $m$ , 기준전압 값을  $n$ -비트 데이터로 할 경우, 읍셋변수  $K$  값은 다음 식과 같이 구할 수 있다.

$$K = \frac{2^n}{m-1} \quad (2)$$

그림 3은 MWMW형식의 8개의 반송신호와 a상 기

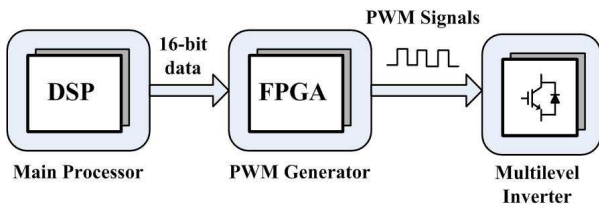


그림 4 PWM 신호 발생회로 블록도  
Fig. 4 Block diagram of PWM signal generator

표 1 데이터 전송방법 [1]  
Table 1 Data transmission method [1]

ID Bits		Reference data
D15	D14	D13~ D0
0	0	$V_a^*$ Data
0	1	$V_b^*$ Data
1	0	$V_c^*$ Data

준전압 파형에 대한 출력전압을 보인 것이다. 기준전압의 변조계수  $M=0.9$ 이므로 출력전압은 9개 전압레벨을 갖고 있다.

### 3. FPGA를 사용한 PWM 구현방식

그림 4는 FPGA를 이용한 멀티레벨 인버터의 PWM 신호 발생회로 블록도이다. DSP에서는 교류전동기 제어루프를 수행하고, FPGA는 멀티레벨 인버터의 PWM 신호를 발생시킨다. 매 샘플링시간마다 교류전동기의 제어루프 수행 후 출력되는 3상 기준전압 값을 DSP의 16-비트 입/출력포트를 통해 FPGA로 전송한다.

#### 3.1 FPGA 전송데이터 구성

DSP에서 FPGA로 전송하는 16-비트 데이터 구성방법에서 두 가지 방법을 서술한다. 먼저 첫 번째 데이터 구성방식은 표1과 같으며, 상위 2개 비트는 3상 기준전압 선택용 ID비트이고 나머지 하위 14개 비트는 기준전압 값으로 지정한다. 즉 D15의 D14의 2개 비트 조합으로 a상, b상, c상을 정하고, 나머지 14비트 즉 D13에서 D0는 기준 전압 값을 전송한다.

그림 5는 표1과 같이 첫 번째 전송데이터 구성 방법을 사용 시, 각 샘플링시간마다 DSP에서 유도전동기 제어루프를 수행한 후 출력된 3상 기준전압 값을 16-비트 DSP 출력포트를 통하여 a상 기준전압부터 순차

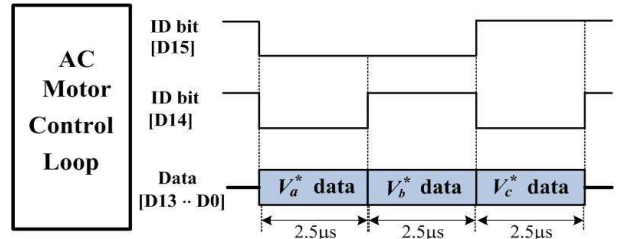


그림 5 데이터 전송 방법[1]의 타이밍  
Fig. 5 Data transmission timing with method [1]

표 2 데이터 전송방법 [2]  
Table 2 Data transmission method [2]

ID Bits			Reference data
D15	D14	D13	D12~ D0
0	1	1	$V_a^*$ Data
1	0	1	$V_b^*$ Data
1	1	0	$V_c^*$ Data

적으로 ID 비트와 기준전압 값을 FPGA로 전송하는 타이밍을 그린 것이다. 그런데 이 방식은 ID로 2개 비트만 지정하는 장점이 있으나 기준전압이 바뀌는 과도 지점에서 잘못된 ID비트 값을 읽을 수 있는 확률이 있다는 문제점이 있다. 여기서 FPGA에서 과도상태에 읽지 않고 데이터의 중간부분을 읽도록 할 경우에는 이러한 문제를 해결할 수 있으나, FPGA에서는 3상 전압데이터가 변화하는 시점 즉 과도상태를 체크한 후 타이머 등을 사용하여 데이터의 중간부분에 읽어야 하기 때문에 실제 구현하기가 상당히 어렵다.

따라서 이 문제를 해결하기 위하여 두 번째 데이터 전송방법을 제시한다. 이 전송방법은 표 2와 같이 상위 3개 비트는 3상 기준전압 선택용 ID 비트로 하고 나머지 하위 13개 비트는 기준전압 값을 지정한다. 즉 D15가 '0'일 경우에는 a상 기준 전압 값, D14가 '0'일 경우에는 b상 기준 전압 값, D13이 '0'일 경우 c상 기준 전압 값을 전송한다.

그림 6은 DSP에서 FPGA로 3상 기준전압 값을 안정되게 전송하기 위한 두 번째 데이터 전송 방법 타이밍을 보인 것이다. DSP에서 전송한 기준전압 값이 안정된 상태에서 FPGA에서 전송받기 위하여 ID 비트가 활성화되는 시간을 전후하여  $3\mu\text{sec}$  동안 기준전압 값을 유지한다. 즉 먼저 a상 기준전압 값을 D12-D0의 13-비트 포트로 출력하고  $0.5\mu\text{sec}$  후에 이 기준 값이 안정된 상태가 되면 a상 전압 선택 비트인 D15를 '0' 상태로 하고  $2\mu\text{sec}$  동안 '0' 상태를 유지한다. D15가 '1'

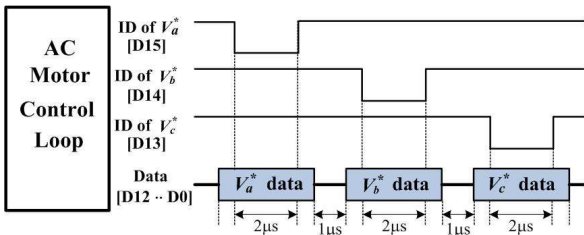


그림 6 방법 [2]를 사용 시 데이터 전송타이밍  
Fig. 6 Data transmission timing with method [2]

상태로 된 후에도 a상 전압 값을 0.5μsec동안 더 유지시킨다. FPGA에서는 D15비트 상태를 체크하여 '0'이 되면 13비트 입력포트를 통하여 a상 기준 값을 읽어 들인다.

다음 1μsec 경과 후에 b상 기준전압과 ID비트(D14), c상 기준전압과 ID비트(D13)을 a상 기준전압과 동일한 방법으로 출력한다.

### 3.2 FPGA를 이용한 PWM 신호발생

그림 7은 멀티레벨 인버터의 PWM 파형을 발생시키기 위한 FPGA의 내부구조이다. 먼저 오실레이터에서 10MHz주파수의 클럭을 FPGA에 입력하면 16비트 업/다운카운터를 사용하여 앞의 반주기는 업 카운팅하고 다음 반주기는 다운 카운팅하여 주파수가 5kHz인 삼각파 즉 M-밴드 기본반송신호를 발생시킨다. 다음은 다른 16비트 업/다운 카운터를 사용하여 앞 반주기는 다운 카운팅하고 다음 반주기는 업 카운팅함으로써 M-밴드 기본반송신호와 180°위상차를 가지는 W-밴드 기본반송신호를 만든다. 다음은 식(2)의 옹셋값으로 기준 M-밴드 및 W-밴드 기본반송신호를 8단계로 조정하여 M7, W6, M5, W4, M3, W2, M1, W0 등 8개의 반송신호를 발생시킨다.

한편 DSP에서 전송받은 16비트 데이터 중 상위 3개

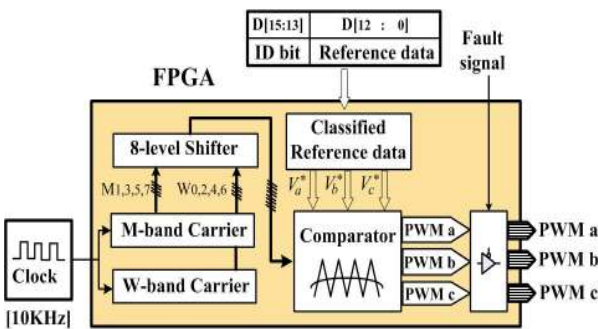


그림 7 FPGA 동작 블록도  
Fig. 7 Block diagram of FPGA operation

비트 D15, D14, D13을 분석하여 3상 중 어떤 상의 기준전압이 입력된 지를 판별하고 각 상 기준전압 값을 입력한다. DSP로부터 3상 기준전압 값을 모두 전송받은 후, M-밴드 기본반송신호 발생용 16비트 타이머가 언더플로우일 때 반송신호 비교용 3상 기준전압 값을 전송받은 새로운 값으로 갱신한다. 다음은 이 3상 기준전압 값과 8개의 반송신호와 비교하여 각 상마다 16개 PWM 신호 파형을 발생시키며, 3상 출력 PWM 파형 수는 총 48개가 된다.

멀티레벨 인버터의 전력회로에서 과전류 등 고장신호가 발생되면 3상 출력 PWM 신호 모두 차단시키는 보호장치가 포함되어 있다. FPGA는 Altera사의 Cyclone III인 EP3C10E144 모델을 사용하였다.

## 4. 실험장치 구성 및 실험결과

교류전동기 제어용 직렬형 멀티레벨 인버터의 실험장치 구성 및 실험결과를 보인다.

### 4.1 실험장치 구성

교류전동기 제어용 멀티레벨 인버터 시스템은 직렬형 멀티레벨 인버터의 전력회로와 제어회로로 구성된다. 교류전동기 제어용으로 TI사의 32-비트 DSP인 TMS320F2812를 사용한다. 3상 교류 전류와 전압, 커패시터 전압은 측정회로와 DSP에 내장된 A/D컨버터를 통하여 검출되며, 인코더 출력펄스를 QEP 기능을 사용하여 전동기 속도를 계산한다.

이 DSP 출력포트로 출력된 16-비트 데이터가 FPGA로 전송되면, FPGA에서는 각 상별 16개 PWM



그림 8 멀티레벨 인버터 사진  
Fig. 8 Photograph of multilevel inverter

신호를 출력한다. 외부 3개 보드를 통하여 3상의 PWM 신호가 광케이블을 거쳐 IGBT 구동회로에 입력된다. 한편 각 IGBT 모듈 구동회로에서 출력되는 고장신호를 입력받아 LED로 고장상태를 표시하면서, FPGA에서 출력되는 모든 PWM 신호를 차단시킨다. 그 외 4-채널 12비트 D/A컨버터로 제어시스템의 주요 변수 값을 디지털 오실로스코프로 관찰할 수 있으며, RS232C를 통하여 DSP와 상위 컴퓨터 간에 직렬통신으로 데이터를 교환한다.

그림 8은 주 보드와 3상 PWM 구동회로용 3개 외부보드로 구성된 제어보드, 48개 IGBT와 구동회로 및 입력단 3상 변압기 등으로 구성된 5-레벨 인버터의 사진이다.

### 4.2 시뮬레이션 및 실험결과

그림 9는 MAX+II로 FPGA내 PWM발생 프로그램의 타당성을 확인하기 위한 시뮬레이션 결과이며, a상과 b상 및 c상 기준전압을 각각 변조계수 0.3, 0.5, 0.8로 일정값으로 하였을 경우 각 상별 PWM 파형을 보인 것이다. 또한 고장신호가 발생 시 3상 모든 PWM 출력신호가 차단됨을 알 수 있다.

그림 10은 3상 PWM 신호발생에 대한 실험결과이며, (a)는 a상 기준전압의 변조계수가 0.3일 경우 a상 PWM 신호, (b)는 b상 기준전압의 변조계수가 0.5일 경우 b상 PWM 신호, (c)는 c상 기준전압의 변조계수가 0.8일 경우 c상 PWM 신호를 보인 것으로, 그림 9의 시뮬레이션 결과와 동일함을 알 수 있다.

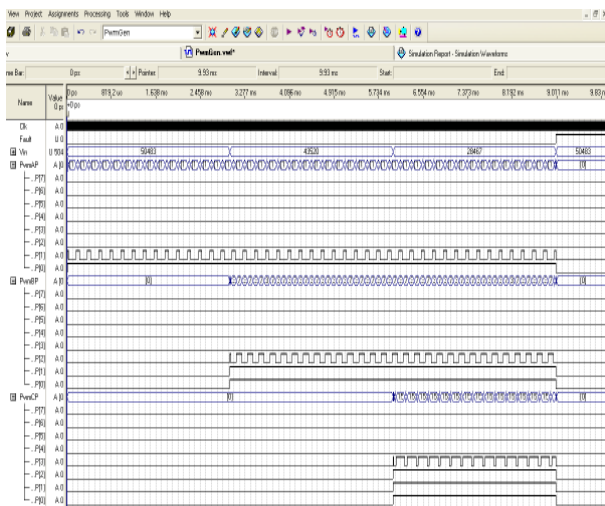
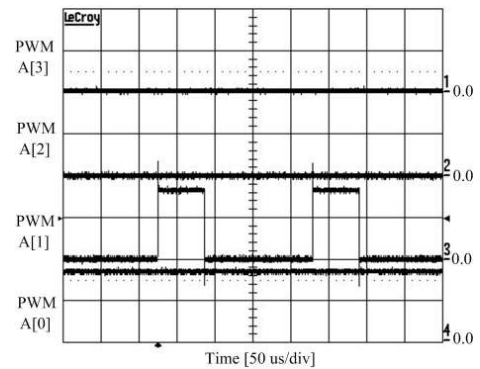
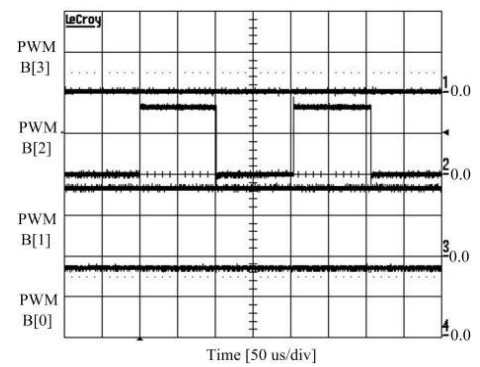


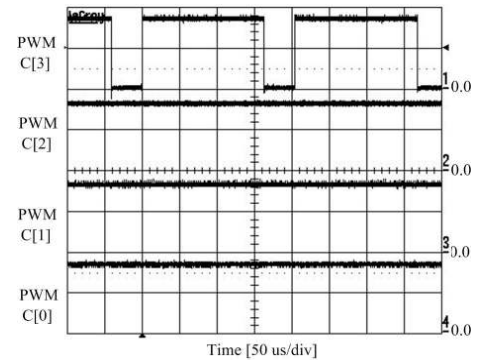
그림 9 3상 PWM 신호 발생 시뮬레이션 결과  
Fig. 9 Simulation results for generating 3-phase PWM signals



(a) a상 PWM 신호 (M=0.3 경우)



(b) b상 PWM 신호 (M=0.5 경우)



(c) c상 PWM 신호 (M=0.8 경우)

그림 10 변조계수에 대한 3상 PWM 신호  
Fig. 10 3-phase PWM signals with a modulation index

그림 11은 첫 번째 데이터 전송방법을 사용 시 DSP에서 FPGA로 전송하는 3상 기준전압 데이터의 전송 타이밍에 대한 실험결과를 보인 것이다. 이 그림의 제일 위쪽 파형이 DSP에서 전동기 제어루프를 수행한 후 기준 전압값을 전송한 시점을 표시한 것이며, 나머지 두 파형은 3상 기준전압의 ID비트인 D15와 D14이다. 두 ID비트는 그림 5와 같이 변화함을 알 수 있다.

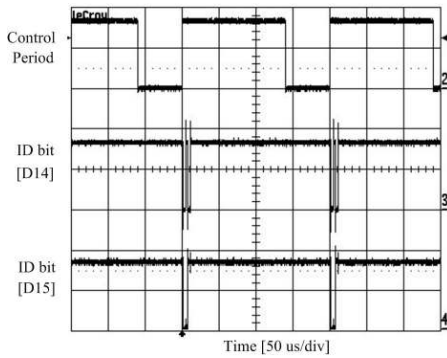


그림 11 기준전압 전송 타이밍 [1]  
Fig. 11 Timing for transmitting reference voltage [1]

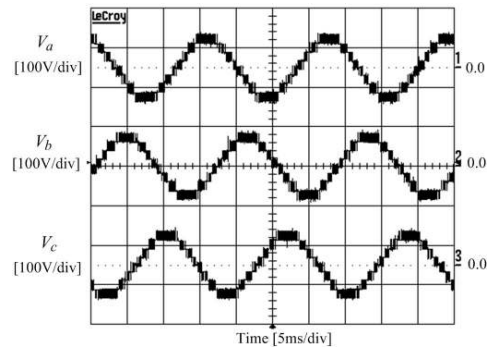
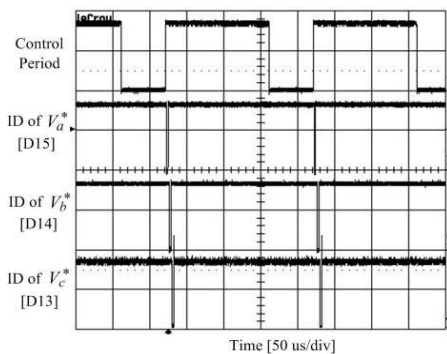
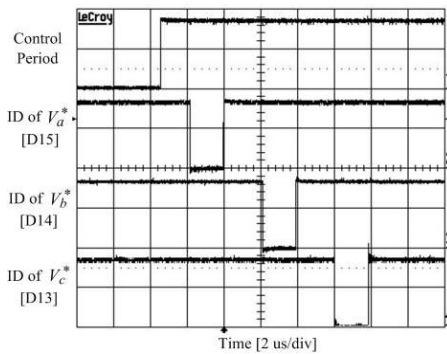


그림 13 3상 출력전압 (변조계수 = 0.9)  
Fig. 13 3-phase output voltage at M=0.9



(a) 기준전압 ID 비트 전송 타이밍



(b) 기준전압 전송 부분 확대 파형

그림 12 기준값 전송 타이밍 [2]  
Fig. 12 Timing for transmitting reference data [2]

그림 12는 두 번째 전송방식으로 3상 기준전압 데이터의 전송타이밍의 실험결과를 보인 것이며, 그림 12(b)는 기준전압 출력시점을 확대한 파형이다. 첫 번째 파형은 샘플링시간 200usec동안 교류전동기의 제어루프를 수행한 구간을 보인 것이며, 이 제어루프 수행 후 a상 기준전압 ID비트 D15가 '0'상태로 된다. 다음은 4usec 간격으로 b상 기준전압 ID비트 D14와 c상

기준전압 ID비트 D13이 순차적으로 '0'상태가 됨을 알 수 있다.

그림 13은 기준전압의 변조계수가 0.9일 경우 멀티레벨 인버터의 3상 출력전압파형을 보인 것으로, 출력전압이 9개 전압레벨을 가짐을 알 수 있다

### 5. 결 론

본 논문에서는 3-레벨 NPC 인버터를 모듈을 두 개 직렬로 연결한 3상 직렬형 멀티레벨 인버터의 PWM 신호 발생을 FPGA를 사용하여 구현하는 방식을 제시하였다. 교류전동기의 제어용으로 사용되는 32-비트 DSP와 FPGA사이에 3상 기준전압값을 안정되게 전송하는 데이터 전송방법을 개발하였다. 그리고 FPGA로 8개 레벨의 다중반송파를 발생시키는 방식은 멀티레벨 인버터에서 전압레벨 수가 증가 시 또는 MMMM방법 및 MMWW방법 등 다른 PWM방식을 사용 시에도 쉽게 수정할 수 있는 장점이 있다. 실험 및 시뮬레이션을 통하여 본 논문에서 제시한 FPGA로 PWM 발생 기법의 타당성을 확인하였다..

이 논문은 2009년도 울산대학교 연구비에 의하여 연구되었음

### 참 고 문 헌

[1] A.Nahae, I.Takahashi, and H.Akagi, "A New neutral-point-clamped PWM Inverter", *IEEE Trans. Ind. Appl.* Vol. 17, No. 5, pp. 518-532, 1981, Sep./Oct.  
[2] B.Singh, B.N.Singh, A.Chandra, K.A1-Haddad,

- A.Pandey, and D.Kothari, "A review of three-phase improved power quality AC-DC converters", *IEEE Trans. Ind. Electron.*, Vol. 51, No. 3, pp. 641-660, 2004, Jun.
- [3] J.Rodriguez, J.Lai, and F.Z.Peng, "Multilevel inverters: A survey of topologies, controls, and applications", *IEEE Trans. Ind. Electron.*, Vol. 49, No. 4, pp. 724-738, 2002, Aug.
- [4] J.J.Rodriguez-Andina, M.J.Moure, and M.D.Valdes" Features, design tools, and application domains of FPGAs", *IEEE Trans. Ind. Electron.*, Vol. 54, No. 4, pp. 1810-1823, 2007, Aug.
- [5] C.Sanabria, S.Ramiex, V.Cardenas, and J.Arau, "PWM Switching Patterns Optimization for Multilevel Inverter Using a FPGA", in *Proc., IEEE-CIET*, pp. 207-211, 2004.
- [6] S.Mekhilef and A.Masaoud, "Xilinx FPGA Based Multilevel PWM Single Phase Inverter", in *Proc., IEEE-ICIT*, pp. 259-264, 2006.
- [7] O.Lopez, J.Alvarez, J.D.Gandoy, F.D.Freijedo, A. Nogueiras, A.Lago, and C.M.Panalver, "Comparison of the FPGA Implementation of Two Multilevel Space Vector PWM Algorithms", *IEEE Trans. Ind. Electron.*, Vol. 55, No. 4, pp. 1537-1547, 2008, April.
- [8] O.Lopez, J.Alvarez, J.D.Gandoy, and F.D.Freijedo, "Multilevel Multiphase Space Vector PWM Algorithm", *IEEE Trans. Ind. Electron.*, Vol. 55, No. 5, pp. 1933-1942, 2008, May.
- [9] L.Franquelo, M.Prats, R.Portillo, J.Galvan, M.Perales, J.Carrasco, E.Diez, and J.Jimenez, "Three-dimensional space-vector modulation algorithm for four-leg multilevel converters using abc coordinates", *IEEE Trans. Ind. Electron.*, Vol. 53, No. 2, pp. 458-466, Apr.
- [10] N.A.Azli and P.Y.Lim, "Implementation of a Single-carrier Multilevel PWM Technique Using Field Programmable Gate Array (FPGA)", in *Proc., IEEE-PEDS, 2007*, pp. 836-841, 2006.

## 저 자 소 개



### 전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 대학원 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학). 2005년 버지니아공대 방문교수. 현재 울산대 전기전자정보시스템공학부 교수. 당 학회 부회장.



### 이홍희(李弘熙)

1957년 10월 15일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1990년 동 대학원 전기공학과 졸업(공학). 1994년~1995년 Texas A&M 방문교수. 현재 울산대 전기전자정보시스템공학부 교수.



### 김흥근(金興根)

1956년 4월 24일생. 1980년 서울대 공대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1988년 동 대학원 전기공학과 졸업(공학). 현재 경북대 전기공학과 교수. 당 학회 경상지부장.



### 노의철(盧義哲)

1960년 8월 2일생. 1984년 서울대 공대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 2005년~2006년 미국 University of California-Irvine 방문교수. 1995년~현재 부경대 전기공학과 교수. 당 학회 학술위원장.