

고성능 DSP 제어기를 사용한 태양광인버터의 하모닉 추출 기법에 대한 연구

李貞恩*, 閔俊基**, 金一松†

Study on the Harmonic Extraction Technique of the Power Conditioning System using High Performance DSP Controller

Jeong-Eun Lee, Jun-Ki Min, and Il-Song Kim

요 약

태양광 인버터(PCS)는 태양전지에서 발생된 전력을 계통에 연계시키는 장치이다. IEEE 1547 규격에 따르면 PCS에서 발생하는 고조파왜곡은 5% 이내여야만 한다. 일반적으로 PCS에서 계통으로 유입되는 고조파 검출은 전용 계측장치에 의해서 측정된다. 초기에 규격에 맞게 설계된 PCS의 고조파가 소자들의 노화나 제어기 고장에 의해 증가하게 될 경우 발전을 중지하거나 경보를 발생시켜야 한다. 기존의 상용화된 시스템에는 이러한 기능이 존재하지 않는다. 본 연구에서는 PCS 내부에 고조파왜곡을 실시간으로 측정하는 알고리즘을 내장시키는 방법에 대해 연구한다. 고성능 32-bit 부동소수점 DSP를 이용한 PCS를 제작하고 256-point DFT(Discrete Fourier Transform) 알고리즘을 이용하여 1[ms] 이내에 하모닉 계수를 계산하였다. 제어기 제작에 대한 설명과 실험 결과로서 연구의 타당성을 입증하였다.

ABSTRACT

The main function of the power conditioning system (PCS) is grid-connection with renewable system. The level of total harmonic distortion(THD) caused by the PCS should be maintained less than 5% according to the IEEE-1547 regulation. The THD is measured by the dedicated instrument, not by the PCS in the domestic products. There should be the necessity for harmonic measurement by the PCS in order to cope with degradation or fault condition. In this paper, the real-time harmonic measurement technique using high-performance DSP controller is presented. The proto-system is manufactured using 32-bit floating DSP processor and tested with 256-point DFT(Discrete Fourier Transform) algorithm. The test result shows that the harmonic calculation time is less than 1 [ms]. It can be used as a auxiliary method for predicting the fault in the PCS system.

Key Words : Harmonic extraction, PCS, DFT, THD, DSP

1. 서 론

†교신저자 : 정희원, 충주대 전기공학과 조교수

E-mail : jskim@cju.ac.kr

*학생회원, 충주대 전기공학과 석사과정

**정회원, (주)다스텍 책임연구원

접수일자 : 2010. 4. 6

1차 심사 : 2010. 5. 3

심사완료 : 2010. 6. 19

화석연료의 사용으로 야기되는 환경오염과 고갈로 인해 대체에너지의 발전 비중은 점점 높아지고 있다. 대표적인 신재생 에너지원으로 태양광 발전시스템과 풍력발전 시스템 등이 있다. 이 시스템들의 소스는 직

류이기 때문에 교류인 계통에 연계시키기 위해서는 계통형 인버터(PCS)를 필요로 하게 된다. PCS는 전력반도체 소자들을 이용하여 직류전원을 스위칭하여 교류를 만들기 때문에 필연적으로 고조파 노이즈가 발생하게 된다. 과도한 고조파 발생으로 계통의 허용량을 초과하게 될 경우는 전력계통에 접속되어 있는 타 부하기의 동작에 악영향을 초래할 우려가 있기 때문에 신재생에너지원의 경우에 대해서는 고조파 억제를 법적으로 규제하고 있다^[1].

IEEE 1547 규격에 따르면 PCS에서 발생하는 고조파왜곡(THD)은 5% 이내로 제한되어 있다. 고조파 왜곡은 제품의 인증단계에서 전용 측정 장비를 이용하여 측정된다. THD 측정에 많은 계산량과 정밀한 측정 정밀도를 요구하기 때문에, PCS에 THD 측정 알고리즘과 하드웨어를 내장하기에는 많은 무리가 따르게 된다.

만약 대량 생산된 PCS에서 하드웨어의 노후나 전압, 전류 센서의 오동작 및 스위칭 소자의 고장으로 인해 고조파가 발생하게 될 경우 PCS 자체에서 측정할 수 있는 방법이 없기 때문에, 발전을 중지하거나 계통과의 연결을 차단할 수 있는 보호 기능이 없다. 이와 같은 단점을 해결하기 위해, 외국산(특히 독일) PCS 같은 경우에, 또 다른 프로세서 보드를 장착하여 고조파나 고장진단과 같은 기능만을 전용으로 측정하도록 되어있는 제품도 상용화 되어 있다.

본 연구에서는 고성능 DSP를 프로세서로 사용하여 PCS 기본 기능과 고조파 측정을 실시간으로 할 수 있는 제어기를 설계, 제작 및 시험하였다. 고조파 측정 및 계산은 PCS의 제어 기능 수행 중 계통전원의 매 주기마다 수행된다. 추가의 하드웨어나 구성의 추가 없이 소프트웨어 코드 추가만으로 원하는 기능을 수행하였다. 실험 결과 계통 전원의 한 주기 내에 계산결과를 얻어 낼 수 있어서 실시간 THD 측정과 제어가 가능하다.

2. 고조파 측정을 위한 수학적 모델링

시간 주기를 갖는 신호의 주파수 성분을 알아내는 대표적인 방법으로 이산 푸리에 (DFT : Discrete Fourier Transform) 변환이 있다. 이 방식은 이산 주기 신호 $x(k)$ 의 N 개의 신호를 푸리에 변환에 의해서 N 개의 주파수 성분 신호로 변환하는 것이다^[2-5]. 변환된 주파수 신호는 $N/2$ 개의 실수부와 $N/2$ 개의 허수부로 구성된다.

N -개의 이산 주기 신호 $x(k)$ 의 이산 푸리에 변환은 다음과 같이 정의된다.

$$X(k) = \sum_{n=0}^{N-1} x(n)W_N^{kn}, \quad k=0,1,\dots,N-1 \quad (1)$$

수식 (1)의 값들의 정의는 다음과 같다.

$$W_N^{kn} = e^{-j2\pi kn/N} : \text{twiddle factor}$$

N : 한주기내의 샘플링 갯수

위 식에서 k 인 경우 N 번의 곱셈과 $N-1$ 번의 덧셈이 필요하게 된다. 따라서 N 개의 DFT 계수를 구하기 위해서는 $N*N$ 의 곱셈과 $N*(N-1)$ 의 덧셈이 필요하다. FFT는 이 계산을 단순화하기 위해 DFT를 더 작은 DFT로 반복적으로 분해하는 방법이다. 가장 대표적인 방식이 2-radix 분해 방법이다. 즉 전체 DFT 순열을 2개의 DFT로 분해하고, 각각을 2개의 더 작은 DFT로 계속해서 분해하여 최소의 DFT 단위가 얻어질 때까지 반복해나가는 방식이다. 2개의 DFT로 분해하는 방식의 DFT를 butterfly라고도 부른다. 이 방식은 $(N/2)*\log_2 N$ 의 곱셈과 $(N)*\log_2 N$ 의 덧셈을 필요로 하기 때문에 계산량이 감소하게 된다.

그림 1에 radix-2 방식의 FFT($N=8$) 그래프를 보여 주고 있다.

3단계($2^3 = 8$)로 이루어지며 총 단계의 수는 $\log_2 N$ 에 의해서 얻어진다. 입력 신호 순서는 bit reversal 순서로 이루어지고, 출력 주파수 성분들은 순서대로 정렬된다.

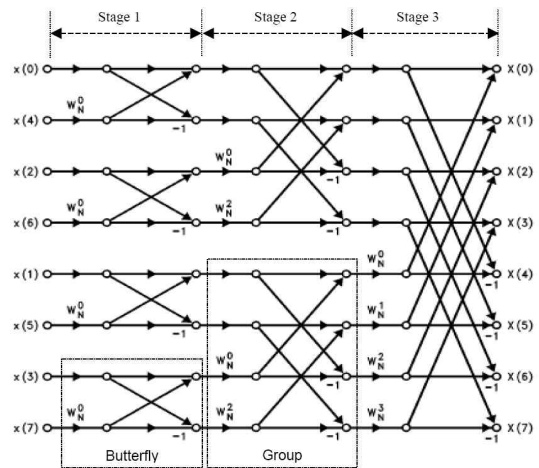


그림 1 N=8에 대한 FFT 흐름도
Fig. 1 FFT flow graph for N=8 point

Stage 1은 1조합의 4개의 butterfly로 구성되며, Stage2는 2조합의 2개 butterfly, 그리고 Stage 3는 4조합의 1개 butterfly로 구성된다. 각 단계에서 twiddle factor 가 곱해지며 $W_N^0, W_N^1, W_N^2, \dots, W_N^{N/2-1}$ 로 구성된다. twiddle factor는 실수부와 허수부로 이루어지며

$$W_N^r = W_{re} - jW_{im} = e^{-j2\pi r/N} = \cos(2\pi r/N) - jsin(2\pi r/N) \quad (2)$$

계수 $r = 0, \dots, (N/2 - 1)$ 범위를 갖는다. twiddle factor는 반복되는 값이므로, 계산이 아니라 메모리에 저장된 look-up table에서 얻어진다.

각 단계의 butterfly 계산은 다음과 같은 순서로 이루어진다. 입력노드 $P = P_{re} + jP_{im}$, $Q = Q_{re} + jQ_{im}$ 로 이루어지며, twiddle factor $W = W_{re} - jW_{im}$ 로 구성된다.

Q노드와 W가 곱해져 P노드에 더해진 값과 감해진 값이 출력노드에 보내진다.

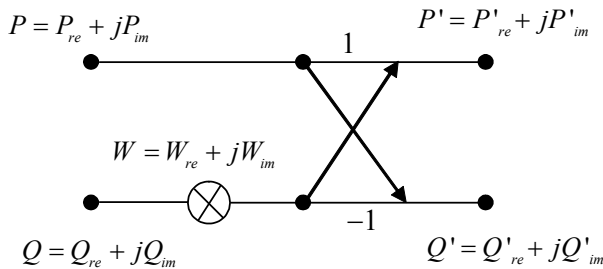


그림 2 radix-2 계산도
Fig. 2 radix-2 butterfly computation graph

출력노드 값은 다음과 같다.

$$\begin{aligned} P'_{re} &= (P_{re} + (Q_{re} \times W_{re} + Q_{im} \times W_{im}))/2 \\ P'_{im} &= (P_{im} + (Q_{im} \times W_{re} - Q_{re} \times W_{im}))/2 \\ Q'_{re} &= (P_{re} - (Q_{re} \times W_{re} + Q_{im} \times W_{im}))/2 \\ Q'_{im} &= (P_{im} - (Q_{im} \times W_{re} - Q_{re} \times W_{im}))/2 \end{aligned} \quad (3)$$

출력노드 값은 다음 단계의 입력노드 값이 된다.

크기(Magnitude)를 구하기 위한 공식은 다음과 같다.

$$\begin{aligned} X(k) &= X_{re}(k) + jX_{im}(k) \\ |X(k)|^2 &= X_{re}^2(k) + X_{im}^2(k) \end{aligned} \quad (4)$$

정리하면 DFT 계산과정은 다음과 같이 주어진다.

1. N 개의 입력 신호를 N/2개의 신호로 배열

2. N/2개의 신호를 radix-2 FFT 연산
3. 2 단계를 $\log_2 N$ 번 반복하여 출력 X(k) 계수 계산
4. X(k)의 실수부와 허수부를 제공한 크기를 구한다.

최종적으로 얻어진 결과의 해석은 다음과 같다.

N 개로 이루어진 입력 신호 x(n) 의 N-point DFT 결과 X(k)는 신호의 주기 f_s 를 N으로 균등배분한 주파수 밴드의 크기 성분이 된다. 예를 들어 60 Hz 주파수를 갖는 220 Vac를 15360 Hz로 샘플링한 256 - DFT한 결과값 X(0), X(1), X(2), ... X(256)은 0 Hz, 60 Hz, 120 Hz, 180 Hz, ... 15,360 Hz 의 주파수 성분에 해당하는 하모닉 성분의 크기가 된다.

X(k)를 이용하여 총 고조파 왜곡율(THD : Total Harmonic Distortion)을 구할 수 있다. THD의 정의는 다음과 같이 주어진다.

$$THD(\%) = \frac{100}{|X(1)|} \sqrt{\sum_{k=2}^{N-1} |X^2(k)|} \quad (5)$$

수식 (5)의 값들의 정의는 다음과 같다.

- $X^2(k)$: 각 차수의 고조파 크기 [V]
- $X(1)$: 기본주파수 크기 (Fundamental)
- k : 고조파 차수

3. 제어기 설계 및 제작

DSP TMS320F28335를 이용하여 제어기 제작을 하였다. TMS320F28335는 C2000 계열의 32-bit floating point DSP controller이다^[6]. 150 MHz의 주파수로 동작하여 300 MFLOPS의 연산능력을 갖는다. 68Kbyte의 SRAM과 512Kbyte의 Flash memory를 가지고 있으며, 0-3V의 입력범위를 갖는 12bit 16-채널의 내장 ADC와 18-채널의 PWM, 88-채널의 디지털 I/O, 3-채널의 직렬 통신 포트, 1-채널의 SPI, 2-채널 CAN 포트, 3-채널의 32-bit 타이머와 같은 Peripheral을 내장하고 있다.

제작된 제어기는 두 장의 보드로 이루어져 있다. 센서의 입력을 직접 받기 위해 $\pm 10V$ 입력 신호 범위를 갖는 12bit 12-채널 Simultaneous sampling ADC 보드와 프로세서 보드로 구성되었다.

ADC 보드는 DSP의 내장 ADC를 사용하지 않고, bi-polar 입력을 받을 수 있는 Analog Device사의 ADC를 2개 사용하여 12 채널을 동시에 샘플링 할 수 있게 설계되었다. DSP 내부의 내장ADC는 신호 입력

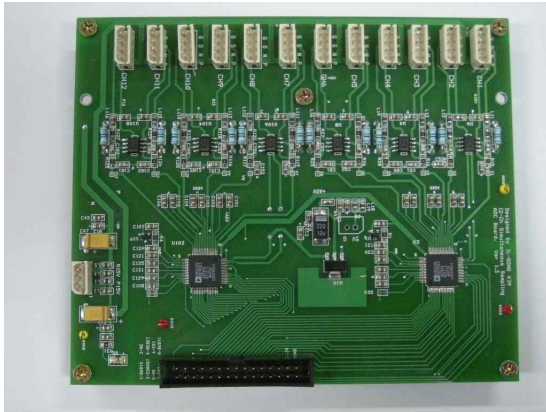


그림 3 12-채널 simultaneous sampling ADC 보드
Fig. 3 12-channel simultaneous sampling ADC board

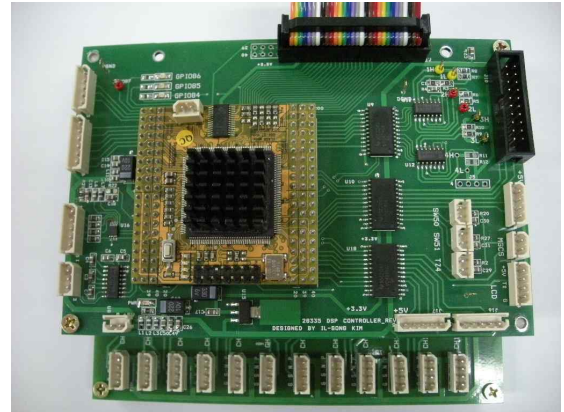


그림 4 Controller 보드
Fig. 4 DSP controller board

범위가 0-3V이기 때문에 고속의 바이폴러 신호를 처리하기 위해서는 level shifter와 노이즈 필터를 필요로 하게 된다. 외장 ADC를 사용하면 입력 신호 span이 $\pm 10V$ 로 확장되게 되어, 홀센서의 신호를 직접 입력할 수 있는 장점이 있다. 그림 3에 제작된 외장 ADC 보드를 보여주고 있다.

프로세서 보드는 288335 DSP와 PWM 구동을 위한 line buffer, 4-채널 SPI DAC, 직렬 통신용 IC로 구성 되어 있다.

내부 변수들을 관찰하기 위한 DAC는 4채널로 이루어져 있으며, SPI 방식으로 구동된다. Enable/Disable 제어가 가능한 PWM은 12-채널의 buffered 포트가 이루어져 있다. 2개의 시리얼 포트가 동작되며 PC 포트와 LCD 포트가 구성되어 있다. PC 포트는 하모닉 계수와 같이 제어기에서 계산된 결과를 전송하기 위해 마련되었고, LCD 포트는 계통 전압/전류, 태양전지 전압/전류와 같은 변수들을 디스플레이하기 위한 용도이다.

이 밖에 디지털 입/출력을 처리하기 위한 10-채널의 buffered Digital I/O 포트도 마련되어 있다.

시스템 구성은 아래 그림 5과 같다. 일반적인 단상 3KW 태양광 인버터는 부스트 컨버터 + 단상 인버터의 구조를 가진다. 부스트 컨버터는 태양전지의 입력 전압을 승압하여 DC link 전압을 400V(또는420V)로 유지시킨다. 단상 인버터는 이 전압을 계통의 위상에 맞추어 태양전지의 최대전력에 해당하는 전류를 계통에 넘겨주는 역할을 한다. 본 연구에서는 계통 전압의 하모닉 계수를 알아내는 것이 목적이기 때문에, 단상 인버터만으로 구성하여 실험하였다.

그림 6에 제작된 시스템을 보여주고 있다. 3상 시스템으로 설계, 제작되었으며, 본 연구에서는 단상 시스템으로 구성하여 시험하였다.

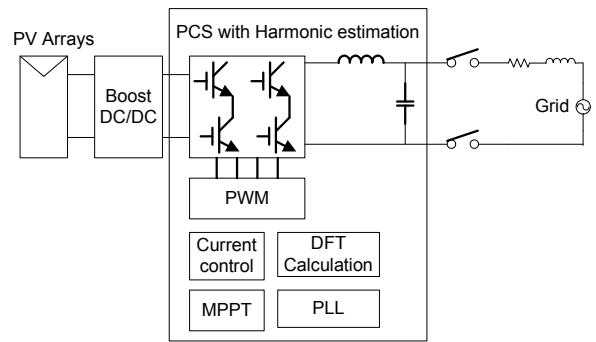


그림 5 시스템 구성도
Fig. 5 System Configuration

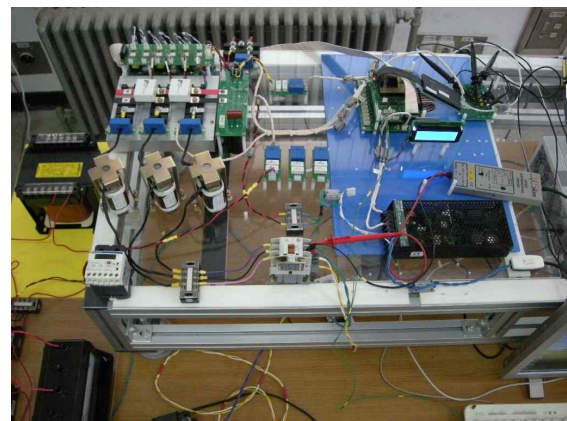


그림 6 제작된 시스템
Fig. 6 Proto-type system

그림 7에 실험결과 중 계통 전압과 전류 파형을 보여주고 있다. 전류가 단위역률(p.f.=1)로 계통으로 전송되고 있음을 알 수 있다.

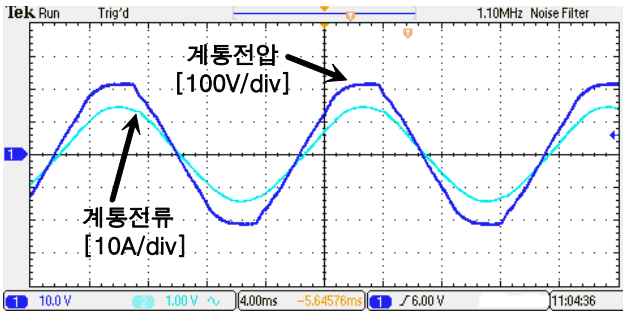


그림 7 계통 전압-전류 파형
Fig. 7 The waveform of grid voltage and current

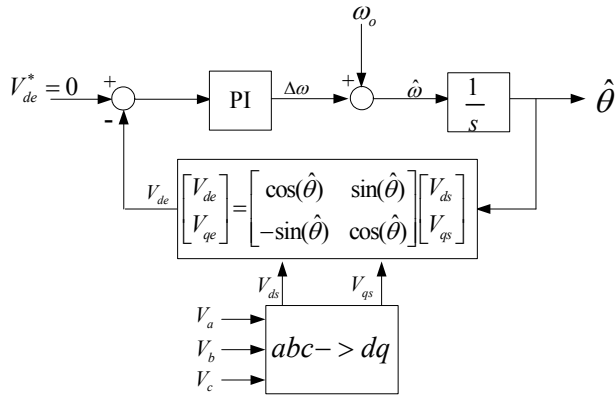


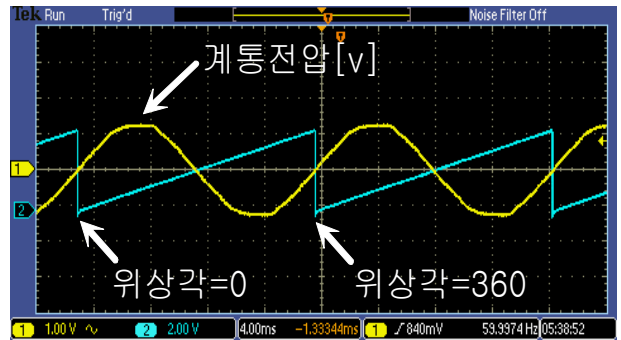
그림 8 3상 PLL의 구조
Fig. 8 The structure of PLL

3.1 PLL을 이용한 위상 동기

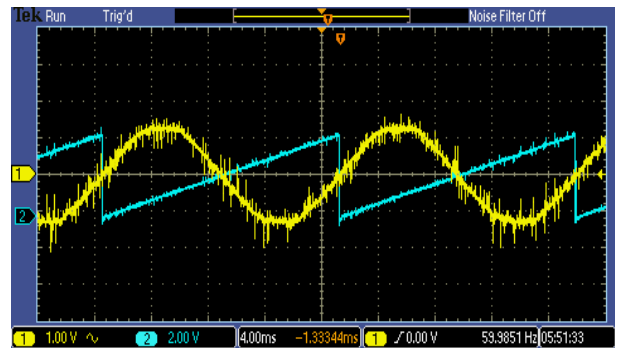
태양전지에서 발생된 전력을 계통으로 전달하기 위해서는 계통 전압의 위상을 알아내는 것이 반드시 필요하다. 가장 많이 사용하는 방식은 영점 검출 방식과 PLL(Phase locked loop) 방식이다. 영점 검출 방식은 계통전압의 극성이 바뀌는 순간을 검출하는 방식으로, 구현이 쉽고 저가로 구성이 가능하다는 장점이 있다. 하지만 외란이 존재할 시 다중영점교차의 단점이 있어서 최근에는 거의 사용되지 않고 있다. PLL 방식은 구성이 복잡한 단점이 있으나, 왜란에 강인하며 단상과 3상에 공통으로 사용할 수 있는 장점이 있기 때문에 최근에는 거의 모든 제품에 PLL을 사용하고 있다.

일반적인 3상 PLL의 구조는 d축의 전압을 0으로 만들어 위상을 추종하는 형태를 사용하고 있다. 그림 8에 3상 PLL의 블록 다이어그램이 표시되어 있다.

개발된 제어기는 PLL 코드를 단상과 3상 공통으로 사용하고 있다. 3상일 경우에는 각 상 V_a , V_b , V_c 를 d-q 변환한 값 V_{ds} , V_{qs} 를 입력하고, 단상일 경우 V_{qs}



(a) 외란이 없을 경우 추적성능



(b) 외란이 발생할 경우 추적성능

그림 9 PLL 추적 성능 실험 결과

Fig. 9 PLL tracking performance

(a. normal condition b. disturbance condition)

에 계통 전압값을 입력하고, V_{ds} 에 V_{qs} 값을 가상으로 90도 지연한 값을 입력하여 위상추적을 행한다.

그림 9에 PLL을 이용한 단상 위상 추적 결과 파형이 나타나 있다. 외란이 없는 상태의 추적성능과 계통에 스위칭 노이즈를 추가하여 계통전원에 외란이 생긴 상태를 비교하였다. 그림에서 알 수 있듯이 계통전압에 외란이 생긴 상태에서도 정상적으로 위상을 추적하고 있음을 알 수 있다. 만약 영점검출 방식을 사용하였다면, 계통에 외란이 발생할 경우는 정상적인 위상 추적이 실패하였을 것이다.

4. DFT Calculation

DFT 계산을 위한 block diagram은 그림 10과 같다. 계통 전압(전류)을 매 샘플링 주기마다 A/D 변환하여 버퍼[256 byte]에 저장한다. 버퍼가 가득차면(한주기, 16.67ms) 256-point DFT algorithm을 수행하여 주파수에 대한 크기와 위상값을 얻어내게 된다.

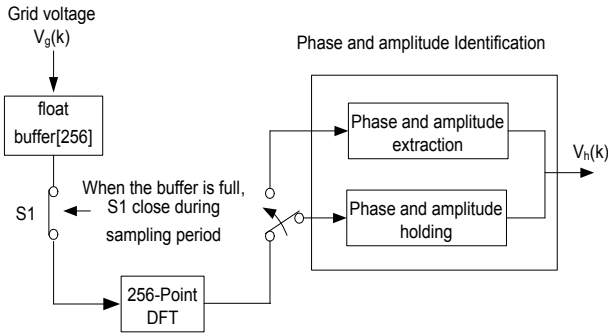


그림 10 하모닉 계산 블럭도
Fig. 10 Harmonic calculation block diagram

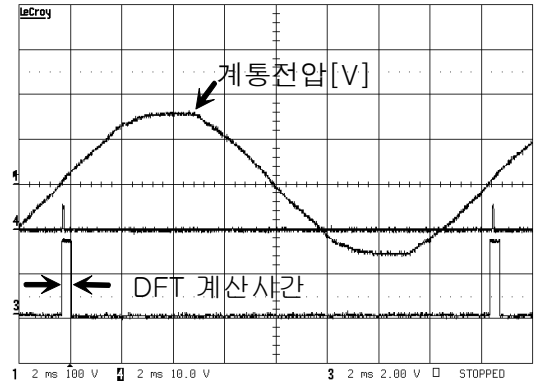


그림 12 DFT 연산 시간
Fig. 12 DFT calculation time

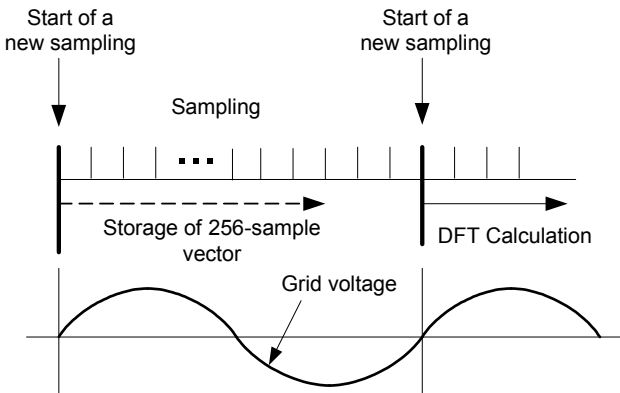


그림 11 샘플링과 DFT 계산 순서도
Fig. 11 Sampling & DFT calculation Sequence

계산이 수행되는 동시에 계통 전압(전류)에 대한 샘플링과 버퍼 저장도 일어나게 된다. 신호에 대한 샘플링(A/D 변환 포함)과 DFT 계산에 대한 순서도가 그림 10에 표시되어 있다.

DFT를 수행하기 위한 제어 소프트웨어 설계의 시작은 샘플링 주파수(f_s)과 DFT 샘플링 갯수의 관계식을 설정하는 것이 중요하다.

계통전원 60Hz 한주기(16.67 msec)내에서 256-DFT를 수행하기 위해서는 bin number k 는 1 이 되어야만 한다. 따라서 다음의 관계식이 성립한다.

$$\text{sampling 주파수} : f_s = \frac{fN}{k} \quad (6)$$

f : 계통신호 주파수 (60 Hz)
 N : N-point DFT (= 256)

이 조건을 만족하는 샘플링 주파수는 15360 [Hz] 이고 주기는 65.1 [us] 이다. 샘플링 한 주기 내에서

PWM 스위칭 한 주기가 발생되어야 하므로 PWM 스위칭 주파수도 15360 [Hz]로 설정하였다.

이와 같이 설정된 시스템의 DFT 결과는 기본 주파수의 배수 주기로 주파수 스펙트럼이 나타나게 된다. 즉 $0, f_s/N, 2f_s/N, 3f_s/N, \dots, f_s/2$ 와 같이 128개의 주파수 밴드로 표시된다. 수치적으로 표현하면 0, 60Hz, 120Hz, 180Hz, ..., 7680[Hz] 이다.

5. 실험 결과

하모닉 검출을 위한 PCS의 성능을 알아보기 위하여, 프로토 타입 시스템에 대해서 실험한 결과가 그림 12에 나타나 있다. 256-DFT의 계산시간을 알아보기 위해 DSP의 I/O 핀을 이용하여 DFT 계산의 시작과 끝을 표시하였다. 실험 결과 256-DFT의 계산 시간은 500 [us] 이내이다. DFT 연산은 전류제어기가 동작하는 인터럽트 루틴이 수행된 후 메인 루틴의 중간 시간에 이루어지기 때문에 DFT 연산만 수행하였을 경우, 계산 시간은 이보다 훨씬 짧을 것이다.

DFT 수행한 결과 얻어진 하모닉 계수들을 그림 13에 표시하였다. DSP의 직렬 포트를 이용하여 15차 계수까지 표시할 수 있는 PC용 모니터링 프로그램을 MFC(Microsoft Foundation Class)이용하여 계수들을 저장하는데 사용하였다. 계수 업데이트 시간은 저장 간격을 DSP에서 설정하면 바꿀 수 있기 때문에, 빠르게 변화하는 신호를 저장하고자 할 경우 1ms 간격까지 데이터를 저장할 수 있다.

또한 모니터링 프로그램에서는 15차수까지만 display가 가능하지만, 저장은 256 차수 모두에 대해서 가능하기 때문에 실시간 모니터링 및 저장이 가능하다.

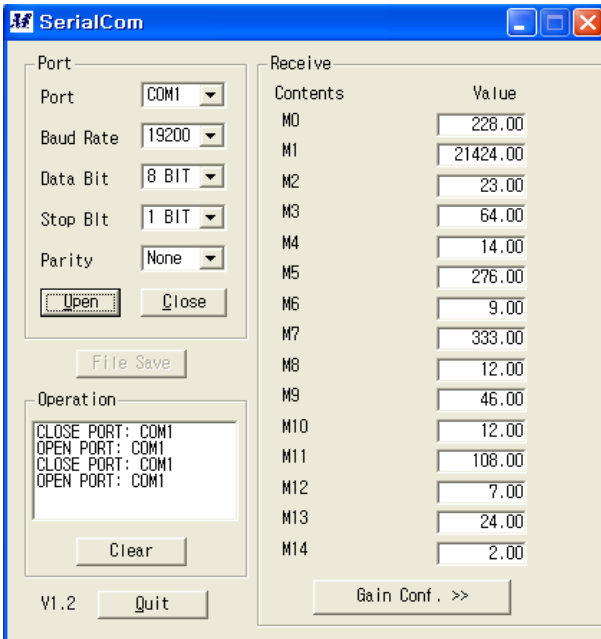


그림 13 DFT 계수 저장을 위한 모니터링 프로그램
Fig. 13 The monitoring program for DFT coefficients

단지 256 차수를 모두 전송하거나 저장할 경우 전송 시간이 많이 걸리기 때문에 계수 업데이트 시간이 최대 1 [sec] 이상 늘어나게 된다.

그림에서 M0 계수는 DC값에 해당하는 값이고, M1은 기본파 주파수 60 [Hz] 계수, M2는 120 [Hz], M3는 180 [Hz], ...M15는 900 [Hz]이다. 계수의 단위는 [V]이다.

계산된 DFT 계수의 정확성을 검증하기 위해 Dewetron사의 전용 계측장비인 PNA-560(Power Network Analyzer)를 이용하였다. 그림 14에 PNA의 화면을 캡처한 결과를 나타내었다. PNA의 결과는 기본파 계수를 100%로 보았을 때, 3, 5, 7, 9, 11, 13차 하모닉이 0.25%, 1.0%, 1.5%, 0.15%, 0.6%, 0.17% 정도 나타나는 것을 알 수 있다.

기본파 주파수가 60Hz 이므로 3차는 180Hz, 5차는 500Hz, ... 11차는 660 Hz에 해당하는 하모닉 계수가 된다.

그림 15에 실험결과를 나타내었다. DSP에서 계산된 결과는 M3(180Hz), M5(300Hz), M7(420Hz), M9(540Hz), M11(660Hz), M13(780Hz) 하모닉이 기본파 성분의 0.3%, 1.3%, 1.6%, 0.2%, 0.5%, 0.1%이다.

DSP로 계산된 결과와 계측장비로 비교 측정된 결과는 거의 일치하고 있다. 따라서 전용 계측 장비를 사용하지 않고도 제안된 방식의 하모닉 계측 방식을

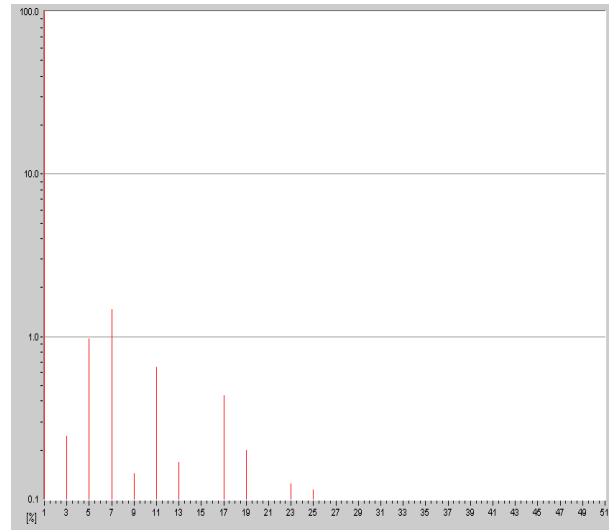


그림 14 PNA-560 계측장비 시험 결과
Fig. 14 The result of PNA-560 instrument

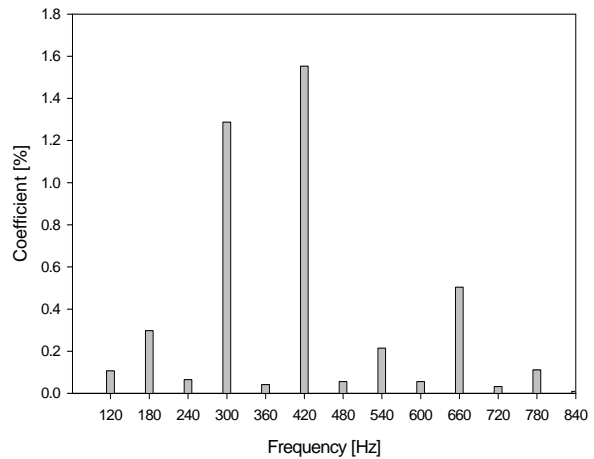


그림 15 하모닉 계수 실험 결과
Fig. 15 Experimental result for harmonic coefficient

PCS에 내장하여 사용할 수 있으며, 또한 연산속도도 매우 빠르기 때문에 제어기의 성능에 영향을 미치지 않는다.

그림 16에 하모닉 계수들을 일정시간 저장하여 그 결과를 그래프로 나타내었다. 하모닉 계수들을 빠른 시간내에 계측하여, 계수들이 급격하게 변화하거나, 일정 주기로 변동하게 될 경우, 시스템의 오동작이나 이상을 감지할 수 있다. 시스템의 고장 모드에 대한 계수 변화들을 일정한 패턴으로 분석할 수 있다면, 고장에 대한 예측과 분석이 실시간으로 가능하게 되어, 시스템의 신뢰도를 크게 높일 수 있을 것이다.

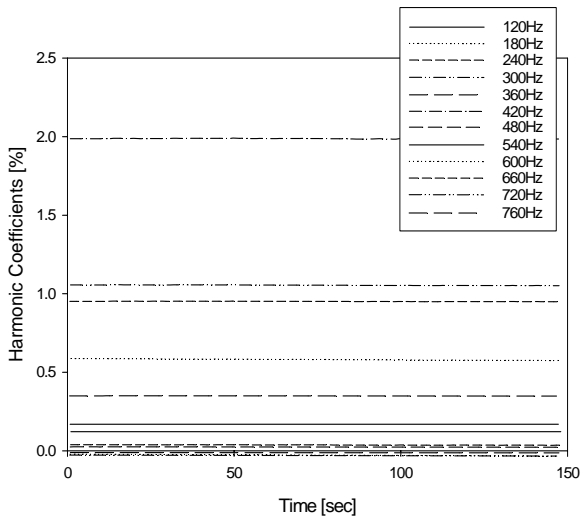


그림 16 하모닉 계수 그래프
Fig. 16 The graph for harmonic coefficient

6. 결 론

본 연구에서는 PCS에서 실시간으로 하모닉 계수들을 계산하는 방법을 알아보았다. 고성능 DSP 프로세서를 이용하여 PCS 기본 성능 구현과 256-DFT계산을 수행 하였으며 1[ms]이내에 연산을 완료하였다. 전용 계측 장비를 사용하여 결과를 비교하여, 결과의 타당성을 입증하였다.

실시간으로 얻어진 하모닉 계수들을 이용하여 계통 전원 인식 및 복원을 이용한 전력품질 향상, 단독운전 검출이나 고장진단과 같은 적용분야에 이용할 수 있다. 본 논문에서 얻어진 결과를 적용할 수 있는 응용 분야를 추후 연구를 통해 진행할 예정이다.

이 논문은 2008년도 충주대학교 교내학술연구비의 지원과 2008년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No. 313-2008-2-D00374).

참 고 문 헌

[1] IEEE Recommended Practice for Utility Interface of Photovoltaic System, IEEE Std. 929-2000, 2000, April 3.
[2] Lucian Asiminoaei, Remus Teodorescu, Frede Blaabjerg, "A digital controlled PV-inverter with grid impedance estimation for ENS detection", *IEEE Trans.*

Power Electronics, Vol. 20, No. 6, pp. 1480-1490, 2005, Dec.
[3] H. Akagi and A. Nabae, "Control strategy of active power filter using multiple voltage source PWM converters", *IEEE Trans., Ind. Appl.*, Vol. IA-22, No. 3, pp. 460-465, 1986, May/June.
[4] Sunt Srianthumrong, Sombon Sangwongwanich, "An active power filter with harmonic detection method based on recursive DFT", *IEEE 8th international conference on harmonic and quality of power*, Athens, pp. 127-132, 1998, October.
[5] R. Hartley, K. Welles, "Recursive computation of the fourier transform", *IEEE Int. Symposium on circuit and system*, Vol. 3, pp. 1792-1795, 1990.
[6] TMS320F28335 Data Manual, Texas Instruments

저 자 소 개



이정은(李貞恩)

1983년 5월 13일생. 2009년도 충주대 전기공학과 졸업. 2010년 충주대 전기공학과 석사과정.



민준기(閔俊基)

1971년 4월 22일생. 1997년 충북대 전기공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2006년 동 대학원 전기공학과 졸업(공학). 2006년~현재 (주)다쓰테크 기술연구소 책임연구원.



김일송(金一松)

1968년 7월 3일생. 1991년 연세대 공대 전자공학과 졸업. 1994년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2005년 동 대학원 졸업(공학) 2007년3월~현재 충주대 전기공학과 조교수.