

논문 2010-47SD-7-5

# 열 기울기를 고려한 클락 스큐 최소화 기법

## ( A Clock Skew Minimization Technique Considering Temperature Gradient )

고 세 진\*, 임 재 호\*, 김 기 영\*\*, 김 석 윤\*\*

(Se Jin Ko, Jae Ho Lim, Ki Young Kim, and Seok Yoon Kim)

### 요 약

발달로 인해 칩의 집적도가 향상되고, 그에 따라 칩 내의 전류밀도가 증가하게 되었다. 이는 칩의 온도가 상승하는 효과를 가져오게 되고, 또한 거리에 따른 온도의 변화를 증가시키는 요인이 된다. 본 논문은 칩 내의 온도의 기울기 때문에 발생하는 클락의 스큐를 최소화하기 위한 균형 스큐 트리를 생성하는 기법을 제안한다. 제안한 기법은 Elmore 지연 수식을 이용하여 연결선의 지연을 구하고 DME(Deferred Merge Embedding) 알고리즘을 통해 만들어진 클락 트리를 변형시키면서 최적의 균형 스큐 트리를 찾는다. 제안한 기법의 성능 평가를 위하여 C 언어로 제안된 기법을 구현하였고, 온도의 기울기 때문에 발생한 클락 삽입 지점을 평균 약 54%이하로 축소시킬 수 있다는 것을 시뮬레이션 결과로 보였으며, 스큐가 현저히 낮아지는 것을 확인하였다.

### Abstract

Due to the scaling of process parameters, the density on chips has been increasing. This trend increases not only the temperature on chips but also the gradient of the temperature depending on distances. In this paper, we propose the balanced skew tree generation technique for minimizing the clock skew that is affected by the temperature gradients on chips. We calculate the interconnect delay using Elmore delay equation, and find out the optimal balanced clock tree by modifying the clock trees that are generated through the DME(Deferred Merge Embedding) algorithm. We have implemented the proposed technique using C language for the performance evaluation. The experimental results show that the clock insertion point generated by the temperature gradient can be lowered below 54% and we confirm that the skew is remarkably decreased after applying the proposed technique.

**Keywords :** clock-skew, temperature, clock, thermal

### I. 서 론

반도체 공정의 발달로 인해 칩의 집적도가 향상되면서 단일 칩 내에 다양한 기능의 내장이 가능하게 됐다. 하지만 이에 따라 칩 내의 전류 밀도가 증가하게 되었고, 이는 칩의 온도가 상승하게 되는 효과를 가져오게 되었다. 마이크로프로세서에서의 전류 밀도는 3년마다

두 배씩 증가한다고 보고되고 있다.<sup>[2]</sup> 전류의 밀도가 증가하게 되면 칩의 온도가 상승하게 되고, 고성능 VLSI에서의 온도가 미치는 영향은 반도체 성능을 결정하는 매우 중요한 요소로 인식되고 있다.

그림 1은 CMOS의 공정이 350nm에서 90nm까지 발전함에 따른 칩 내부의 온도 변화를 표현하고 있다. 그 래프에서 볼 수 있듯이 공정이 발달함에 따라 칩의 온도가 지속적으로 증가하는 것을 확인할 수 있다.<sup>[5]</sup>

칩의 온도 상승을 줄이는 가장 직관적인 방법은 칩의 전력소모를 줄이는 것이다. 이를 위해서 많은 저전력 기술들이 연구되어 왔다.<sup>[7-8]</sup> 하지만 일반적으로 이러한 전력소모를 줄이는 방법들은 칩 전체의 전력 변화를

\* 학생회원, \*\* 정회원, 숭실대학교 컴퓨터학과  
(Soongsil university, Graduate school of computer science)

※ 본 연구는 서울시 산학연 협력사업(10544)의 연구비 지원으로 이루어졌습니다.

접수일자: 2009년12월15일, 수정완료일: 2010년4월30일

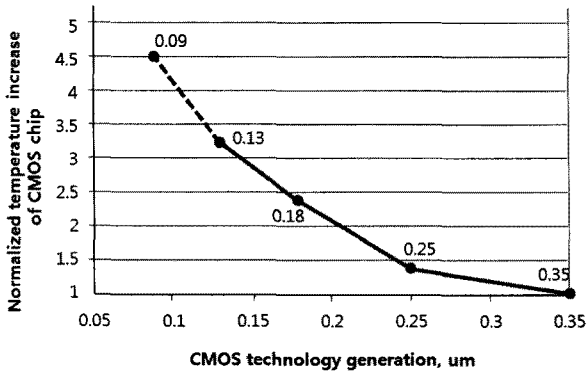


그림 1. CMOS 공정 발달에 따른 칩의 온도  
Fig. 1. Normalized chip junction temperature according to CMOS technology.

가져오게 되고, 칩 내부 다른 지역들에 서로 다른 전류 밀도를 갖게 한다. 이러한 현상은 칩의 전반적인 온도를 낮출 수는 있지만 온도의 기울기는 더욱 증가시키는 결과를 가져오게 된다. [3]에서는 고성능 VLSI 시스템에서 칩의 온도 기울기는 50°C 이상을 가질 수 있다고 보고하고 있다. 이러한 온도에 의한 기울기는 클락 트리의 서로 다른 지연을 갖게 하여 클락의 스큐를 증가시키는 타이밍 문제를 야기한다.

[1]은 온도의 기울기를 고려한 클락 분배망의 설계 기술에 대해 제안했다. 이것은 전통적인 균등 온도 분포에서의 DME(Deferred Merge Embedding) 알고리즘을 개선하였다.

본 논문에서는 온도의 불균형적인 증가로 인해 발생한 온도의 기울기가 가져오는 클락의 스큐를 줄이기 위한 균형 스큐 트리를 생성하는 기법을 제안한다.

본 논문의 순서는 다음과 같다. II장에서 칩 내의 열에 관한 관련 연구를 소개하고, III장에서 본 논문에서 제안하고자 하는 클락 라우팅에서의 균형 스큐 트리를 생성하는 기법을 제안한다. IV장에서 실험 및 결과를 보여주고, V장에서 결론을 맺는다.

## II. 관련 연구

칩 내의 온도가 상승함에 따라 연결선의 저항 또한 비례하여 상승하게 된다. 연결선을 흐르는 온도의 함수인  $T(x)$ 을 이용하여 온도에 비례하는 저항의 함수를 구할 수 있다.

$$r_0(x) = r_0(1 + \beta \cdot T(x)) \quad (1)$$

$r_0$ 는 0°C의 온도에서 연결선에서의 단위 길이에 따

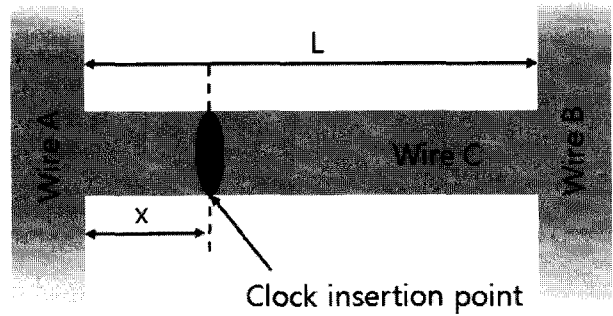


그림 2. 비균등 온도 분포에서의 클락 삽입 지점  
Fig. 2. Clock insertion point under Non-uniform thermal profile.

른 저항을 의미하고  $\beta$ 는 저항의 온도계수(1/°C)를 나타낸다. 단위 길이에 따른 캐패시턴스는 온도의 영향을 받지 않는다고 가정한다. 이를 이용하여 비균등 온도 분포에서의 연결선에 나타나는 지연시간을 Elmore 지연을 이용하여 다음의 수식으로 표현 할 수 있다<sup>[4]</sup>.

$$D = D_0 + (c_0L + C_L)r_0\beta \int_0^L T(x)dx - c_0r_0\beta \int_0^L xT(x)dx \quad (2)$$

$$D_0 = R_d(C_L + c_0L) + (c_0r_0\frac{L^2}{2} + r_0LC_L) \quad (3)$$

$D_0$ 는 기준 온도(0°C)에서의 Elmore 지연이며, 연결선의 출력 저항  $R_d$ 에 의해 드라이브되는 일정한 두께  $w$ 와 길이  $L$ 을 갖으며,  $C_L$ 는 부하 캐패시턴스,  $c_0$ 와  $r_0$ 는 연결선의 단위 캐패시턴스 및 저항,  $\beta$ 는 저항의 온도 계수,  $T(x)$ 는 연결선에서의 온도 분포를 나타내는 함수이다.

그림 2에서 살펴보면 균등 온도 분포에선  $x=L/2$ 가 되는 점에 클락을 삽입하는 것이 두 연결선 A와 B까지의 클락 도달시간을 같게 해주는 제로스큐지점이 된다. 하지만 비 균등 온도 분포에서와 같이 열의 기울기가 존재하여 연결선 C에서 연결선 A쪽의 온도가 연결선 B쪽의 온도보다 더 높다고 가정한다면 연결선 A쪽의 저항이 연결선 B 쪽의 저항보다 높게 되어 전송지연시간이 증가하게 된다. 따라서 그림 2에서와 같이  $x < L/2$ 인 점  $x$ 가 비록 연결선 A와 연결선 B까지의 물리적인 거리는 다르지만 전송지연시간은 같게 되는 클락 삽입 지점이 된다. 하지만 균등 온도 분포에서의 클락 삽입 지점과 비 균등 온도 분포의 클락 삽입 지점이 다르기 때문에 두 점의 중간 지점인 등지연점이 클락 삽입

지점이 되어야 한다.

본 논문에서 제안하는 온도의 기울기를 고려한 균형 스큐 트리 생성 기법은 DME 알고리즘을 기반으로 한다. 하지만 기존의 DME 알고리즘은 균등 온도 분포만을 고려하기 때문에 열의 기울기가 존재하는 비 균등 온도 분포에서는 순수한 DME 알고리즘만으로 최소의 스큐를 갖는 시스템을 설계하는 것은 불가능하다. 두 노드 상의 중간 거리의 점이 더 이상 두 노드까지의 지연이 같은 점이 아니기 때문이다.

따라서 본 논문은 이와 같은 비 균등 온도 분포의 열의 기울기가 존재하는 환경에서 최소의 스큐를 만족하기 위한 균형 스큐 트리를 생성하는 기법을 제안한다.

### III. 최적 균형 스큐를 보장하는 클락 배선 기법

이 장에서는 본 논문에서 제안하고자 하는 균형 스큐 트리를 생성하는 기법을 소개하고자 한다. 제안하는 기법은 앞에서 설명했던 연결선의 저항이 온도에 비례하여 증가한다는 것을 기반으로 한다.

두 개의 싱크 노드를  $u$ 와  $v$ 라고 가정했을 때, 그림 3의 (a)에서와 같이 두 점의 균등 온도 분포에서의 제로스큐지점(Zero Skew Point 이하  $ZSP$ )은 두 점에서의 거리가 같은 선인  $L$ 위의 한 점이 되고, 이 중  $u$ 와  $v$ 를 잇는 가장 연결선의 길이가 최소가 되는 점  $p$ 가 클락 삽입 지점이 되게 된다. 하지만 열의 기울기가 존재하는 비균등 온도 분포에서는  $ZSP$ 가 열이 높은 쪽으로 이동하기 때문에  $ZSP$ 는 점  $p$ 와는 다른 곳에 위치하게 된다. 그림 3의 (a)를 예로 보면 균등 온도 분포

에서의  $ZSP$ 는 점  $p$ 가 되지만 온도의 기울기가 존재하여 노드  $v$ 쪽으로 온도가 높은 최악의 온도 분포에서는 온도가 높은  $v$ 쪽의 저항이 높아지기 때문에  $p \sim v$ 의 지연이  $p \sim u$ 까지의 지연보다 증가하게 된다. 따라서  $ZSP$ 는  $v$ 쪽으로 이동하게 된다.

그림 3은 제안하는 기법의 시작점이 되는 4개의  $ZSP$ 를 찾는 방법을 보여준다. 각 그림에서의 위쪽 원은 온도가 높은 지점을 표현하고 있고, 클락 싱크 노드  $u$ 와  $v$ 에 균등 온도 분포에서의  $ZSP$ 인 점  $p$ 와 최악의 온도 분포에서의  $ZSP$ 를 표현하고 있다.

그림 3의 (a)에서 살펴보면 점  $p$ 에서  $v$ 까지의 온도와 점  $p$ 에서 점  $u$ 까지의 온도의 차이가 다른 연결선(그림 3의 (b), (c), (d))보다 더욱 크기 때문에  $ZSP$ 의 위치가 점  $p$ 에서 가장 많이 이동되어 있는 것을 확인할 수 있다. 또한, 마찬가지로 그림 3의 (c)에서의  $ZSP$ 가 가장 점  $p$ 에 근접해 있는 것을 확인할 수 있다.

그림 3에서 나타나 있는 4개의 L자 모양을 이용한 기본적인 라우팅을 기반으로 본 논문에서 제안하는 균형 스큐 트리를 생성하는 기법을 제안한다.

그림 4는 그림 3의 (a)에 나타나 있는 기본적인 라우팅을 기반으로 하여 제안하는 기법을 적용한 예를 보여주고 있다.

그림 4의 (a)는 L자 모양을 바탕으로 하는 연결선에서 균등 온도 분포의  $ZSP$ 인  $p$ 와 최악의 온도 분포의  $ZSP$ 를 나타내고 있다.  $ZSP$ 가 온도의 기울기 때문에 점  $p$ 와 상당한 차이를 보이고 있는 것을 확인할 수 있다. 이  $ZSP$ 를 점  $p$ 와 근접하게 함으로써 최악의 클락

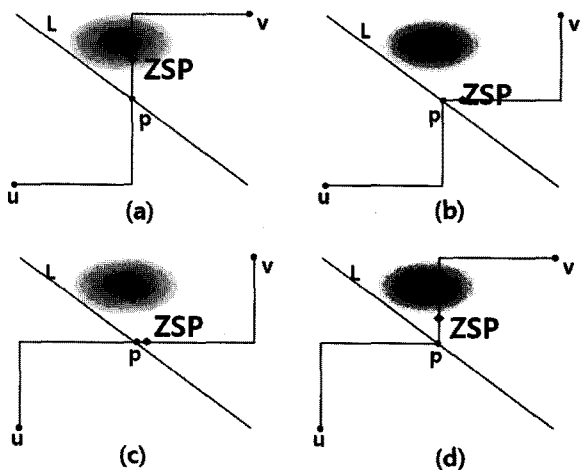


그림 3. 4개의 기본 연결선에서의 ZSP  
Fig. 3. Four ZSPs on basic interconnects.

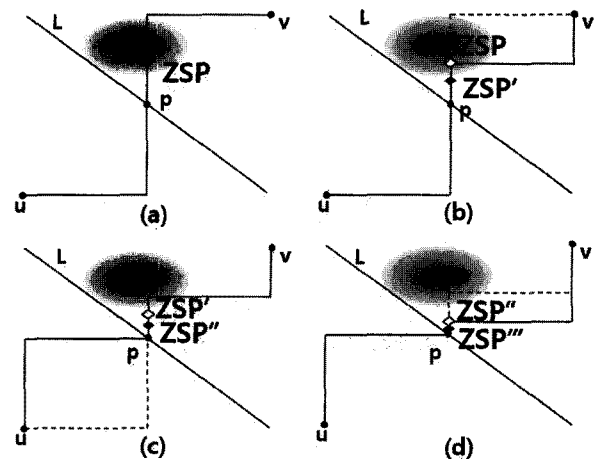


그림 4. 제안하는 균형 스큐 트리 생성 기법 Case 1  
Fig. 4. The Proposed generation method of balanced skew tree: Case 1.

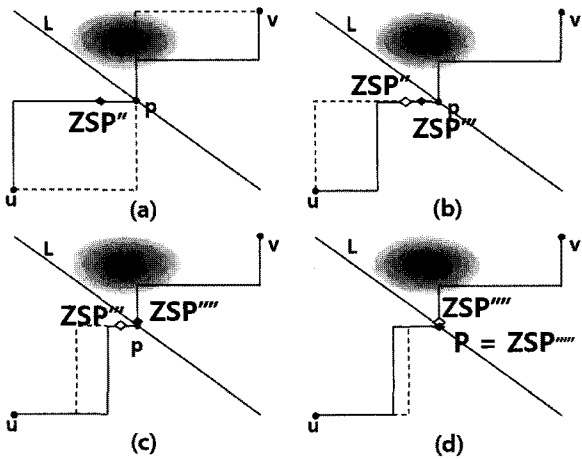


그림 5. 제안하는 균형 스큐 트리 생성 기법 Case 2  
 Fig. 5. The Proposed generation method of balanced skew tree: Case 2.

스큐를 최소화 할 수 있고, 라우팅에서의 연결선 길이의 변화를 최소화할 수 있다.

그림 4의 (b)에서 나타나 있듯이, 제안하는 기법은 처음 구해진 ZSP를 기준으로 싱크 노드 v까지의 연결선을 온도가 낮은 방향으로 이동한다. 이러한 라우팅의 변화로 인해 ZSP가 점 p와 근접해질 수 있게 된다. 이에 더해 근접의 효과를 증가하기 위하여 점 p부터 반대쪽의 싱크 노드인 u까지의 라우팅은 반대로 온도가 높은 쪽으로의 라우팅을 시도한다. 결과적으로 점 p를 중심으로 양쪽 연결선의 온도차가 줄어드는 효과를 볼 수 있게 되어 ZSP가 점 p에 근접하게 된다. 이후에 라우팅을 더욱 점 p에 근접시키기 위해 그림 4의 (d)의 과정을 수행하게 된다. 즉, 그림 4의 (c)에서 만들어진 연결선의 ZSP'(new zero skew point)를 기준으로 싱크 노드 v까지의 라우팅을 온도가 낮은 방향으로 한 번 더 이동한다. 이 과정을 반복함으로써 ZSP와 점 p를 더욱 근접시킬 수 있다.

하지만 그림 4의 (c)의 과정을 수행하는 도중 그림 5의 (a)처럼 ZSP'가 점 p를 넘어 반대쪽으로 이동하는 경우가 생길 수 있다. 이런 경우에 그림 4의 (d)와 같은 라우팅의 변화를 시도하면 ZSP와 p와의 거리는 더욱 벌어지게 된다. 때문에 이러한 경우의 라우팅의 변화는 점 p와 u사이의 라우팅을 변화함으로써 수행한다. 그림 5의 (b)에서 보여 지듯이 p와 u사이의 라우팅을 절반만큼만 온도가 높은 곳으로 이동함으로써, ZSP를 점 p와 근접 시킨다.

ZSP를 더욱 p에 근접시키기 위해 그림 5의 (c)에서 보여 지듯이 절반만큼만 온도가 높은 곳으로 이동한 연

결선을 다시 그것의 절반만큼 라우팅의 변화를 시도한다. 이를 그림 5의 (d)에서와 같이 반복함으로써 ZSP를 허용할 만큼의 거리차로 점 p와 근접시키는 것이 가능하다.

4개의 기본 연결선에서 구해진 4개의 ZSP들과 균등 온도 분포의 ZSP인 p의 등지연점이 최적의 균형 스큐 지점이 된다.

하위의 균형 스큐 지점이 구해진 후, 이 점들을 바탕으로 상위의 균형 스큐 지점을 구해간다. 싱크 노드의 라우팅에서 구해진 최대 4개의 균형 스큐 지점들을 모두 고려하여 가장 크기가 작은 조합을 선정하고 이를 기반으로 라우팅을 시도한다.

ZSP를 점 p에 최대한 근접시킴으로써 최악의 클락 스큐를 최소화하여, 칩이 동작하는 모든 온도에서의 스큐를 허용할 만큼의 범위 내로 낮춤으로써 온도의 기울기에 따라 발생하는 스큐에 강한 라우팅의 설계가 가능하게 된다.

#### IV. 실험 및 결과

##### 1. Elmore 지연을 이용한 온도 분포의 표현

고성능의 VLSI 시스템의 연결선은 비균등 온도 분포를 가지며 다양한 온도 분포 함수  $T(x)$ 를 가질 수 있게 된다. 즉, 연결선의 온도 분포를 함수로 표현한다면 간단하게는 1차 함수에서부터 고차 함수나 지수·로그 함수, 또는 삼각함수에 이르기까지 다양한 함수를 가질 수 있게 되고, 이를 함수인  $T(x)$ 로 표현하는 것은 복잡한 형태의 함수를 갖게 되기 때문에 이에 대한 표현에는 한계가 있다. 그렇기 때문에 본 논문에서는 연결선의 제로스큐지점을 구하기 위해 수식 (2)를 이용한다.

그림 6의 예에서와 같은 비균등 온도 분포에서 연결선의 두 노드 A, B의 온도 분포를 함수  $T(x)$ 로 표현하면 그림 7의 곡선과 같이 표현할 수 있다.

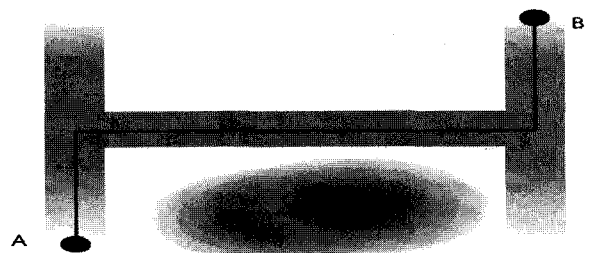


그림 6. 칩 내의 연결선에서의 thermal profile 예시  
 Fig. 6. The example of thermal profile on interconnect.

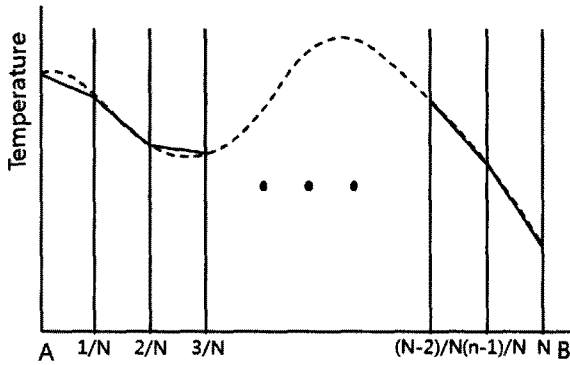


그림 7. N개의 구간으로 나눈 thermal profile의 지연 계산 예시

Fig. 7. The example of delay calculation thermal profile divided by N sections.

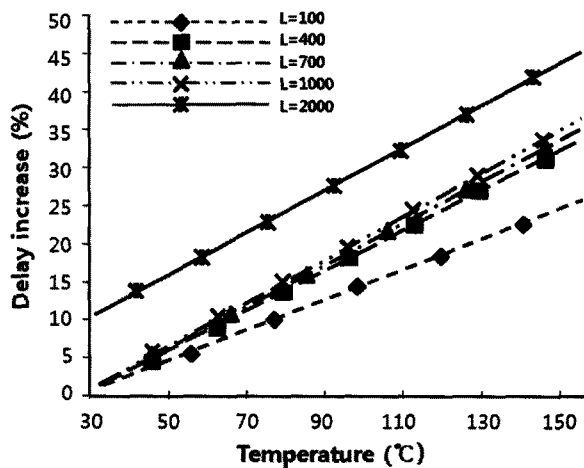


그림 8. 온도 증가로 인해 발생하는 연결선 길이에 따른 전송 지연<sup>[4]</sup>

Fig. 8. Delay degradation due to the increase of the temperature.

위와 같은 온도 분포를 단일 수식으로 표현하기에는 어려움이 있기 때문에, A와 B의 구간을 N개의 작은 구간으로 나누어 각 구간의 지연을 구한 후, 이를 이용하여 제로스쿼지점을 구한다. 그림 7에서 표현한 것과 같이, 각 작은 구간은  $T(x)$ 와 최대한 같은 값을 갖기 위해 1차 함수로 근사하여 지연을 구한다.

아래의 수식 (4)은 위의 과정을 나타낸다.

$$Delay_{A \sim B} \approx \sum_{k=0}^{N-1} Delay_{\frac{k}{N} \sim \frac{k+1}{N}} \quad (4)$$

하지만 그림 8에서 나타나 있듯이 연결선의 길이가 길어질수록 연결선의 온도에 다른 변화율이 조금씩 달라지는 것을 확인할 수 있다<sup>[4]</sup>. 그렇기 때문에 작은 구간으로 나눈 지연의 합이 전체의 지연을 구한 것과 일

치하지 않게 되어 수식 (4)을 그대로 사용할 수 없게 된다. 본 논문에서는 이를 해결하기 위해 작은 구간의 지연을 구할 때  $L$ 의 값은 보정된 값을 사용한다.

수식 (5)은 수식 (2)를 본 논문에서 사용하는 N개의 구간의 합을 이용한 지연을 구하기 위한 수식이다.

$$D = D_0 + \left[ (c_0 L + C_L) r_0 \beta \left( \sum_{k=1}^L \int_k^{k+1} \frac{(T(k+1) - T(k))}{L/N} k + T(k) dk \right) - c_0 r_0 \beta \left( \sum_{k=1}^L \int_k^{k+1} k \left( \frac{(T(k+1) - T(k))}{L/N} k + T(k) \right) dk \right) \right] \quad (5)$$

## 2. 성능 평가

본 장에서는 제안하는 균형 스쿼 트리 생성 기법의 성능을 평가하고자 한다. 제안하는 기법은 C언어로 구현하여 성능을 평가하였다. 모든 시뮬레이션의 파라미터로  $r_0 = 0.03 \Omega/\mu m$ ,  $c_0 = 2.0 \times 10^{-16} F/\mu m$  [6]과  $\beta = 0.0068 (1/^\circ C)$ 을 사용하였다.

시뮬레이션을 위해 한 변이 1000 $\mu m$ 인 정사각형을 1000x1000의 매트릭스로 모형화하였고, 매트릭스의 좌측 하단과 우측 상단에 클락을 필요로 하는 두 싱크 노드가 있다고 가정하였다. 때문에 두 노드 사이의 연결선의 길이는 대각선으로의 라우팅을 하지 않으므로 2000 $\mu m$ 가 된다.

온도 분포를 표현하기 위해 매트릭스 임의의 한 점을 높은 온도(170 $^\circ C$ )로 지정하고 각 한 칸(1 $\mu m$ )의 거리 당 일정한 온도의 변화를 갖도록 하였다.

다음의 표 1은 온도의 변화량을  $-0.02^\circ C$ 로 설정하고 최고 온도의 위치를 변경해가면서 제안하는 기법의 성능을 평가한 결과이다. 균등 온도 분포에서의 ZSP와 비균등 온도 분포에서의 ZSP의 거리차를 측정하였고, 제안하는 기법의 적용된 후 ZSP의 줄어든 거리차를 성능으로 도출하였다.

표 1에서 나타나 있듯이 본 논문에서 제안된 알고리즘의 수행으로 최악의 온도 분포에서 제로스쿼지점을 점  $p$ 에 평균 약 54% 이상 근접시킨 것을 확인할 수 있었다. 이는 [1]에서 제안된 TACO보다 높은 성능을 보이고 있음을 확인할 수 있다. 하지만 온도의 최고점의 위치가 싱크 노드의 위치에 가까워질수록 알고리즘의 성능이 나빠지는 것을 확인할 수 있는데, 그 이유는 제안하는 알고리즘의 방식인 ZSP를 기준으로 온도가 높고 낮은 쪽으로 L자 모양을 변경하는 데에서 오는 라인

표 1. 제안하는 기법 적용전과 후의 ZSP의 수축과 skew 차이

Table 1. The difference of Shrinkage of ZSP and skew between before and after applying the proposed technique.

최고온도의 좌표		ZSP의 거리차 (um)		ZSP의 수축	적용 전 Worst case skew(ps)		최종 skew (ps)	차이
x	y	전	후		delay	skew	skew	
100	0	22	3	86.36%	161.8	0.738	0.098	93.36%
200	0	25	7	72.00%	162.3	0.894	0.228	95.86%
200	100	22	5	77.27%	162.9	0.707	0.163	94.63%
300	0	30	3	90.00%	162.7	1.064	0.098	95.11%
300	100	26	6	76.92%	163.3	0.880	0.195	96.59%
300	200	19	5	73.68%	163.9	0.639	0.163	96.71%
400	0	37	8	78.38%	163.0	1.375	0.26	97.24%
400	100	31	4	87.10%	163.7	1.148	0.13	96.43%
400	200	24	5	79.17%	164.2	0.845	0.163	93.37%
400	300	16	4	75.00%	164.6	0.504	0.13	91.87%
500	0	49	20	59.18%	163.2	1.820	0.65	98.24%
500	100	42	17	59.52%	163.9	1.587	0.553	96.47%
500	200	34	13	61.76%	164.4	1.256	0.423	95.06%
500	300	24	8	66.67%	164.8	0.846	0.26	96.81%
500	400	13	2	84.62%	165.1	0.368	0.077	79.08%
600	0	58	34	41.38%	163.2	2.206	1.106	97.51%
600	100	52	32	38.46%	163.9	1.980	1.041	98.79%
600	200	44	29	34.09%	164.4	1.667	0.943	96.46%
600	300	35	24	31.43%	164.7	1.286	0.78	95.49%
700	0	66	48	27.27%	163.1	2.528	1.561	98.77%
700	100	60	46	23.33%	163.7	2.319	1.496	97.41%
700	200	52	44	15.38%	164.2	2.029	1.431	99.06%
800	0	72	60	16.67%	162.9	2.792	1.951	99.21%
800	100	68	60	11.76%	163.4	2.608	1.951	99.27%
900	0	78	70	10.26%	162.5	2.992	2.276	97.83%
평균				55.11%	평균			95.87%

에서의 온도 변화의 영향이 줄어들었기 때문이다.

제안된 알고리즘의 성능을 알아보기 위해 알고리즘의 적용 전과 후의 스큐의 정도를 측정하기로 한다. 표 1의 왼쪽 부분은 제안된 알고리즘의 적용 전과 후의 ZSP의 수축 정도를 표현하고 있고, 오른쪽 부분은 제안하는 알고리즘을 적용함으로써 향상된 스큐의 백분율을 표현한다.

기법의 적용 전의 비해서 제안된 알고리즘의 적용 후에 ZSP가 약 55%의 수축을 보이고 있는 것을 확인할 수 있고, 또한 스큐의 값이 현저히 줄어드는 것을 확인할 수 있다. 이는 개발될 고성능의 VLSI 시스템이 높은 클럭을 가질 수 있다는 것을 의미한다.

## V. 결 론

본 논문은 칩 내의 열의 기울기가 존재 할 때 더욱 심화되는 스큐의 영향을 줄이기 위해 균형 스큐 트리를 생성하는 라우팅 기법을 소개했다.

제안된 기법의 성능 평가를 위해 Elmore 지연의 수식을 이용하여 열의 기울기가 존재하는 연결선에서 등지연점을 찾는 기법을 개발하였다. 또한 제안한 균형 스큐 트리를 생성하는 기법의 성능 평가를 위하여 C 언어로 기법을 구현하였고, 시뮬레이션의 결과로 평균 약 54%이하로 ZSP와 점 p를 근접시킬 수 있다는 것을 보였고, 제안한 기법의 적용 후의 스큐가 현저히 낮아지는 것을 확인하였다.

본 논문에서 제안하는 균형 스큐 트리를 생성하는 기법을 이용하여 칩의 라우팅을 시도한다면 열의 기울기의 영향으로 발생한 스큐를 최소화하여 칩의 동작 신뢰성을 향상 시키는 것이 가능해질 것이다.

## 참 고 문 헌

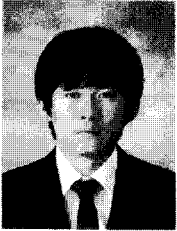
- [1] M Cho, S. Ahmed, D. Z. Pan, "TACO: temperature aware clock-tree optimization," in *Proc. ICCAD'05*, pp. 581-586, Nov. 2005.
- [2] K. Skadron et al., "Temperature-Aware Computer Systems: Opportunities and Challenges," *IEEE Micro*, Vol. 23, No.6, pp. 52-61, Nov-Dec 2003.
- [3] S. Borkar et al., "Parameter Variation and Impact on Circuits and Microarchitectures," in *Proc. DAC-40*, pp. 338-342, Jun. 2003.
- [4] K. Baneragee, A. H. Ajami, and M. Pedram, "Analysis and optimization of thermal issues in high-performance VLSI," in *Proc. Int. Symp. on Physical Design*, pp. 230-237, April 2001.
- [5] O. Semenov, A. Vassighi, M. Sachdev, A. Kechavarzi, C.F. Hawkins, "Burn-in temperature projections for deep sub-micron technologies," in *Proc. ITC*, pp. 719-226, 2003.
- [6] *International Technology Roadmap for Semiconductors (ITRS) : Interconnect*, 2008.
- [7] 고갑병일, 장태규, "DVS 기반 멀티미디어 프로세서의 전력절감을 분석," 대한전자공학회, 전자공학회논문지-SP 전자공학회논문지 제42권 SP편 제1호, pp. 95-100, 2009년 1월.
- [8] 김우중, 권순태, 신동균, 한태희, "전압-주파수-구역을 고려한 에너지 최적화 네트워크-온-칩 설계 방법론," 대한전자공학회 전자공학회논문지 제46권 SD편 제8호, pp. 22-30, 2009년 8월.

- [9] 고세진, 임재호, 김기영, 김석윤, “열을 고려한 클락 라우팅에서의 균형 스큐 트리 생성 기법,” 대한전자공학회 추계학술대회 논문집, pp. 127-128, 2009년 11월

---

 저 자 소 개
 

---



고 세 진(학생회원)  
 2008년 숭실대학교 컴퓨터학부  
 학사 졸업  
 2010년 숭실대학교 컴퓨터학부  
 석사 졸업  
 2010년~현재 LG 이노텍 연구원  
 <주관심분야 : VLSI, 회로 해석  
 및 설계, 설계 자동화>



임 재 호(학생회원)  
 2009년 숭실대학교 컴퓨터학부  
 학사 졸업  
 2009년~현재 숭실대학교 컴퓨터  
 학부 석사  
 <주관심분야 : VLSI, 회로 해석  
 및 설계, Signal Integrity, 설계  
 자동화>



김 기 영(정회원)  
 2002년 숭실대학교 컴퓨터학부  
 학사 졸업  
 2004년 숭실대학교 컴퓨터학부  
 석사 졸업  
 2009년 숭실대학교 컴퓨터학부  
 박사 졸업

2009년~현재 삼성 LED 책임 연구원  
 <주관심분야 : VLSI, 회로해석 및 설계, 설계 자  
 동화>



김 석 윤(정회원)  
 1980년 서울대학교 공대  
 전기공학과 학사 졸업  
 1990년 University of Texas at  
 Austin 전기, 컴퓨터학과  
 석사 졸업  
 1993년 University of Texas at  
 Austin 전기, 컴퓨터학과  
 박사 졸업

1982년~1987년 한국전자 통신연구소 연구원

1993년~1995년 Motorola Inc. Senior Staff

Engineer

1995년~현재 숭실대학교 컴퓨터학부 교수.

<주관심분야 : 설계자동화, VLSI 회로해석 및 설  
 계>