

---

# MicroTec을 이용한 Trench D-MOSFET의 항복전압 분석

정학기\* · 한지형\*\*

Analysis of Breakdown voltage for Trench D-MOSFET using MicroTec

Hak-kee Jung\* · Ji-hyung Han\*\*

## 요 약

본 논문에서는 MicroTec을 이용하여 Trench D-MOSFET의 항복전압을 분석하였다. 소자의 고집적을 위한 특성 분석 기술은 빠른 변화를 보이고 있다. 이에 따라 고집적 소자의 특성을 시뮬레이션을 통하여 이해하고 이에 맞게 제작하는 기술은 매우 중요한 과제 중의 하나가 되었다. Trench MOSFET은 고전압에서 가장 선호하는 전원장치이다. Trench MOSFET에서 산화막 두께와 도핑농도는 항복전압의 크기를 결정하며 고전압에 커다란 영향을 미치고 있다. 본 연구에서는 채널의 도핑 농도를  $10^{15} \text{ cm}^{-3}$ 에서  $10^{17} \text{ cm}^{-3}$ 까지 변화시켜 도핑 농도에 따른 항복전압 특성을 조사하였다. 또한 게이트 산화막 두께와 접합깊이를 변화시켜 항복전압 특성을 분석하였다.

## ABSTRACT

In the paper, the breakdown voltage of Trench D-MOSFET have been analyzed by using MircoTec. The technology for characteristic analysis of device for high integration is changing rapidly. Therefore to understand characteristics of high-integrated device by computer simulation and fabricate the device having such characteristics became one of very important subjects. A Trench MOSFET is the most preferred power device for high voltage power applications. The oxide thickness and doping concentration in Trench MOSFET determines breakdown voltage and extensively influences on high voltage. We have investigated the breakdown voltage characteristics according to variation of doping concentration from  $10^{15} \text{ cm}^{-3}$  to  $10^{17} \text{ cm}^{-3}$  in this study. We have also investigated the breakdown voltage characteristics according to variation of oxide thickness and junction depth

## 키워드

Trench D-MOSFET, 항복전압, 산화막 두께, 도핑농도

## Key word

Trench D-MOSFET, Breakdown voltage, Oxide thickness, Doping concentration

---

\* 군산대학교 전자공학과 (교신저자, hkjung@kunsan.ac.kr)  
\*\* 군산대학교 전자정보공학부

접수일자 : 2010. 05. 28  
심사완료일자 : 2010. 05. 28

## I. 서 론

전력용 반도체들은 그 주요 영역인 전력 전자 산업의 비약적인 발전과 더불어 산업 설비, 가전기기, 수송, 정보, 통신용 시스템 등의 광범위한 분야에서 전원 장치, 전력 변화 및 제어 장치 등의 핵심 부품으로 꾸준한 발전을 계속하고 있으며 최근 전기 에너지에 대한 의존도가 높아지면서 고도 정보화 사회와 결합하여 전력 반도체 소자들의 응용 범위가 더욱 넓어지고 있는 실정이다[1]. 파워 MOSFET 소자는 높은 고전압 고전류 동작 때문에 일반 MOSFET와 달리 DMOS 구조를 가진다[2]. 고전류용 전력 MOSFET는 스위칭 속도가 빠르고, 입력 임피던스가 크며, 스위칭 전력 손실이 적으며 구동회로가 간단한 장점으로 인하여 인버터 및 컨버터 등 전력 변환 회로의 스위칭 소자로 중요하게 사용되어 왔다[3-4]. 스위칭 소자로 사용되는 고 전류용 DMOSFET에서 전력 손실을 최소화하고 스위칭 효율을 높이기 위해서 on-저항을 최소화하여야 하며, 대부분 MOSFET에 대한 연구도 on-저항 감소 방법에 집중되어 왔다.

수평 구조의 전력 DMOSFET에서의 on-저항 특성 향상은 미세 패턴 형성 및 구현기술의 발전으로 단위 면적 당 셀 밀도와 채널 전류를 증가시킴으로써 어느정도 성과를 거두었으나, 셀간 거리가 가까워질수록 기생 JFET에 의한 핀치 저항(pinching resistance)의 증가로 on-저항을 줄이는데 한계가 있었다. 이러한 문제점을 극복하기 위하여 개발된 Trench DMOSFET는 채널을 수직방향의 실리콘 트렌치 면에 형성하여 기생 JFET 구조를 배제할 수 있어 낮은 on-저항 특성을 얻을 수 있고 셀 밀도를 크게 향상시킬 수 있다[5]. 그러므로 이 연구에서는 접합 깊이, 채널도핑 및 산화막 두께에 따른 항복전압의 변화를 고찰 할 것이다.

본 논문의 2장에서는 소자구조와 동작에 대하여 설명 할 것이며, 3장에서는 MicroTec을 이용한 시뮬레이션 방법 및 결과를 고찰 할 것이다. 그리고 4장에서 결론을 맺을 것이다.

## II. 소자구조와 동작

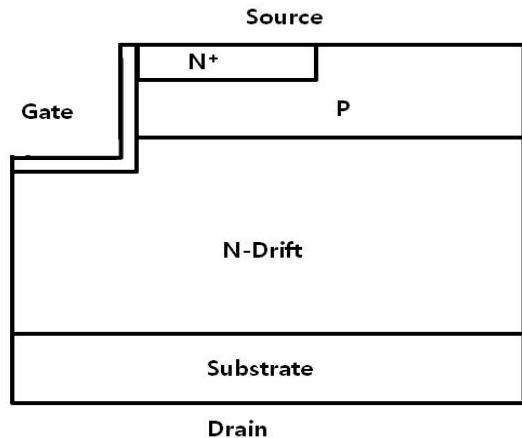


그림 1. Trench DMOSFET 구조.  
Fig. 1 Trench DMOSFET Structure.

그림 1은 Trench DMOSFET 구조이다. 상부에는 게이트와 소스 전극이 위치하고 하단에 드레인 전극이 위치하는 수직형 MOSFET이다. 트렌치 구조에서는 트렌치 하단의 코너 부분에 걸리는 전계가 항복전압에 중요한 영향을 미친다[6]. 또한 on-상태시 전압강하는 순방향 바이어스 된 P-sub/N-drift 접합의 전압강하와 전도도 변조된 N-drift 영역의 전압 강하 그리고 MOSFET의 전압 강하로 이루어진다.

드리프트층 저항의 감소 때문에 JFET 저항과 채널 저항이 on-상태 드레인-소스 사이의 전압강하에서 차지하는 부분이 상대적으로 증가한다. 채널에서의 전압 강하는 채널길이, 게이트 산화막 두께에 비례하고 채널 너비, 전자이동도 그리고 게이트 바이어스에 반비례한다.

## III. 시뮬레이션 방법 및 결과

본 논문에서 사용된 MicroTec은 실리콘 공정 디바이스 시뮬레이터로써 Sidif, MergIC, Sem-Sim, SibGraf 4개의 프로그램들로 구성되어 있다. SibGraf는 시뮬레이션 결과를 출력하는 프로그램으로 2D와 3D로 나타내며, Sidif는 공정 시뮬레이션, MerIC는 디바이스 조립,

SemSim은 디바이스 시뮬레이션으로써 공정 시뮬레이션인 SiDif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다.

표 1. 시뮬레이션을 위한 소자 설계 파라미터.  
Table. 1 Design parameter for simulation.

| 파라미터           | 도핑농도                                | 접합깊이              |
|----------------|-------------------------------------|-------------------|
| substrate      | $5 \times 10^{15} \text{ cm}^{-3}$  | 12 $\mu\text{m}$  |
| Drain          | $1 \times 10^{20} \text{ cm}^{-3}$  | 0 $\mu\text{m}$   |
| Source         | $1 \times 10^{20} \text{ cm}^{-3}$  | 0 $\mu\text{m}$   |
| P-well         | $-1 \times 10^{19} \text{ cm}^{-3}$ | 0 $\mu\text{m}$   |
| Gate N+ Trench | $1 \times 10^{19} \text{ cm}^{-3}$  | 1.5 $\mu\text{m}$ |
| Trench P-well  | $-1 \times 10^{17} \text{ cm}^{-3}$ | 1.2 $\mu\text{m}$ |

표 1에 시뮬레이션을 위한 설계파라미터를 정리 하였다. 그림 2는 Gate N+ Trench 접합깊이를 0.5 $\mu\text{m}$ , 1 $\mu\text{m}$ , 1.5 $\mu\text{m}$ 로 변화한 Trench MOSFET의 전류-전압 특성 곡선을 나타낸 그림이다. 접합깊이가 0.5 $\mu\text{m}$  일 때 항복전압은 43.5V이고, 접합 깊이가 1 $\mu\text{m}$ 일 때 항복전압은 36V, 접합 깊이가 1.5 $\mu\text{m}$ 일 때 항복전압은 22.5V로 나타났다. 접합 깊이가 1.5 $\mu\text{m}$ 일 때 보다 0.5 $\mu\text{m}$ 일 때 항복전압이 21V 증가하였다. 접합 깊이가 1 $\mu\text{m}$ , 1.5 $\mu\text{m}$  일 때와는 달리 접합깊이가 0.5 $\mu\text{m}$ 일 때에는 드레인 전압이 22V에서 43V의 범위에서 드레인 전류가 증가하면서 43.5V에서 항복전압이 나타남을 알 수 있다.

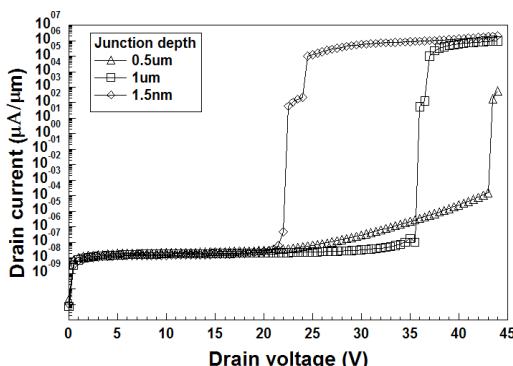


그림 2. 접합 깊이에 따른 전류-전압 특성 곡선.  
Fig. 2 I-V characteristic curve with different Junction depth.

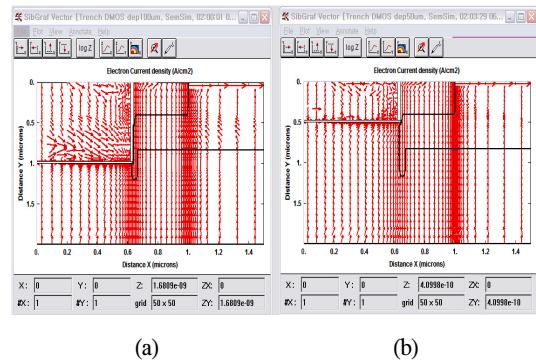


그림 3. 접합 깊이에 따른 전자 전류 밀도.

(a) 접합 깊이=1 $\mu\text{m}$ , (b) 접합 깊이=0.5 $\mu\text{m}$

Fig. 3 Electron current density with different Junction depth

(a) Junction depth = 1 $\mu\text{m}$ , (b) Junction depth = 0.5 $\mu\text{m}$ .

그림 3은 접합 깊이가 1 $\mu\text{m}$ 과 0.5 $\mu\text{m}$ 일 때 전자 전류 밀도를 나타낸 그림이다. 트렌치 깊이가 증가하면서 트렌치 하단부의 전류밀도가 증가하였다. 이는 트렌치 깊이가 증가함에 따라 게이트와 산화막간의 n 영역이 완전히 공핍되어 채널 영역에서의 전위 장벽 외에 또 다른 전위 장벽을 형성하기 때문이다. 즉, 항복전압이 채널영역에서의 전위 장벽의 영향을 받게 되며, Gate N+ Trench 게이트의 접합 깊이가 작은 경우, 채널 영역에서의 전위 장벽의 크기가 드레인 전압이 증가함에 따라 감소하기 때문이다.

그림 4a는 산화막 두께를 2nm, 4nm, 6nm로 변화할 때 Trench MOSFET의 전류-전압 특성 곡선을 나타낸 그림이다. 산화막 두께가 2nm일 때 항복전압은 23V, 4nm일 때 26V, 6nm일 때 29.5V이다. 그림 4b는 항복발생시 트렌치 게이트 하단에 인가되는 전위의 세기를 알아보기 위하여 전위분포를 나타낸 그림이다. 게이트 하단에 강한전위가 인가되어 항복전압에 영향을 미치는 것으로 나타났다. 산화막 두께가 2nm일 때 전위는 0.45V이고, 산화막 두께가 6nm일 때의 전위는 0.42V이다. 트렌치 게이트 하단에 걸리는 전위가 높으면 항복전압은 감소하는 것을 알 수 있다.

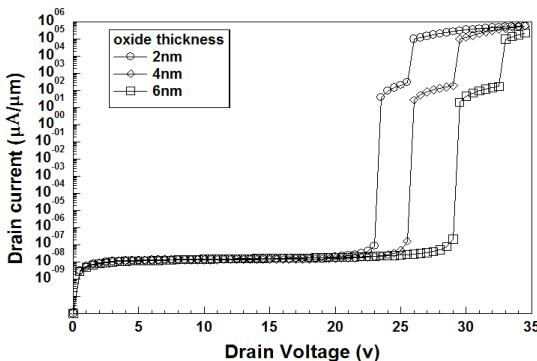


그림 4a. 산화막 두께에 따른 전류-전압 특성 곡선.

Fig. 4a I-V characteristic curve with different oxide thickness.

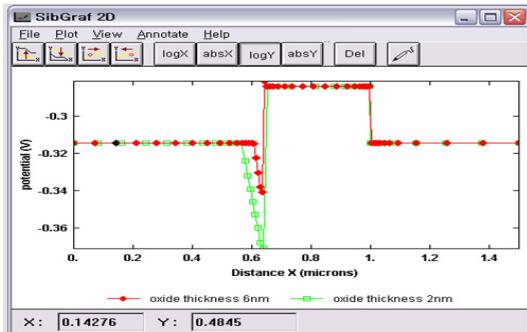


그림 4b. 산화막 두께에 따른 전위 분포

Fig. 4b Potential distributions with different oxide thickness.

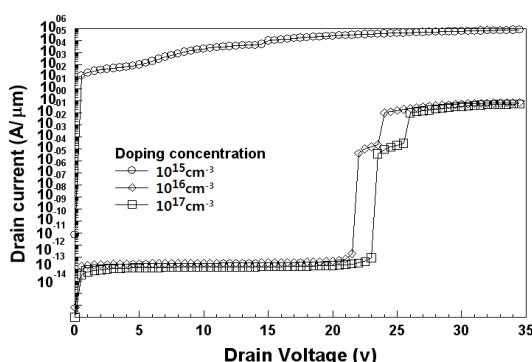


그림 5. 도핑농도에 따른 전류-전압 특성 곡선.

Fig. 5 I-V characteristic curve with different Doping concentration.

그림 5은 Trench P-well의 도핑농도를  $1 \times 10^{17} \text{ cm}^{-3}$ 에서  $1 \times 10^{15} \text{ cm}^{-3}$ 으로 순차적으로 낮추면서 시뮬레이션 한 결과이다. 도핑농도가  $1 \times 10^{17} \text{ cm}^{-3}$  일 때 항복전압은 22.5V,  $1 \times 10^{15} \text{ cm}^{-3}$  일 때 항복전압은 0.5V이다. 도핑농도가  $1 \times 10^{15} \text{ cm}^{-3}$  일 때에는 소자로 사용 할 수가 없다. n형 영역에 고도평된 다이오드는 큰 자생 전계를 갖는다. 그러므로 낮은 전압으로도 원하는 항복전계를 얻을 수 있을 것이다. 농도를 낮출 경우 문턱전압이 낮아지는 효과보다는 공핍층이 넓어져 편치스루가 일찍 발생하여 항복전압이 낮아지는 것이 더 큰 문제라고 사료된다.

## V. 결 론

본 논문에서는 MicroTec을 이용한 Trench D-MOSFET의 항복전압을 분석하였다. Trench D-MOSFET의 Gate N+ Trench의 접합 깊이를 0.5μm, 1μm, 1.5μm로 변화하고, 산화막의 두께를 2nm, 4nm, 6nm로 변화하면서 실험을 하였고, P-well의 도핑농도를  $1 \times 10^{17} \text{ cm}^{-3}$ 에서  $1 \times 10^{15} \text{ cm}^{-3}$ 으로 변화하면서 항복전압을 구하였다. 접합 깊이가 0.5 μm 일 때 항복전압은 43.5V이고, 접합 깊이가 1μm일 때 항복전압은 36V, 접합 깊이가 1.5μm일 때 항복전압은 22.5V으로, 접합깊이가 1.5μm일 때 보다 0.5μm일 때 항복전압이 21V 증가하였다. 산화막 두께에 따른 항복전압을 비교하면 산화막의 두께가 6nm일 때 29.5V로 가장 높은 항복전압을 나타내었다. 마지막으로 P-well의 도핑농도 변화에 따른 결과는 도핑농도가  $1 \times 10^{17} \text{ cm}^{-3}$ 에서 가장 높은 22.5V를 나타내었다. 산화막 두께 변화에 따른 결과는 항복전압의 크기가 별 차이가 없었으나, Trench P-well 도핑농도 변화에 따른 결과에서 도핑농도가  $1 \times 10^{17} \text{ cm}^{-3}$  일 때  $1 \times 10^{15} \text{ cm}^{-3}$  보다 항복전압이 22V 증가하였고, Gate N+ Trench 접합깊이 변화에 따른 결과에서 접합 깊이가 1.5μm일 때 보다 0.5μm일 때 항복전압이 21V 증가하였다. 본 논문의 결과로 접합깊이와 도핑농도를 조절하여 더 높은 항복전압을 얻을 수 있다고 생각한다. 수직형 Trench D-MOSFET는 채널 영역이 수직방향으로 형성되므로 기판 전압에 의한 영향을 최소화시킬 수 있는 장점을 가지며, 이것은 전력용 집적회로 소자로 사용하기에 매우 좋은 특성을 나타낸다고 사료된다.

### 참고문헌

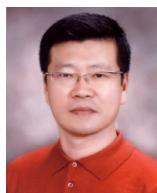
- [1] V. Benda, J. Gowar, and D. A. Grant, "Power semiconduvtor devices", John Wiley & Sons, Inc., 1999.
- [2] 양일석, 김종대, 장문규, "친환경 절전형 전력반도체 기술", 전자통신동향분석 제 24권 제6호, pp.11-21, 2009.
- [3] 강이구, 성만영, "레치업 특성의 개선과 고속 스위칭 특성을 위한 다중 케이트 구조의 새로운 LIGBT", 전기전자재료학회논문지, 제13권 제5호p.371, 2000.
- [4] R. Sodhi, "High-density ultra-low Rdson 30V n-channel trench FETs for DC/DC converter applications", Proceeding of ISPSD, p.307, 1999.
- [5] 문승현, 강이구, 성만영, 김상식, "스마트 파워 IC를 위한 P+ Driver 구조의 횡형 트렌치 IGBT", 전기전자재료학회논문지, 제14권, 제7호, p.546, 2001.
- [6] F. Udrea, S. S. M. Chan, J. Thomson, T.Trajkovic, P. R. Waind, G. A. J. Amara-tunga, and D. E. Cress, "1.2 kV trench insulated gate bipolar transistors with ultralow on-resistance", IEEE Elec. Device Letters, Vol. 20, No. 8, p.428, 1999.



한지형(Ji Hyung Han)

2008. 군산대학교 전자정보공학부  
(BS)  
2010. 군산대학교 대학원  
전기전자제어공학부(MS)  
2010. 3월~ 군산대학교 대학원 전기전자제어공학부  
박사과정  
※관심분야: 반도체소자설계 및 시뮬레이션

### 저자소개



정학기(Hak Kee Jung)

1983. 아주대학교 전자공학과(BS)  
1985. 연세대학교 전자공학과(MS)  
1990. 연세대학교 전자공학과(Ph.D)  
1995. 일본 오사카대학 객원연구원  
  
2004. 호주 그리피스대학 객원연구원  
2006. 한국해양정보통신학회 편집이사  
2007. 한국해양정보통신학회 상임이사  
※관심분야: 반도체소자 시뮬레이션, 몬테칼로  
시뮬레이션, 회로 및 시스템 해석 등