

분산 소자 형태의 마이너스 군지연 회로를 이용한 고효율 피드포워드 증폭기의 분석 및 설계

Analysis and Design of High Efficiency Feedforward Amplifier Using Distributed Element Negative Group Delay Circuit

최흥재 · 김영규 · 심성운 · 정용채 · 김철동*

Heungjae Choi · Younggyu Kim · Sungun Shim · Yongchae Jeong · Chul Dong Kim*

요 약

본 논문에서는 분산 소자 형태의 마이너스 군지연 회로를 이용함으로써 피드포워드 증폭기의 효율 개선 및 구현의 용이성을 증대시킬 수 있는 새로운 구조의 피드포워드 증폭기를 제안한다. 피드포워드 증폭기의 지연 소자에 의한 삽입 손실은 심각한 시스템의 효율 저하를 유발한다. 일반적으로 이러한 손실을 줄이기 위하여 고 출력 동축 케이블 또는 지연 선로 역파기를 사용하지만, 그러한 소자들의 삽입 손실조차도 무시할 수 없어서 피드포워드 증폭기의 제약 사항으로 작용한다. 제안하는 마이너스 군지연 회로를 이용함으로써 광대역 선형화를 위해 혼변조 왜곡 신호 상쇄 루프에 사용되는 지연 소자를 제거할 수 있다. 중심 주파수가 2.14 GHz인 WCDMA 하향 대역에서 -9 ns의 군지연, 0.2 dB의 삽입 손실, 그리고 30 MHz의 대역폭을 갖도록 제작된 2단 분산 소자 마이너스 군지연 회로를 이용하여 제작된 제안하는 구조의 피드포워드 증폭기는 평균 출력 전력이 44 dBm 일 때 -53.2 dBc의 인접 채널 누설비(Adjacent Channel Leakage Ratio: ACLR)를, 19.4 %의 전력 부가 효율(Power Added Efficiency: PAE)을 갖는 것으로 측정되었다.

Abstract

We will demonstrate a novel topology for the feedforward amplifier. This amplifier does not use a delay element thus providing an efficiency enhancement and a size reduction by employing a distributed element negative group delay circuit. The insertion loss of the delay element in the conventional feedforward amplifier seriously degrades the efficiency. Usually, a high power co-axial cable or a delay line filter is utilized for a low loss, but the insertion loss, cost and size of the delay element still acts as a bottleneck. The proposed negative group delay circuit removes the necessity of the delay element required for a broadband signal suppression loop. With the fabricated 2-stage distributed element negative group delay circuit with -9 ns of total group delay, a 0.2 dB of insertion loss, and a 30 MHz of bandwidth for a wideband code division multiple access downlink band, the feedforward amplifier with the proposed topology experimentally achieved a 19.4 % power added efficiency and a -53.2 dBc adjacent channel leakage ratio with a 44 dBm average output power.

Key words : Distributed-Element, Efficiency Enhancement, Feedforward Amplifier, Negative Group Delay Circuit, Transmission Line Resonator, WCDMA

전북대학교 전자정보공학부 및 반도체설계교육센터(IDE Working Group)(Division of Electronics and Information Engineering, Chonbuk National University)

*세원텔레텍(주)(Sewon Teletech. Inc.)

· 논문 번호 : 20091127-19S

· 교신저자 : 정용채(e-mail : ycjeong@jbnu.ac.kr)

· 수정완료일자 : 2010년 5월 17일

I. 서 론

Black에 의해 처음 소개되고 Seidel이 실험적으로 동작을 확인한 피드포워드 증폭기 시스템은 특히 현대 무선 이동통신 환경에 있어서 기지국용 선형 송신기로서 핵심적인 역할을 하고 있다^{[1][2]}. 피드포워드 방식 외에도 아날로그 전치 왜곡 선형화기, 디지털 전치 왜곡 선형화기, 직접 부채환(feedback) 또는 polar 및 Cartesian 루프와 같은 간접 부채환 등의 다양한 선형화 방식이 존재한다^[3]. 그럼에도 불구하고, 피드포워드 증폭기는 여러 방식 중 가장 넓은 선형화 대역폭과 뛰어난 선형성 개선 효과, 그리고 진행성 루프로 인한 높은 안정성 등의 장점으로 인하여 매우 널리 이용되어 오고 있다^{[4]~[10]}.

여타 선형화 방식보다 좋은 선형화 효과를 갖는 피드포워드 증폭기 시스템이 상대적으로 낮은 효율을 갖게 되는 주요한 요소는 혼변조 왜곡 신호 상쇄 루프에 오차 증폭기(Error Power Amplifier: EPA)와 EPA에 의해 발생하는 군지연 시간을 정합해 주기 위해 주 증폭기(Main Power Amplifier: MPA) 출력단에 사용되는 군지연 소자 및 결합기들인데, 특히 군지연 소자의 삽입 손실이 문제가 된다. 혼변조 왜곡 신호 상쇄 루프 상에 있는 EPA와 가변 감쇄기/위상 조절기 등을 신호가 통과하는데 신호 전달 시간이 필요하므로, 광대역 루프 상쇄를 위해 MPA 출력단에 존재하는 군지연 소자의 삽입 손실은 피드포워드 시스템 설계의 피할 수 없는 제약 사항이다.

최근에 마이너스 군지연이라는 흥미로운 개념에 대한 실험적인 입증과 전기전자 회로를 통한 접근 방법이 제안되었다. 마이너스 군지연(Negative Group Delay: NGD)은 일반적인 조건에서는 나타나지 않는 독특하고 혼동스러운 개념이기도 하다. 이와 유사한 현상에 관하여는 비정상적인 확산 특성이 일어나는 특정 주파수 대역에서 군속도가 진공 상태에서 빛의 속도 c 보다 크거나 심지어 음의 값을 갖는 현상이 관찰되었으며, 이를 초광속 효과라고 정의하였다^{[11]~[13]}. 이러한 초광속 현상을 전기전자 회로에 적용하고자 하는 다양한 시도가 보고되었다^{[14]~[16]}. 참고 문헌 [16]에서는 마이너스 군지연 시간을 갖는 마이너스 군지연 회로(Negative Group Delay Circuit: NG-DC)를 피드포워드 증폭기 시스템에 적용한 연구 결

과가 보고되었다. 그러나 500 MHz 대역에서 2 MHz의 주파수 폭을 갖는 2-tone 신호로 이루어진 이 실험은 신호 대역폭이 상용 기지국용으로는 너무 좁고, 집중소자로 구현된 NGDC의 입/출력 반사 특성이 좋지 못하였으며, 집중소자를 사용한 NGDC는 계산 값과 일치하는 집중소자의 값을 얻지 못하는 경우가 대부분이라는 단점이 존재한다. 또한 정성적인 설계만이 소개되고, NGD를 얻을 수 있는 일반 회로 합성식이 주어지지 않았다는 문제점도 있었다.

본 논문에서는 분산 소자로 구현할 수 있는 NGDC를 제안하고, 제안된 NGDC를 사용하여 군지연 소자가 필요 없는 새로운 구조의 피드포워드 증폭기 시스템을 제안한다. 제안하는 구조를 통해 얻을 것으로 예상되는 주요한 효과는 MPA의 출력단에 연결된 군지연 소자를 제거함으로써 얻어지는 효율 개선 효과이다. 또한 기존에 군지연 소자로서 사용되는 지연 선로 여파기나 고출력 동축 케이블을 제거함으로써 피드포워드 증폭기 시스템 크기 감소 및 비용 절감의 효과들을 아울러 얻을 수 있다.

II. 동작 원리 및 구성 회로

2-1 선형 전력 증폭기 시스템의 효율 저하

기존 연구에서 이미 논의된 바와 같이 피드포워드 증폭기의 주요한 효율 저하 요소는 그림 1(a)에 나타난 것과 같이 혼변조 왜곡 루프에 사용된 EPA의 DC 전력 소모와 MPA 출력단의 군지연 소자(DELAY 2)의 삽입 손실을 들 수 있다. 또 다른 사례로써, 그림 1(b)는 교차 상쇄 기법을 이용한 선형 평형 전력 증폭기의 구조를 나타낸다^[10]. 이 구조는 일반적인 피드포워드 증폭기보다 더 좋은 효율을 가지지만, 이 구조 역시 MPA_{IC} 의 출력단에 EPA_C 에 의해 발생하는 군지연을 정합해 주기 위한 지연 소자(DELAY 3)가 역시 사용되고 있다.

전력 증폭기의 동작 클래스(class), MPA와 EPA의 전력비, 그리고 목표포 설정하는 혼변조 왜곡 레벨을 신중하게 결정함으로써 피드포워드 증폭기의 DC 전력 소모를 최소화하고 효율을 최적화할 수 있다. 그러나 EPA와 루프의 진폭 및 위상 정합을 위해 사용되는 가변 진폭/위상 조절기 등으로 인한 전달 시간이 존재하는 한 지연 소자의 사용은 피할 수 없다.

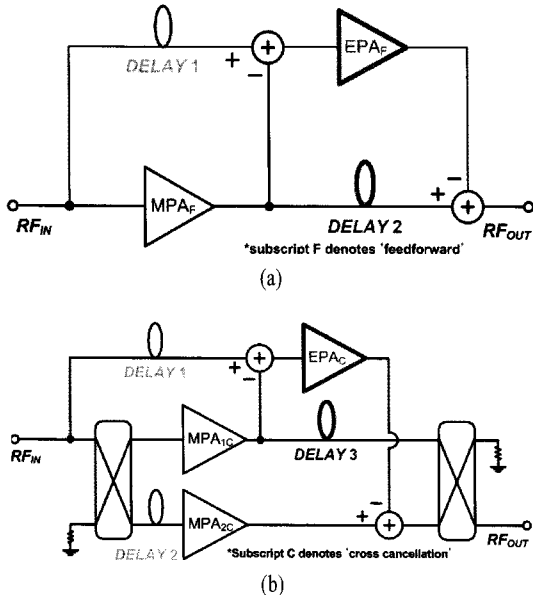


그림 1. (a) 일반적인 피드포워드 전력 증폭기의 블록도, (b) 교차 상쇄 기법의 블록도

Fig. 1. Block diagrams of, (a) typical feedforward power amplifier and (b) cross cancellation technique.

매우 흥미로운 속성인 NGDC의 발견 이후에 초고주파 회로 설계에 있어서 전달 시간이 0인 회로가 구현 가능하고 실험적으로 얻을 수 있는 특성이 되었다. NGD의 물리적인 속성인 인과성에 관한 쟁점들과 전기적 회로를 이용한 접근 방법에 관한 연구가 이미 활발하게 이루어지고 있으며, 실험 결과를 통하여 증명되었다^{[11]~[18]}. NGD 개념을 적용하여 효율을 저하 요소인 지연 소자를 완전히 제거할 수 있으며, 이를 통해 전력 증폭기 선형화 기법의 효율을 증대시킬 수 있다.

2-2 지연 선로가 제거된 피드포워드 증폭기

그림 2는 본 연구에서 제안하는 분산 소자 형태의 NGDC를 적용한 피드포워드 증폭기의 두 가지 구조이다. 그림 2의 (a)에서는 NGDC가 EPA 경로에 삽입되었으며, 그로 인하여 EPA, 가변 감쇄/위상 조절기, 그리고 또 다른 결합 소자들에 의한 군지연 시간을 보상해 주므로 MPA 출력 단에 군지연 소자를 사용하지 않아도 된다. 이 때, MPA 출력 단의 지연 선로에 의한 삽입 손실이 없어져서 전체 시스템의 효율

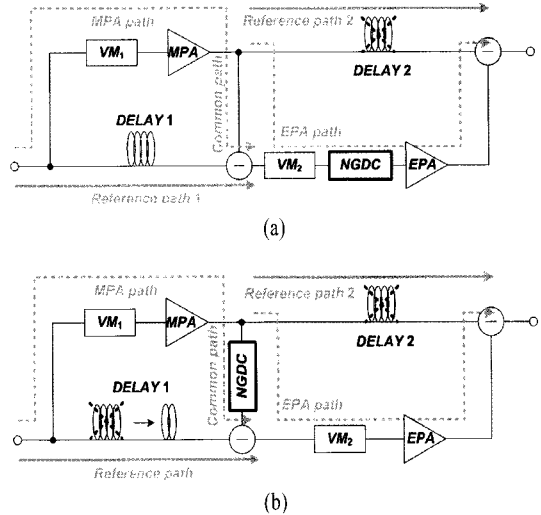


그림 2. 본 연구에서 제안하는 새로운 구조의 피드포워드 증폭기, (a) 분산 소자 형태의 NGDC를 EPA 경로에 삽입한 구조, (b) 공통 경로에 삽입한 구조

Fig. 2. Proposed novel feedforward amplifier topologies with negative group delay circuit employed at, (a) EPA path and (b) common path.

을 증가시켜 주며, 수신호 상쇄 기능은 영향을 받지 않는다. 그림 2(b)의 구조에서는 NGDC가 수신호 상쇄 루프와 혼변조 왜곡 신호 상쇄 루프의 공통 경로에 삽입되었다. 그로 인하여 MPA의 군지연 소자(DELAY 1)와 혼변조 왜곡 신호 상쇄 루프(DELAY 2)의 군지연 소자를 동시에 감소시킬 수 있다. 만약 MPA와 EPA 경로의 군지연 시간이 동일할 경우, 전체 시스템에서 지연 소자들을 완전히 제거 가능하여 피드포워드 시스템의 효율을 증대시키면서 전체 크기를 줄일 수 있을 것이다.

일반적으로 군지연 소자는 작은 삽입 손실을 갖도록 직경이 큰 고출력 동축 선로 또는 부피가 큰 군지연 여파기로 구현되어 시스템 크기를 줄이는데 제약 사항으로 작용하지만, NGDC와 손실 보상 회로는 90° 하이브리드, 전송 선로와 소신호 증폭기로 이루어져서 EPA 구현 시에 함께 집적화가 가능하다. 그로 인하여 고가의 군지연 여파기 또는 고출력 케이블을 제거함으로써 시스템 크기 감소와 제작 단가의 인가가 가능하다. 본 연구에서는 그림 2(b)의 구조를 채택하였다.

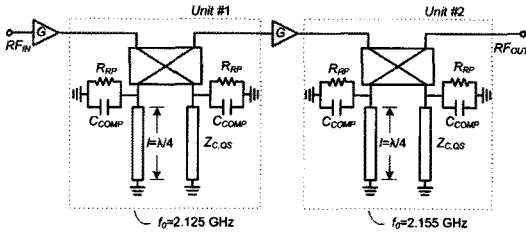


그림 3. 2단 반사형 분산 소자 NGDC^[18]
 Fig. 3. The circuit diagram of a 2-stage reflection type negative group delay circuit, from references [18].

III. 회로 설계 및 제작

전달형 series-parallel(SP) 및 shunt-series(SS) NG-DC에 관한 분석은 이미 참고문헌 [17]에서 이루어졌다. 하지만 전달형 NGDC는 반사계수가 좋지 못하며, 이를 극복하기 위하여 반사형 NGDC를 제안하였다^[18]. 반사형 회로 구조는 RF 회로의 입/출력 반사계수를 개선하고자 할 때 매우 유용하며, 그 예로 3 dB 하이브리드를 이용한 반사형 위상/이득 조절기를 들 수 있다. 공진 회로의 모양을 갖지만 소모성 소자인 저항이 추가되어 있는데, 이 회로를 3 dB 하이브리드의 결합 및 전달 단에 부착함으로써 입출력 반사 특성이 양호한 NGDC를 구현할 수 있다.

피드포워드 증폭기의 오차 증폭기 경로의 군지연 시간을 감소시키기 위하여 -9 ns의 군지연, 0.2 dB의 삽입 손실, 그리고 WCDMA 하향 주파수 대역의 중심 주파수에서 30 MHz의 대역폭(2.125~2.155 GHz)을 갖는 2단 반사형 NGDC를 설계하였다. 설계된 회로는 그림 3에 나타난 것과 같이 90° 하이브리드와 각각 중심 주파수가 2.125 GHz 와 2.155 GHz인 두 개의 단위 분산 소자 NGDC(#1 과 #2)로 구성되어 있다. 두 회로를 연속으로 연결하여 동작 대역에서 평탄한 이득 및 NGD 특성을 얻을 수 있었다^[19]. 분산 소자 NGDC의 손실 성분은 그림 3에 표현된 것과 같이 이득이 G인 범용 소신호 증폭기를 이용하여 보상하였다. 각 소신호 증폭기 모듈은 Mini-Circuits 사의 2단 ERA-5SM으로 구성되어 있으며, 전체 2단 NGDC의 총 전력 소모는 2 W이다. 이 전력 소모는 MPA 출력 단에 위치한 군지연 소자에서의 전력 소모에 비해 매우 작은 값이다. 그림을 보면 보상 캐패시터(C_{COMP})가 R_{SP} 에 연결되어 있는데, 이는 칩 저항

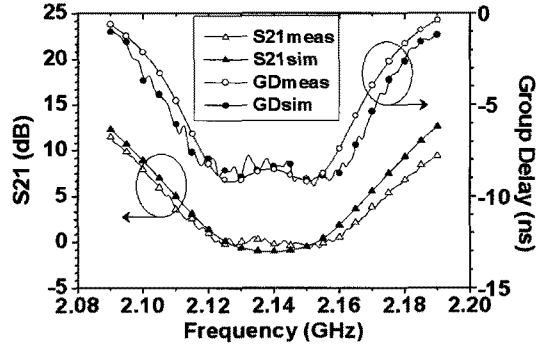


그림 4. 2단 반사형 NGDC의 군지연 및 삽입 손실의 시뮬레이션 측정 결과
 Fig. 4. The simulated and measured group delays and insertion losses of the 2-stage reflection type negative group delay circuit.

의 기생 인덕턴스 성분을 보상하기 위한 것이다. 그림 4는 설계된 2단 분산 소자 NGDC의 시뮬레이션 및 측정 결과를 보여준다. 시뮬레이션 결과와 측정 결과가 거의 일치하며, 측정된 군지연과 삽입 손실은 동작 주파수에서 각각 -9 ± 0.25 ns와 -0.21 ± 0.06 dB이다. 시뮬레이션과 측정 결과상의 미세한 오차는 소신호 증폭기의 이득 오차와 나머지 연결 소자들에 의한 손실 성분에 기인한다. 더 큰 값의 군지연 시간이 필요할 경우, 대역폭과 군지연 시간 간의 trade-off가 필요하다.

제안된 분산 소자 형태의 NGDC를 적용한 피드포워드 증폭기는 세원텔레텍(주)사의 상용 선형 증폭기인 STA-0821-3940MM을 이용하여 구현하였으며, 이 때 선형화 특성을 살펴보기 위하여 상용 증폭기의 DPD와 자동 전력 차단 기능을 비활성화 시킨 후에 측정하였다. 주 전력 증폭기는 28 V가 인가될 때 이득이 54.8 dB, 최대 출력 전력이 49.18 dBm으로 측정되었다. 최대 출력에서 PAE는 약 38.3 %였다. 적용된 분산 소자 NGDC는 그림 3과 같이 원하지 않는 주파수 대역에서의 잡음을 증폭시키는 문제를 안고 있어, 대역 통과 여파기를 제작하여 NGDC 앞에 추가함으로써 전체 시스템에서의 발진의 발생 가능성을 제거하였다.

그림 5와 그림 6은 각각 측정된 주신호 제거 루프와 혼변조 왜곡 신호 제거 루프의 루프 상쇄도를 나타내고 있다. 2-FA WCDMA 신호가 갖는 대역폭에 대하여, 주신호 상쇄는 최소 -32.8 dBc의 상쇄도를

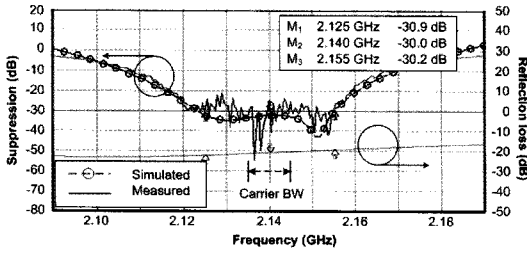


그림 5. 주 신호 상쇄 루프의 상쇄도 측정 결과
Fig. 5. The measured carrier suppression loop characteristics.

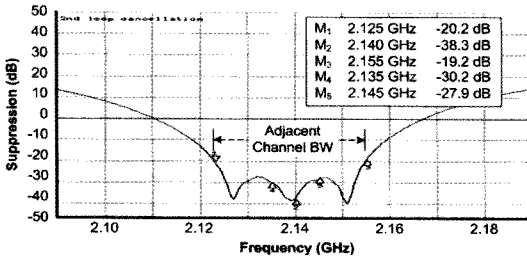


그림 6. 혼변조 왜곡 신호 상쇄 루프의 루프 상쇄도 측정 결과
Fig. 6. Measured IMD suppression-loop characteristic.

갖는 것으로 측정되었다. 혼변조 왜곡 신호의 상쇄를 위하여 인접 채널까지 고려할 경우, 30 MHz 대역에서 인접 채널 누설비(Adjacent Channel Leakage Ratio: ACLR)은 19.2 dB 이상 개선할 수 있음을 확인하였다.

그림 7은 2-FA WCDMA를 입력하여 43 dBm의 출력을 얻을 때 제안된 피드포워드 증폭기의 선형화 동작 유무에 따른 스펙트럼을 나타내고 있다. 5 MHz 이격된 주파수에서 측정했을 때, 선형화 동작을 시키지 않았을 때(Without_Cancel) ACLR이 -36.3 dBc이었으나, 선형화 동작을 시켰을 때(With_Cancel) -56.6 dBc로 20.3 dB의 개선 효과를 얻을 수 있었다.

그림 8은 8 dB 출력 동적 영역에 대하여 측정된 선형화 전/후의 ACLR 특성을 보이고 있다. 선형화 특성은 43 dBm일 때 최적의 선형성을 나타내고 있으며, 37~44 dBm 범위의 출력일 때 5 MHz 이격된 주파수에서 약 -53 dBc 이하의 레벨을 유지하고 있다.

동적 출력 범위에서 측정된 ACLR 및 PAE 성능들은 그림 9에 나타났다. 평균 출력 전력이 44 dBm 일 때, ACLR과 PAE는 각각 -53.2 dBc와 19.4 %로 측정되었는데, 이 값은 NGDC의 손실 보상을 위해 사

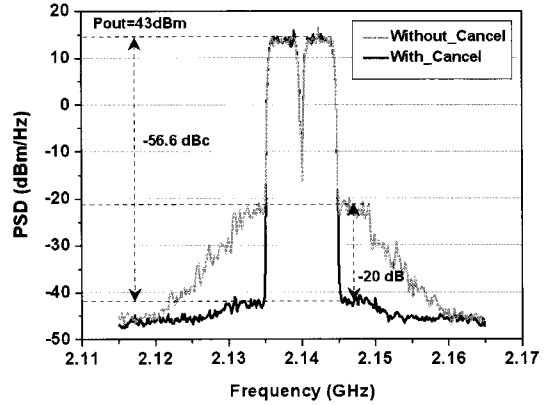


그림 7. 평균 출력 전력이 43 dBm일 때 2-carrier WCDMA 신호(PAPR: 10.5 dB @ 0.01 %)를 이용하여 측정된 선형화 전(Without_Cancel)과 후(With_Cancel)의 스펙트럼
Fig. 7. The measured 2-carrier WCDMA spectra(PAPR: 10.5 dB @ 0.01 %) before(Without_Cancel) and after(With_Cancel) linearization at an average output power of 43 dBm.

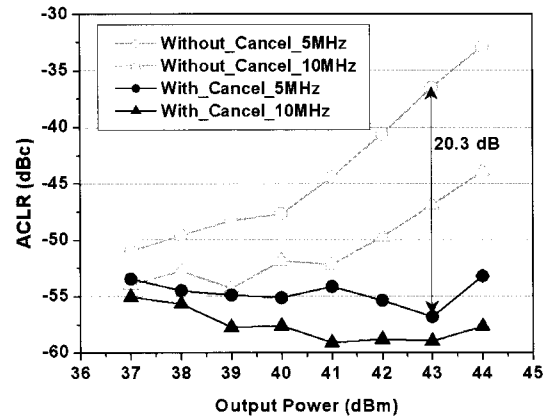


그림 8. 각각 5 MHz, 10 MHz 이격된 주파수에서 측정된 피드포워드 증폭기의 ACLR 특성
Fig. 8. Measured ACLR at 5-MHz and 10-MHz offset of the proposed feedforward amplifier.

용된 소신호 증폭기의 전력 소모들도 모두 포함되어 있는 값이다. 평균 출력 전력이 43 dBm일 경우, ACLR은 -56.6 dBc, PAE는 17 %로 측정되었다. 피드포워드 증폭기에서 이러한 뛰어난 효율 특성은 MPA 출력단에 위치한 자연 선로의 손실을 제거함으로써 얻어진 것이다. 만약 MPA의 출력이 더 크면, 예를 들어 수 kW 급의 전력 증폭기의 경우, 추가된 소신호 증폭기의 전력 소모가 전체 전력 소모에서

표 1. 피드포워드 증폭기의 측정된 특성 요약 비교

Table 1. Performance summary and comparison of feedforward amplifiers.

	Frequency (GHz)	P_{out} (dBm)	Test signal	Signal BE (MHz)	Linearity (dBc)	Drain efficiency (%)
[7]	1.97	46.6	CDMA	3.75	-52	7
[16]	0.56	41	2-tone	2	-65	12
[20]	2.14	46.5	WCDMA	10	-55	13.6
[21]	2.14	26	2-tone	-	-	12
[22]	0.22	40	2-tone	0.05	-35	27
[23]	0.22	40	2-tone	0.05	-32	33
[24]	2.12	45.6	WCDMA	-	< -50	10
This work	2.14	44	WCDMA	10	-53	19.5

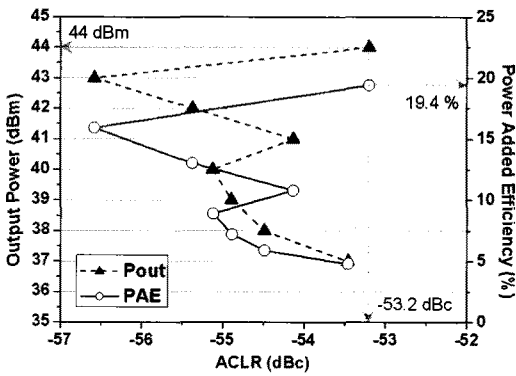


그림 9. 평균 출력 전력에 대하여 측정한 ACLR과 PAE

Fig. 9. Measured ACLR and PAE performance with respect to the average output power.

차지하는 비중이 거의 무시할만한 수준으로 작아지기 때문에 효율 증대 효과가 더욱 명확하게 나타날 것이다.

제작된 피드포워드 증폭기의 측정 성능 요약 및 기존 피드포워드 증폭기와의 성능 비교가 표 1에 요약되어 있다. 2-tone 신호를 증폭시키는 피드포워드 증폭기는 신호의 첨두 대비 평균비(Peak to Average Ratio: PAR)가 상대적으로 작기 때문에 증폭기를 포화 레벨 근처에서 동작시킬 수 있으며, 따라서 상대적으로 높은 효율을 얻기에 용이하다. 그러나 높은 PAR를 갖는 광대역 변조 신호는 상대적으로 전력증폭기를 back-off한 영역에서 동작을 시켜야 하며, 그로 인하여 효율이 급격히 저하된다. 본 연구에서 얻은 결과인 19.5%의 드레인 효율(또는 19.4%의

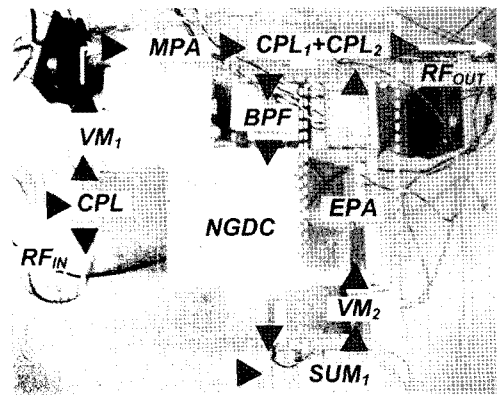


그림 10. 제작된 피드포워드 증폭기의 사진

Fig. 10. Photograph of the proposed feedforward amplifier.

PAE)은 기존 연구들 중에서 가장 높은 효율인 것으로 조사되었다.

그림 10은 본 연구를 통해 제작된 피드포워드 증폭기의 사진이다. 앞에서 논의한 것과 같이 MPA 출력단에 추가적인 지연 선로 없이 MPA 출력단의 결합기와 오차신호 주입 결합기가 직접 연결되어 있는 것을 볼 수 있다. 그림 10에서 나타나는 시스템은 실험실의 초기 실험을 위한 것이며, NGDC나 소신호 이득 모듈, 가변 감쇄기, 위상 변환기, 신호 상쇄 회로, 대역 통과 여파기 등은 모두 EPA 모듈 구현시 집적화하면 전체 시스템 크기를 크게 줄일 수 있다.

IV. 결론

본 논문에서는 효율 증대 및 제작의 용이성을 위

하여 분산 소자 형태의 NGDC를 이용한 새로운 구조의 피드포워드 증폭기를 제안하였다. 먼저 집중 소자를 이용한 NGDC의 설계, 그리고 전송 선로 공진기 개념을 이용하여 집중 소자를 분산 소자로 변환하는 과정에 관하여 설명하였다. 중심 주파수가 2.14 GHz인 WCDMA 하향 대역에서 30 MHz 대역폭을 갖는 2단 NGDC를 이용한 새로운 구조의 피드포워드 증폭기를 제작하고 측정된 결과를 지금까지 보고된 연구 결과 중 가장 뛰어난 효율을 가짐을 확인할 수 있었다. 일반적으로 피드포워드 증폭기를 디지털 셀룰러와 같이 상대적으로 낮은 주파수 대역에서 제작할 때 군지연 대역 통과 여파기의 크기가 매우 커서 전체 증폭기의 크기가 매우 커지고, 전체 이동통신 시스템의 구현에 제약 사항으로 작용한다. 제안된 피드포워드 증폭기는 군지연 소자를 제거함으로써 선형 개선 효과는 유지하면서도 효율 개선 특성을 얻을 수 있고, 군지연 선로 또는 군지연 여파기의 제거를 통해 전체 시스템의 크기를 줄일 수 있는 가능성을 제시하였으며, 아울러 제작 비용 절감의 효과도 얻을 수 있을 것으로 기대된다.

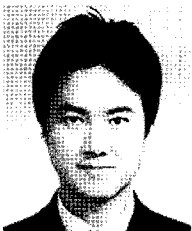
최근 기지국용 송신기에 있어서 디지털 전치 왜곡 또는 디지털 케환 전치 왜곡 등의 선형화 방식이 새로이 각광을 받고 있으나, 제안한 피드포워드 선형화 기법은 여러 기술에 비해 여전히 많은 장점을 가지고 있다. 제안된 구조는 전체 시스템에서 군지연 소자가 차지하는 부피 비중이 큰 낮은 동작주파수 대역의 응용에 매우 유용할 것으로 생각된다. 또한 본 연구를 통해 제작하였던 전력 증폭기에 비해 더 큰 출력이 요구되는 선형 전력 증폭기의 설계에서는 군지연 선로 여파기나 고�출력 동축 케이블의 삽입 손실이 매우 심각한 RF 출력 전력의 손실을 유발하므로, 제안한 피드포워드 증폭기가 매우 유용하게 이용될 수 있을 것으로 예상된다.

참 고 문 헌

- [1] H. S. Black, "Translating system", *U.S. Patent* 1,686,792, Oct. 1928.
- [2] H. Seidel, "A microwave feedforward experiment", *Bell Syst. Tech. J.*, vol. 50, pp. 2879-2916, 1971.
- [3] S. C. Cripps, *Advanced Techniques in RF Power Amplifiers Design*, Norwood, MA, Artech House, 2002.
- [4] N. Potheary, *Feedforward Linear Power Amplifier*, Artech House, pp. 125-138, 1999.
- [5] P. B. Kenington, *High-Linearity RF Amplifier Design*, Artech House, pp. 251-350, 2000.
- [6] S. G. Kang, I. K. Lee, and K. S. Yoo, "Analysis and design of feedforward power amplifier", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1519-1522, 1997.
- [7] C. L. Larose, F. M. Ghannouchi, "Optimization of feedforward amplifier power efficiency on the basis of drive statics", *IEEE Trans. Microw. Theory Tech.*, vol. 51, pp. 41-54, Jan. 2003.
- [8] Y. C. Jeong, D. Ahn, Chul D. Kim, and I. S. Chang, "Feedforward amplifier using equal group-delay signal canceller", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1530-1533, 2006.
- [9] H. Choi, Y. Jeong, J. S. Kenney, and C. -D. Kim, "Dual-band feedforward linear power amplifier for digital cellular and IMT-2000 base-station", *Microw. Optical Technol. Lett.*, vol. 51, no. 4, Apr. 2009.
- [10] H. Choi, Y. Jeong, J. S. Kenney, and C. -D. Kim, "Cross cancellation technique employing an error amplifier", *IEEE Microw. Wireless Compon. Lett.*, vol. 18, pp. 488-490, Jul. 2008.
- [11] D. Solli, R. Y. Chiao, "Superluminal effects and negative delays in electronics, and their applications", *Physical Review E*, issue 5, pp.056601 1-4, Nov. 2002.
- [12] L. Brillouin, A. Sommerfeld, *Wave Propagation and Group Velocity*, Academic Press Network, pp. 113-137, 1960.
- [13] L. J. Wang, A. Kuzmich, and A. Dogariu, "Gain-assisted superluminal light propagation", *Nature* 406, pp. 277-279, Jun. 2000.
- [14] M. Kitano, T. Nakanishi, and K. Sugiyama, "Negative group delay and superluminal propagation: An electronic circuit approach", *IEEE Journal of Selected Topics in Quantum Electronics*, vol. 9, no. 1, pp. 43-51, Jan. 2003.

- [15] B. Ravelo, A. Perennec, and M. Le Roy, "Synthesis of broadband negative group delay active circuits", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 2177-2180, Jun. 2007.
- [16] H. Noto, K. Yamauchi, M. Nakayama, and Y. Isota, "Negative Group Delay Circuit for Feed-Forward Amplifier", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 1103-1106, Jun. 2007.
- [17] H. Choi, K. Song, C. -D. Kim, and Y. Jeong, "Synthesis of negative group delay time circuit", in *Asia-Pacific Microw. Conf. Dig.*, pp. B5-08, 2008.
- [18] H. Choi, Y. Kim, Y. Jeong, and C. -D. Kim, "Synthesis of reflection type negative group delay circuit using transmission line resonator", in *Proc. 39th Eur. Microw. Conf. Sep.*, pp. 902-905, 2009.
- [19] G. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks and Coupling Structures*, McGraw-Hill Book Co., New York, N.Y. 1964.
- [20] T. Ogawa, et al., "High efficiency feed-forward amplifier using RF predistortion linearizer and the modified Doherty amplifier", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 537-540, 2004.
- [21] J. Yoon, C. Seo, "Improvement of broadband feed-forward amplifier using photonic bandgap", *IEEE Microw. Wireless Compon. Lett.*, vol. 11, no. 11, Nov. 2001.
- [22] K. J. Parsons, P. B. Kenington, "The efficiency of a feedforward amplifier with delay loss", *IEEE Trans. Veh. Technol.*, vol. 43, pp. 407-412, May 1994.
- [23] K. J. Parsons, P. B. Kenington, "Effect of delay mismatch on a feedforward amplifier", *IEE Proc. Circuits Devices Syst.*, vol. 141, no. 2, pp. 140-144, Apr. 1994.
- [24] K. Horiguchi, et al., "A high efficiency feedforward amplifier with a series diode linearizer for cellular base stations", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 797-800, 2001.

최 흥 재



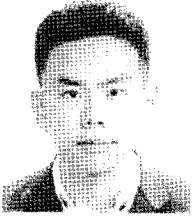
2004년 2월: 전북대학교 전자공학과 (공학사)
 2006년 2월: 전북대학교 정보통신공학과 (공학석사)
 2006년 3월~현재: 전북대학교 전자정보공학부 박사과정
 [주 관심분야] 고효율 선형 전력 증폭기, 마이너스 군지연 회로 설계 및 RF 응용

김 영 규



2009년 8월: 전북대학교 전자정보공학부 (공학사)
 2009년 9월~현재: 전북대학교 전자정보공학부 석사과정
 [주 관심분야] 이중 대역 고효율 전력 증폭기, RF 능동 회로 설계

심 성 운



2009년 8월: 전북대학교 전자정보공학부 (공학사)
2009년 9월~현재: 전북대학교 전자정보공학부 석사과정
[주 관심분야] CMOS 능동 인덕터, 전력증폭기, 대역 통과 여파기, 주파수 채배기 설계

김 철 동



1971년 2월: 서울대학교 전자공학과 (공학사)
1985년 5월: 미국 Wisconsin-Madison 전기공학과 (공학박사)
1985년~1990년: 미국 AT&T Bell Labs. MTS
1990년 2월~1997년 11월: 삼성전자 정보통신사업본부 상무이사
1997년 11월~현재: 세원텔레텍(주) 대표이사
[주 관심분야] 선형증폭기 설계, 초고주파 회로 설계, 이동통신시스템 기술

정 용 채



1989년 2월: 서강대학교 전자공학과 (공학사)
1991년 2월: 서강대학교 전자공학과 (공학석사)
1996년 8월: 서강대학교 전자공학과 (공학박사)
1991년 2월~1998년 2월: 삼성전자 정보통신본부 선임연구원
2006년 7월~2007년 12월: 미국 Georgia Institute of Technology 방문연구교수
1998년 3월~현재: 전북대학교 전자정보공학부 교수 및 IDEC Working Group 참여교수
[주 관심분야] RF 및 Microwave 회로 해석 및 설계