

차세대 밀리미터파 대역 WPAN용 60 GHz CMOS SoC

60 GHz CMOS SoC for Millimeter Wave WPAN Applications

이재진 · 정동윤* · 오인열 · 박철순

Jae Jin Lee · Dong Yun Jung* · Inn Yeal Oh · Chul Soon Park

요 약

본 논문에서는 0.13 μm CMOS 공정을 사용하여, 이동단말기 탑재에 적합한 저 전력, 저 잡음 구조 개별 소자 (LNA, Mixer, VCO, frequency doubler, signal generator, down converter)들을 제안하고, 나아가 이를 하나의 칩으로 집적화 시킨 60 GHz 단일 칩 수신기 구조를 제안한다. 저전력화를 위해 current re-use 구조를 적용시킨 LNA의 경우, 11.6 mW 의 전력 소모 시, 56 GHz부터 60 GHz까지 측정된 잡음지수(NF)는 4 dB 이하이다. 저전력화를 위한 resistive mixer의 경우, Cgs의 보상 회로를 통하여 낮은 LO 신호 크기에서도 동작 가능하도록 하였다. -9.4 dB의 변환 이득을 보여주며, 20 dB의 LO-RF isolation 특성을 가진다. Ka-band VCO는 4.99 mW 전력 소모 시 측정된 출력 신호 크기는 27.4 GHz에서 -3 dBm이 되며, 26.89 GHz에서부터 1 MHz offset 기준으로 -113 dBc/Hz의 phase noise 특성을 보인다. 49.2 dB의 원신호 억제 효과를 보이는 Frequency Doubler는 총 전력 소모가 9.08 mW일 경우, -4 dBm의 27.1 GHz 입력 신호 인가 시 -53.2 dBm의 fundamental 신호(27.1 GHz)와 -4.45 dBm의 V-band second harmonic 신호(54.2 GHz)를 얻을 수 있었으며, 이는 -0.45 dB의 변환 이득을 나타낸다. 60 GHz CMOS 수신기는 LNA, resistive mixer, VCO, frequency doubler, 그리고 drive amplifier로 구성되어 있으며, 전체 전력 소모는 21.9 mW이다. WLAN과의 호환 가능성을 위하여, IF(Intermediate Frequency) bandwidth가 5.25 GHz(4.75~10 GHz)이며, RF 3 dB bandwidth는 58 GHz를 중심으로 6.2 GHz이다. 이때의 변환 손실은 -9.5 dB이며, 7 dB의 NF와 -12.5 dBm의 높은 입력 P1 dB를 보여주고 있다. 이는 60 GHz RF 회로의 저전력화, 저가격화, 그리고 소형화를 통한 WPAN용 이동단말기의 적용 가능성을 입증한다.

Abstract

A low power single-chip CMOS receiver for 60 GHz mobile application are proposed in this paper. The single-chip receiver consists of a 4-stage current re-use LNA with under 4 dB NF, Cgs compensating resistive mixer with -9.4 dB conversion gain, Ka-band low phase noise VCO with -113 dBc/Hz phase noise at 1 MHz offset from 26.89 GHz, high-suppression frequency doubler with -0.45 dB conversion gain, and 2-stage current re-use drive amplifier. The size of the fabricated receiver using a standard 0.13 μm CMOS technology is 2.67 mm \times 0.75 mm including probing pads. An RF bandwidth is 6.2 GHz, from 55 to 61.2 GHz and an LO tuning range is 7.14 GHz, from 48.45 GHz to 55.59 GHz. The If bandwidth is 5.25 GHz(4.75~10 GHz) The conversion gain and input P1 dB are -9.5 dB and -12.5 dBm, respectively, at RF frequency of 59 GHz. The proposed single-chip receiver describes very good noise performances and linearity with very low DC power consumption of only 21.9 mW.

Key words : 60 GHz, WPAN, CMOS, Millimeter-Wave, SoC

「이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. R11-2005-029-05001-0).」
한국과학기술원 지능형 RF 연구센터(Intelligent Radio Engineering Center, Korea Advanced Institute of Science and Technology)

*삼성전자 DMC 연구소(Digital Media & Communications R&D Center, Samsung Electronics)

· 논문 번호 : 20091127-18S

· 교신저자 : 박철순(e-mail : parkcs@ee.kaist.ac.kr)

· 수정완료일자 : 2010년 5월 17일

I. 서 론

2007년 현재 전 세계 이동 통신 가입자 수는 33.1억 명으로 지구촌 인구의 약 50%가 이동단말기를 보유하고 있으며, 연 평균적으로 약 23%씩 가입자 수는 증가하고 있다. 특히 한국의 이동 통신 가입자는 2008년 6월 현재 4,498만 명으로, 국민 전체 중 94% 정도가 이동 통신을 사용하고 있다^[1]. 이처럼 이동 단말기는 우리 생활에서 큰 부분을 차지하고 있으며, 이동 통신 기술의 발달에 따라, 이러한 이동 단말기를 이용하여 단순한 음성 통화 이외에도 동영상, 음악 파일과 같은 멀티미디어 데이터 전송 또한 가능해지고 있다. 현재 최신 이동단말기에 탑재되어 있는 무선 데이터 전송 기술인 블루투스 2.0의 경우, 최대 전송 속도가 약 3.0 Mbps이다. 하지만, 최근 초고속, 대용량, 무선 멀티미디어 통신에 대한 가입자들의 수요 증가에 따라 이동단말기에서 고속 무선 데이터 전파 기술 개발이 필요한 실정이다. 현재 가장 광대역인 UWB(Ultra Wide-band) 기술은 최대 전송 속도가 480 Mbps이긴 하나, HDMI(High-Definition Multimedia Interface)와 같은 고화질(HD: High Definition) TV의 비 압축 전송률인 2 Gbps 이상의 데이터 전송률을 얻는 데는 한계가 있다. 비록 여러 밴드를 사용하여 데이터 전송률을 높인다고 할지라도, 복잡도 및 전력 소비, 비용이 그에 따라 증가하게 되어, 초고속 데이터 전송에는 한계를 가지고 있다. 또한 표준화 진행에도 기관 간 이해 관계 충돌로 표준화 작업의 중지를 선언한 상태이다. 결정적으로, 마이크로파 대역의 주파수 분배는 현재 포화 상태로 이 또한 차세대 전파기술 개발의 걸림돌이 되고 있다. 이러한 기술적 제약과 한정된 주파수 자원 문제를 해결하는 방안으로 밀리미터파 대역에 대한 관심이 증가하고 있으며, 그 중에서도 전 세계 공통적으로 ISM 대역으로 지정하고 있는 60 GHz 대역에 관심이 집중되고 있다. 특히 60 GHz를 포함한 밀리미터 대역의 회로 기술은 상용화 개발이 되어 있지 않은 주파수 대역이며, 따라서 핵심 회로 개발을 통한 시스템 구현은 미사용 주파수 자원의 선점 의미를 갖는 국가 전략적인 전파기술이다. 60 GHz 대역의 특징은 7 GHz 이상의 넓은 가용 대역폭을 갖고 있어 ASK와 같이 간단한 변조 방식을 통하여도 수 Gbps

급의 대용량 초고속 무선 통신이 가능하다. 또한 60 GHz 대역 주파수는 산소에 의한 전파의 흡수 감쇄가 크기 때문에(16 dB/km), 공간적인 주파수 재활용이 가능하며, 대용량 단거리(10 m 이내) 무선 통신을 가능하게 하고, 데이터 보안 문제에서도 매우 유용하기 때문에, 개인 사생활 보호 기술이 그 무엇보다도 필요한 이동단말기에 매우 적합한 특징을 가지고 있으며, 이는 나아가 60 GHz 대역의 주파수 특성을 이용하여 WPAN의 현실화 시킬 수 있는 핵심 전파 기술이 된다. 이러한 기술의 현실화와 수요 증대에 부응하기 위하여, 2001년 FCC(Federal Communications Commission)는 57~64 GHz 주파수 대역의 7 GHz 대역폭을 비 면허 대역으로 할당한 이래로, 한국 또한, 2006년 7월, 동일 대역을 소출력으로 무선국 허가를 받지 않고 사용할 수 있는 비 면허 대역으로 할당하였다. 이 주파수대는 국내 최초로 주파수 이용 용도를 정하지 않고 정해진 기술 기준에만 맞으면 누구나, 어떤 용도로든지 사용이 가능한 용도 미지정 대역(FACS: Flexible Access Common Spectrum)으로 허용하였다는 점이 특징이다. 현재 IEEE 802.15.3c와 WiMedia 두 진영에서 기존 WPAN의 대체를 위한 표준화 연구를 진행하고 있다. IEEE 802.15.3c Task Group은 2005년 3월에 그룹을 형성하여, 802.15.3의 WPAN 응용을 바탕으로 57~64 GHz 대역의 millimeter-wave based PHY model의 표준화 작업을 진행 중이며, 주된 응용 분야는 DVD 등 영상 재생장치와 디스플레이간(usage model 1)과 Kiosk와 단말 장치간의 통신(Usage Model 5)이다^[2]. WiMedia 측은 기존 ECMA-368 표준에 채택된 MB-OFDM를 60 GHz 대역에 적용하기 위하여 ECMA TC32(Technical Committee 32) 내의 TG20(Task Group 20)에서 60 GHz 대역을 위한 고속 단거리 통신 시스템을 위한 표준화 연구를 2007년부터 수행하고 있다^[3].

이와 더불어, 300 GHz 이상의 차단 주파수와 최대 발진 주파수 특성을 보이는 CMOS 기술의 발전은 60 GHz 대역의 능동회로 소자 개발의 저가격화를 가능케 하였으며, 이는 대용량 무선 전송이 가능한 이동단말기의 저전력화와 저가격화에 일조하게 되었다. 따라서 많은 연구 논문을 통해 60 GHz CMOS 단일 송수신기가 발표되고 있으나, 이동단말기에 적용하기 위해 가장 필수적인 저전력화와 저 잡음화가

여전히 해결해야 할 과제로 남아 있는 상황이다.

본 논문에서는 0.13 μm CMOS 공정을 사용하여, 이동단말기 탑재에 적합한 저 전력, 저 잡음 구조 개별 소자(LNA, Mixer, VCO, frequency doubler, signal generator, down converter)들을 제안하고, 나아가 이를 하나의 칩으로 집적화 시켜, 5.8 GHz WLAN(Wireless Local Area Network)과의 공존성을 위한 IF를 5.8 GHz로 하는 60 GHz 단일 칩 수신기 구조를 제안한다.

II. 저전력 60 GHz 단일칩 수신기 설계

그림 1은 본 논문에서 제안하는 수신기 구성도이다. 본 60 GHz 수신기는 LNA, resistive mixer, 그리고 27.1 GHz VCO와 frequency doubler, drive amplifier로 이루어진 LO block으로 구성된다. 5.8 GHz WLAN과의 공존성을 위해 IF는 5.8 GHz이다. 또한, 모든 회로는 CMOS 공정상 top metal(metal 8)을 신호선으로 구성하고, bottom metal(metal 1)을 접지면을 이루는 MSL로 이루어져 있다. Metal 8과 Metal 1의 두께는 각각 3.35 μm , 0.26 μm 이며, SiO₂의 두께는 6.3 μm 이다. 또한 구리로 이루어진 신호선의 전도율을 5.96 \times 10⁷ S/m이다. 모든 시뮬레이션은 3-D electromagnetic(EM) 시뮬레이터를 이용하였다.

2-1 LNA

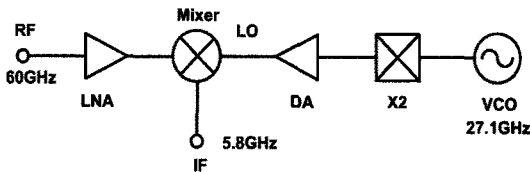


그림 1. 60 GHz 수신기 구성도
Fig. 1. Block diagram of a 60 GHz receiver.

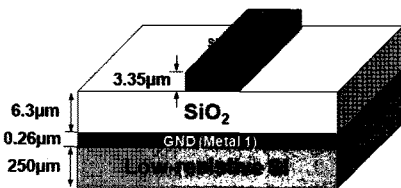


그림 2. CMOS microstrip line의 단면 구성도
Fig. 2. Cross-section of CMOS microstrip line.

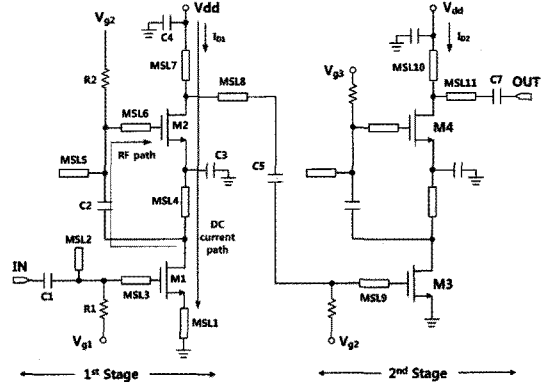


그림 3. 60 GHz LNA 전체 회로도
Fig. 3. Schematic of 60 GHz LNA.

고이득과 낮은 잡음지수를 얻기 위해서, LNA는 4개의 common source amplifier가 cascade로 연결되어 있는 구조이다^[5]. Microwave 대역에서 흔히 cascode 구조의 증폭기를 사용하나, millimeter 대역에서는 cascode inter-stage 부분, 즉 common source 구조와 common gate 구조가 연결되는 부분의 기생 capacitance 성분에 의해서 큰 이득 감소가 생기기 때문에, cascode 구조 대신에, common source의 cascode 구조를 사용하여, 고 이득, 저잡음화를 할 수 있다. 그림 3은 LNA의 회로도를 보여주고 있다. Cascade로 연결되어 있는 두 개의 common source 구조가 하나의 stage를 이루고, 전체 두 개의 stage가 다시 cascade로 연결되어, 총 4개의 common source가 cascade로 연결되어 있는 구조이다. 또한 각 stage는 DC 전력 소모를 최소화하기 위하여, current re-use 기법을 적용시킴으로써, 동일 DC 전류를 사용하여 저전력화 하였다^[3].

트랜지스터 M₁의 크기 선택은 LNA의 잡음 성능을 결정하는데 가장 중요한 사항이 된다. Maximum oscillation frequency(f_{max})를 고려하면서, 트랜지스터 M₁의 width(W)와 length(L)의 비(W/L)를 크게 할수록, 큰 trans-conductance(g_m)를 얻을 수 있으며 이는 큰 이득을 얻을 수 있음과 동시에, 잡음 효과를 줄일 수 있다. L값은 CMOS 공정에 의해 결정이 되므로, L값이 고정되어 있다는 조건 하에, W/L을 최대화시키기 위해서는 W값을 최대화 시켜야 하고, 이를 위해, finger수를 증가시키면 전체 W값이 커짐과 동시에, gate 저항 값이 감소하여 gate thermal noise를 줄일

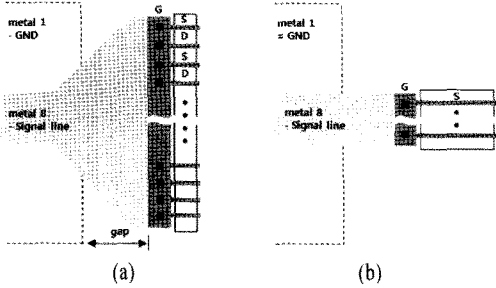


그림 4. 트랜지스터 당 전체 finger width가 동일시, (a) 단위 finger width를 최소화시키고 finger 수를 최대화 시킨 layout, 또는 (b) finger의 width와 수를 최적화시킨 layout

Fig. 4. Layout consideration regarding (a) many fingers with the minimum unit width and (b) the optimized number of fingers, each with the same total widths, and a longer unit width.

수 있다. 그러나 M_1 의 layout을 고려하여 적절한 finger 수를 결정해야만 한다. 그 이유는, 그림 4(a)에서 보는 바와 같이, 트랜지스터의 단일 finger width는 가장 작게 유지시키면서 동시에 finger 수를 최대화 시키면, 일정 선폭을 갖는 신호선과 그 트랜지스터를 연결하기 위해서는 불가피하게 신호선의 선폭이 매우 넓어져야 한다. 앞서 설명한 바에 따르면, 신호선에는 접지면이 존재하여야 하고, 이는 CMOS 공정에서의 가장 낮은 면에 위치하는 metal 1에 의해 구성이 된다. 하지만, CMOS 공정 제약에 따라, 접지면인 metal 1과 트랜지스터 사이에는 일정한 공백부가 존재하게 되고, 이 공백부를 통해서, metal 1에 의해 막혀졌던 CMOS substrate noise가 신호선에 영향을 주게 된다. 결국, 트랜지스터와의 연결을 위해 넓어진 신호선에 더 많은 substrate noise가 영향을 미치게 되는 것이다. 그러나 그림 4(b)에서와 같이, 트랜지스터의 finger 수와 width를 적절히 조정하여, 트랜지스터의 입력부분을 신호선의 선폭과 동일하게 유지시켜 주면, 이는 신호선의 공백부를 최소화 시켜 substrate로부터 나오는 noise 효과를 줄일 수 있게 되고, 나아가 전체 LNA의 noise 특성을 증대시키게 된다. 그러므로 M_1 의 width의 전체 크기를 $30 \mu\text{m}$ ($3 \mu\text{m} \times 10$)로 선택함으로써, 이는 트랜지스터와 신호선과의 연결 시, 신호선의 넓어짐을 방지함과 동시에, 바이어스를 조정하여 전류 밀도를 $150 \mu\text{A}/\mu\text{m}$ 로 선택함으로써, 최소잡음지수를 가질 수 있도록

설계되었다. 전체 finger width가 $24 \mu\text{m}$ ($4 \mu\text{m} \times 6$)인 트랜지스터 M_2 는 전류 밀도가 $175 \mu\text{A}/\mu\text{m}$ 로 유지되고, 이는 최소 잡음을 낼 수 있는 전류 밀도와 최대 이득을 낼 수 있는 전류 밀도($200 \mu\text{A}/\mu\text{m}$)의 중간 값이 된다.

입력 매칭 회로는 C1, MSL1, MSL2, 그리고 MSL3로 구성되며, 각 전송 선로의 길이는 저 잡음을 위하여 $\lambda/4$ 를 넘지 않게 설계되었다. 또한, current reuse 구조는 MSL4, MSL5, MSL6, coupling capacitor C2, 그리고 bypass capacitor C3을 이용하여 구성되며, 이는 첫 번째 common source M_1 과 두 번째 common source M_2 를 연결하게 된다. 그림 3에서와 같이, M_1 과 M_2 는 같은 DC 전류를 사용하고 있으며, M_1 로 입력된 60 GHz 대역의 신호는 M_1 에 의해 증폭되고, 이 증폭된 신호는, high impedance를 갖게끔 설계된 MSL4와 C3에 의해, M_2 의 source 쪽으로의 신호 전송은 막혀지고, C2와 MSL5, MSL6으로 이뤄진 inter-stage 매칭 회로를 통과하여 M_2 의 gate로 입력된다. M_2 의 source 부분에 연결되어 있는 C3에 의해 M_2 의 source 부분은 접지로 보이게 되고 결국 M_2 는 common source amplifier처럼 동작하게 되어, M_1 에 의해 증폭되었던 60 GHz 대역의 신호는 다시 한 번 M_2 에서 증폭되어 출력으로 나가게 된다.

그림 5는 open stub과 전송 선로를 이용한 inter-stage 매칭을 나타내고 있다. 회로에서 보는 바와 같이 Z_2 에 의해 표준화 되어 있는 $Z1_{op}$ 는 M_2 를 바라보는 임피던스이고, Z_1 에 의해 표준화 되어 있는 $Z2_{op}$ 는 M_1 을 바라보는 임피던스라 할 때, 이 두 임피던스는 MSL6에 의해 동시에 smith chart의 가운데로 이동하게 된다. 이때, open stub MSL5는 매칭을 더 완벽하게 만들어 주며, 이는 M_1 과 M_2 사이의 전송손실을 최소화 시켜 전체 이득을 향상시키고, 이는 나아가 전체 잡음지수(NF) 특성을 감소시키게 된다.

그림 6(a) LNA의 측정값과 시뮬레이션 결과를 비교한 그림이다. 전체 전력 소모가 11.6 mW일 때 측정된 S_{11} 과 S_{22} 각각 57.2 GHz부터 67 GHz, 그리고 55.1 GHz부터 67 GHz까지 -10 dB 이하의 결과를 보여주고 있으며, S_{21} 은 57.7 GHz에서 10.8 dB를 보여주고 있다. 3 dB bandwidth는 55 GHz부터 61.2 GHz까지 6.2 GHz이며, S_{12} 는 전 대역에서 -38 dB

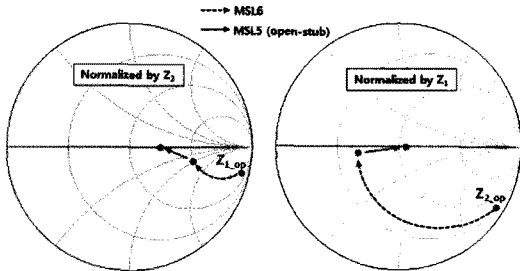
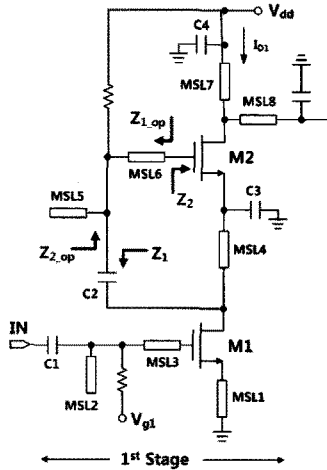
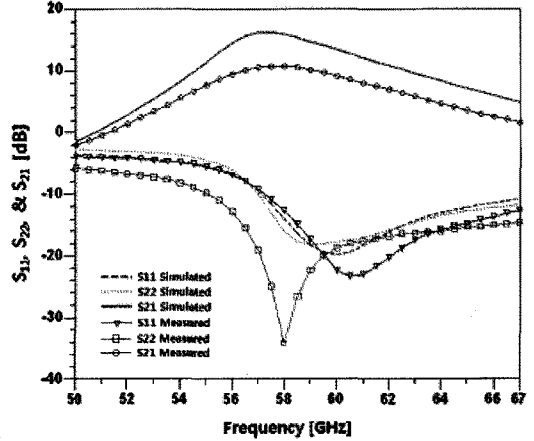


그림 5. Inter-stage matching 최적화 기법
Fig. 5. Inter-stage matching procedure with a transmission line and an open-stub.

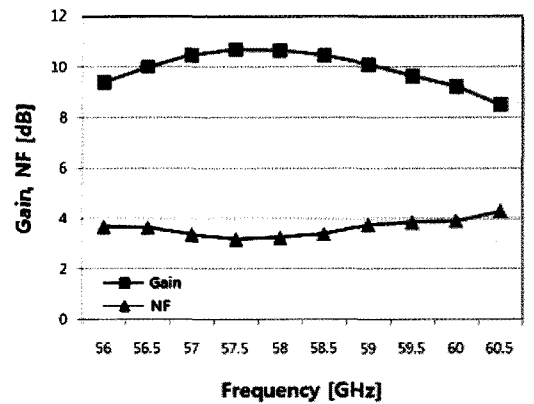
이하의 결과를 보여주고 있다. 그림 6(b)에서 보는 바와 같이, 56 GHz부터 60 GHz까지 측정된 NF는 4 dB 이하이며, 특히 57.5 GHz에서 3.2 dB의 NF 측정 결과를 보여주고 있다. 또한 입력 P1 dB는 -12.8 dBm이다. 이는 현재 발표된 V-band 대역의 CMOS LNA 중 가장 낮은 잡음 지수를 보여주고 있다.

2-2 Mixer

Mixer 전체 구조는 resistive mixer를 기본 구조로 한다. Resistive mixer는 전력을 소모하지 않기 때문에, 이동단말기에 들어가기 위해 필요한 저전력 회로에 적합하며, 또한 뛰어난 선형성을 보여주고 있다. 그리고 낮은 1/f noise값을 가지며, stability 또한 다른 능동 mixer와 비교 시 우수한 성능을 보여준다. 무엇보다도, 상대적으로 낮은 LO power에도 동작하기 때문에, 현재 60 GHz의 큰 LO 신호를 만들어 내기 위해 매우 큰 전력 소모를 필요로 하고 있다는 사



(a)



(b)

그림 6. LNA 측정 결과
Fig. 6. Measurement results of 60 GHz LNA.

실을 감안할 시, 시스템 전체적으로 LO source 부분에서의 부하를 줄일 수 있다. 그러나 일반적인 resistive mixer는 식 (1)에서와 같이 큰 source-gate capacitance(C_{gs0}) 값과 source-drain capacitance(C_{gd0})에 의해, 필요한 LO power의 증가가 불가피하며, 또한 낮은 RF-LO/RF-IF isolation 결과를 보여주고 있다.

$$P_{LO} = 0.5 \cdot V_{LO}^2 \cdot \omega^2 \cdot (C_{gs0} + C_{gd0})^2 \cdot \left\{ \frac{(R_s \cdot R_d)}{(R_s + R_d)} + R_g \right\} \quad (1)$$

이러한 resistive mixer의 문제점을 해결하기 위해, 본 논문에서는 그림 7과 같은 mixer 구조를 제안한다. 일반적인 resistive mixer에서는 하나의 트랜지스터를 사용하는 반면, 제안한 mixer에서는 기존 하나의 트랜지스터 source 부분에 다른 하나의 트랜지스

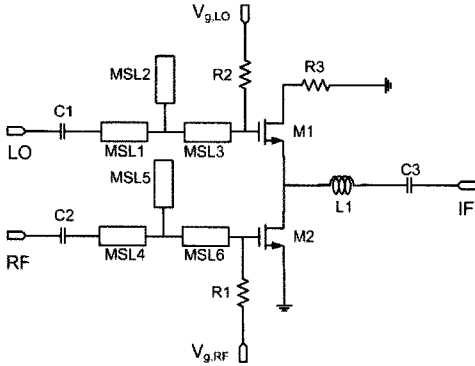


그림 7. Resistive mixer 회로도
Fig. 7. Schematic of resistive mixer.

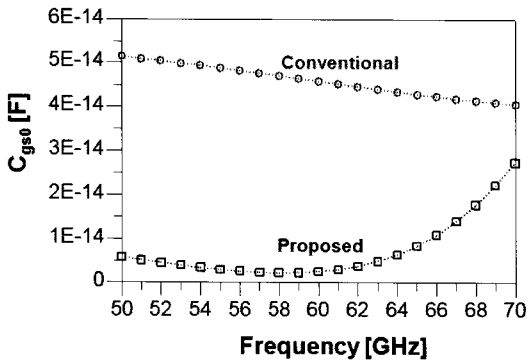


그림 8. 일반 resistive mixer와 제안한 mixer의 C_{gs0} 변화량 비교
Fig. 8. Comparison of C_{gs0} variation between common and proposed resistive mixer.

터를 stacking하여 각 트랜지스터로 LO 신호와 RF 신호를 각각 인가시키는 구조이다. 이 구조를 통해, LO port에서 바라볼 때 보이던 C_{gs0} 값이, 트랜지스터 M_2 의 C_{gs2} , C_{gd2} , 그리고 C_{ds2} 에 의해 작아지게 되며, 결과적으로 낮은 LO power에서도 동작이 가능하게 하였다. 그림 8은 LO port에서 바라본 capacitance값의 변화이다. 하나의 트랜지스터를 사용한 일반적인 mixer의 경우 54.2 GHz에서 49.4 fF의 capacitance를 보여주지만, 두 개의 트랜지스터를 사용한 제안된 mixer의 경우에는 동일 주파수에서 5.4 fF의 결과를 보여준다. 이는 필요로 하는 LO power를 낮게 가져갈 수 있는 효과를 보여준다.

Mixer를 구동시키기 위해 필요한 최소 LO 파워, PLO는 식 (1)에 의해 C_{gs0} 와 C_{gd0} 뿐만 아니라, source, drain, 그리고 gate resistance에 의해서도 결정이

된다. 그 결과, 이를 고려하여, 트랜지스터의 크기는 $96 \mu\text{m}$ ($6 \mu\text{m} \times 16$)으로 결정하였다. LO matching 회로는 C_1 , MSL1, MSL2, MSL3에 의해 구성되며, MSL2는 LO port 부분에서의 RF 신호 제거 역할을 한다. 또한, RF matching 회로는 C_2 , MSL4, MSL5, MSL6에 의해 구성되며, 마찬가지로 MSL5는 RF port 부분에서의 LO 신호 제거 역할을 한다. L_1 과 C_3 은 IF 매칭 회로이며, R_3 의 경우 M_1 의 drain으로의 신호 손실을 막기 위한 역할을 한다. M_1 과 M_2 의 바이어스는 최소 변환 손실을 위해 threshold 전압(0.42 V)으로 설정하였다.

그림 9는 resistive mixer의 변환 손실 측정 결과이다. 그림 9(a)는 -15 dBm의 60 GHz RF 신호일 경우, 54.2 GHz의 LO 파워를 변화시켰을 때의 변환 손실이며, LO power가 0 dBm일 경우, 약 9.3 dB의 변환 손실이 생긴다. 그림 9(b)는 54.2 GHz의 LO power가 0 dBm일 경우, RF 주파수 변화에 따른 변환 손실 측정 결과이다. 56 GHz부터 63 GHz까지 10 dB 이하의 변환 손실을 보여주고 있다. 그림 9(c)는 60 GHz RF 신호의 power 변환에 따른 20 dB의 LO-RF isolation 측정 결과를 보여주고 있다. 그림 9(d)는 -10 dBm의 60 GHz RF 신호 인가 시, LO 주파수의 변화에 따른 변환 손실을 보여주고 있다. 역시 53 GHz부터 59 GHz 이상 10 dB 이하의 변환 손실을 보여준다.

2-3 Signal Generator(VCO and Frequency Doubler)

2-3-1 Ka-band VCO

VCO의 전체 구조는 그림 10에서 보는 바와 같이, VCO core 부분과 AC-coupled 출력 버퍼 amplifier로 구성된다^[13]. 발진 주파수를 결정짓는 LC-resonator 부분의 inductance는 낮은 phase noise를 위해 MSL을 이용한 High-Q inductor를 설계하였으며, 동시에 높은 self resonant frequency(SRF)를 위해 Concave-shaped inductor로 디자인하였다. 그림 11은 일반 inductor와 MSL을 이용하여 설계한 inductor와의 Quality factor(Q-factor)를 비교한 결과이다. 30 GHz에서 기존 inductor는 17의 Q-factor를 보이는 반면, MSL inductor는 27의 Q-factor를 보여주며, 또한 100 GHz 이상의 SRF를 보여준다.

그림 12는 VCO core의 전력 소모가 4.99 mW

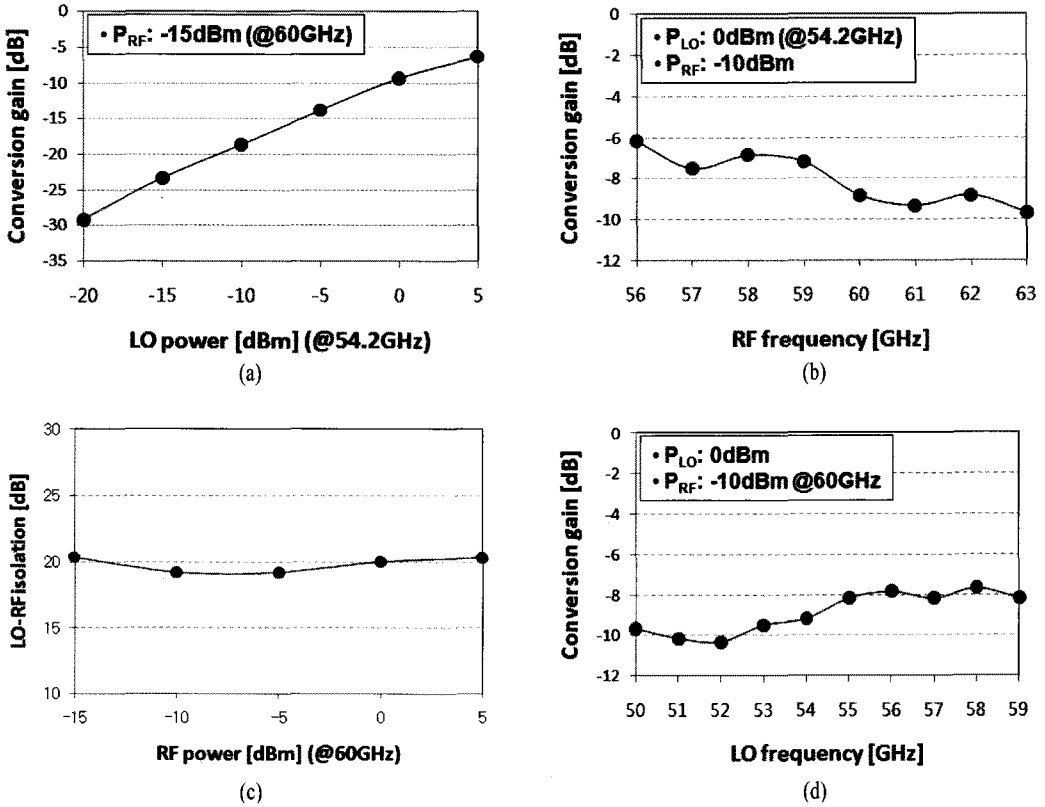


그림 9. Mixer 측정 결과
Fig. 9. Measurement results of resistive mixer.

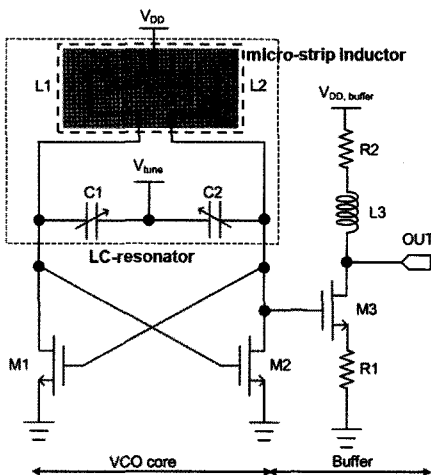


그림 10. Ka-band VCO 회로도
Fig. 10. Schematic of Ka-band VCO.

(0.638 V×7.81 mA)일 때의 측정 결과이다. 측정 시 스케이블 손실이 27 GHz에서 4.5 dB임을 고려할 때, 측정된 출력 신호 크기는 27.4 GHz에서 -3 dBm이

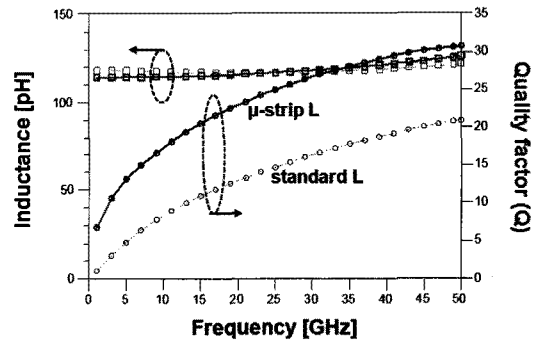


그림 11. 일반 inductor와 제안한 MSL inductor Q-factor 비교 결과
Fig. 11. Comparison of Q-factor between general and proposed MSL inductor.

되며, 이는 millimeter 대역 CMOS VCO에서 가장 큰 출력 파워를 보여준다. 또한, 26.89 GHz에서부터 1 MHz offset 기준으로 -113 dBc/Hz의 phase noise 특성을 보여주며, 이 또한 millimeter 대역 CMOS VCO 중 가장 낮은 phase noise 특성을 보이고 있다. 그리

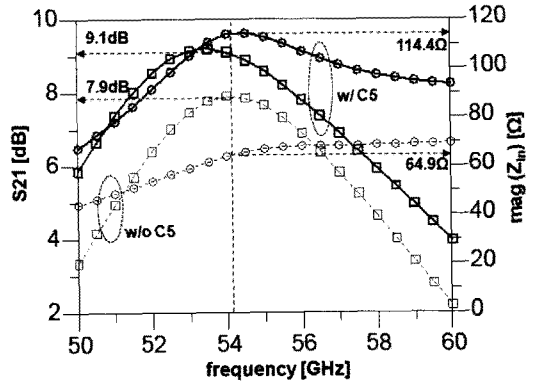
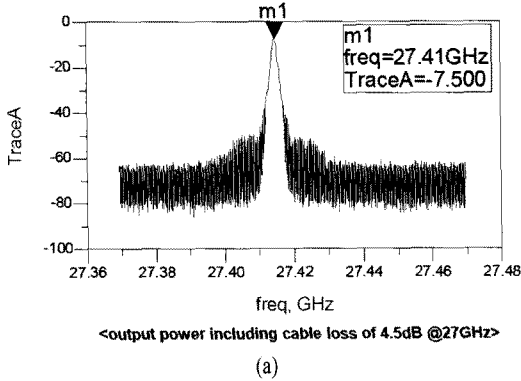


그림 14. C_5 에 의해 향상된 inter-stage 매칭 임피던스
Fig. 14. Inter-stage matching impedance improved by C_5 .

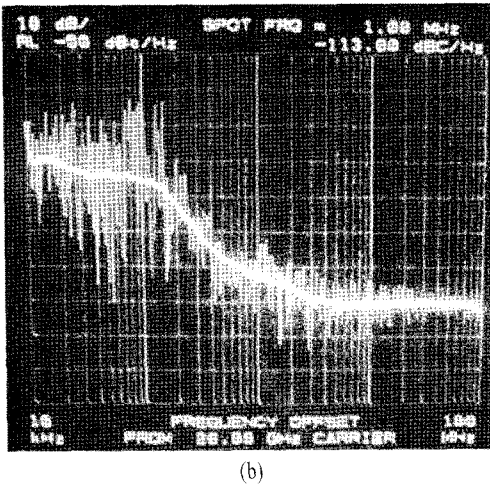


그림 12. Ka-band VCO 측정 결과
Fig. 12. Measurement results of Ka-band VCO.

V-band frequency doubler의 경우, 기본적인 common source amplifier 구조에서 가장 큰 second harmonic을 얻을 수 있는 적정 바이어스 포인트로 설정되어 있으며, MSL1을 통하여, fundamental 신호의 억제시킨다. 큰 출력을 위한 buffer amplifier의 경우, 회로의 저전력화를 위하여 LNA의 구조와 마찬가지로 current re-use 방법을 적용시켰다. 추가적으로 기존의 current re-use 방법에 사용되던 RF 신호 차단용 MSL3에 병렬로 C_5 를 연결시킴으로써, 보다 더 확실한 RF 신호 차단을 얻고, 이를 통해 buffer amplifier의 이득 증가를 얻을 수 있다. 그림 14와 같이, C_5 를 통해 impedance를 64.9 Ω에서 114.4 Ω으로 증대시켜, 결국 1 dB 이상의 이득 향상을 얻었다^[14].

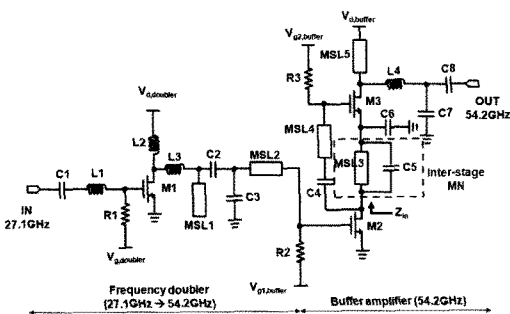


그림 13. V-band frequency doubler 회로도
Fig. 13. Schematic of V-band frequency doubler.

고 control voltage가 -0.4 V부터 0.4 V까지 변환 시, 측정된 tuning range는 26.85 GHz부터 27.5 GHz까지 650 MHz이다.

2-3-2 V-band Frequency Doubler

그림 15는 총 전력 소모가 9.08 mW일 경우, -4 dBm의 27.1 GHz 입력 신호 인가 시 출력에서 측정된 결과이다. -53.2 dBm의 fundamental 신호(27.1 GHz)와 -4.45 dBm의 V-band second harmonic 신호(54.2 GHz)를 얻을 수 있었으며, 이는 -0.45 dB의

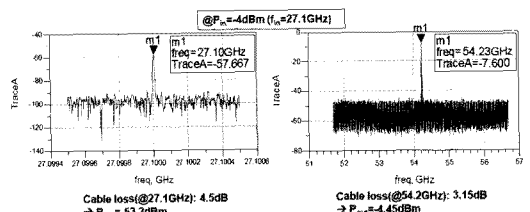


그림 15. V-band frequency doubler 측정 결과
Fig. 15. Measurement results of V-band frequency doubler.

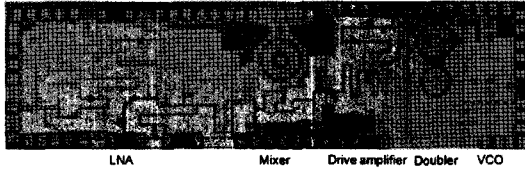


그림 16. 60 GHz CMOS 단일 칩 사진
Fig. 16. Photograph of 60 GHz CMOS single-chip.

변환 이득을 나타내며, 49.2 dB의 원 신호 억제 효과 또한 나타내고 있다.

III. Low-Power Single-chip Receiver

앞 장에서 설명된 LNA, mixer, VCO, doubler, drive amplifier를 하나의 CMOS 단일 칩으로 집적한 결과이다. 공정은 0.13 μm CMOS process를 사용하였으며, 전체 칩 크기는 2.67 mm×0.75 mm이다.

그림 17(a)는 -15 dBm의 59 GHz RF 신호 입력 시, VCO의 tuning voltage에 따른 IF 출력 주파수 특

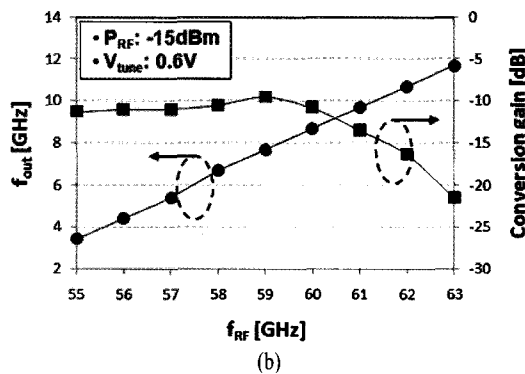
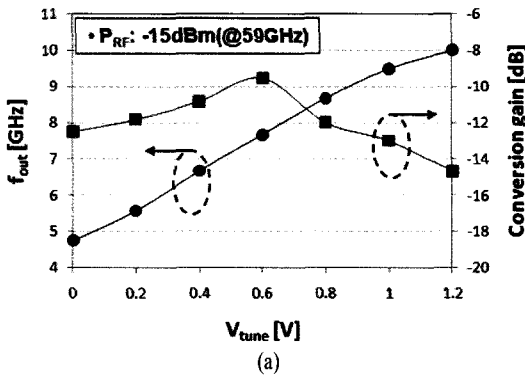


그림 17. 60 GHz CMOS 단일 칩 수신기 측정 결과
Fig. 17. Measurement results of 60 GHz CMOS single-chip receiver.

표 1. V-band CMOS single chip 수신기 비교

Table 1. Comparison of V-band CMOS single chip receiver.

Lg [nm]	Approach	Freq. [GHz]	C.G [dB]	IP1 [dBm]	NF [dB]	Pdiss [mW]	Ref.
90	LNA, mixer, VGA	60	-8.5 ~ 55.5	-26	6.1~6.35	24	[6]
90	LNA, mixer, IF amp, VCO, PLL	57~66	32	-30	8	130	[7]
90	2 LNAs, VGA, I/Q demod.	62	-2.3 ~ 15.7	-	-	206	[8]
90	Ant, LNA, mixer, synth.	61.34~63.4	21.8 ~ 22.5	-	8.4	144	[9]
90	LNA, mixer, VCO, divider	49~53	26 ~ 31.5	-25.5	6.9~8.3	80	[10]
90	LNA, mixer, IF amp.	60	16	-21	7	60	[11]
130	LNA, mixer, VCO, doub., IF amp.	60	11.8	-15.8	10.4	76.8	[12]
130	LNA, mixer, VCO, doub., drive amp.	59	-9.5	-12.5	7	21.9	This work

성과 변환 이득 측정 결과이다. IF bandwidth는 5.25 GHz(4.75~10 GHz)이며, 이때의 변환 이득은 -14.67 ~ -9.5 dB이다. 그림 17(b)은 VCO tuning voltage가 0.6 V시, -15 dBm의 RF 입력 신호의 크기 변화에 따른 IF 출력 주파수 특성과 그에 따른 변환 특성이 다. 59 GHz의 RF 신호 입력 시 9.5 dB의 가장 작은 변환 손실을 보여준다. 또한, 측정된 입력 P1 dB는 -12.5 dBm이다.

표 1은 V-band 대역의 CMOS 단일 칩 수신기 특성을 비교한 결과이다. 비록 90 nm CMOS 공정보다는 상대적으로 적은 성능을 보이는 0.13 μm CMOS 공정을 사용하였음에도 불구하고, 21.9 mW라는 적은 전력 소모와, 매우 뛰어난 noise 특성, 그리고 뛰어난 선형성을 보여주고 있다.

IV. Conclusion

60 GHz 주파수 대역의 전파 특성을 이용하여, 밀

리미터 대역 WPAN 응용 분야에 적용 가능한 이동 단말기용 CMOS RF 수신기를 개발하였다. 60 GHz CMOS 수신기는 LNA, resistive mixer, VCO, frequency doubler, 그리고 drive amplifier로 구성되어 있으며, 전체 전력 소모는 21.9 mW이다. WLAN과의 호환 가능성을 위하여, IF bandwidth가 5.25 GHz(4.75 ~ 10 GHz)이며, RF bandwidth는 58 GHz를 중심으로 6.2 GHz이다. 이때의 변환 손실은 -9.5 dB이며, 7 dB의 NF와 -12.5 dBm의 높은 입력 P1 dB를 보여주고 있다. 이는 60 GHz RF 회로의 단일 칩 화, 저전력화, 저가격화를 통해, WPAN에서의 이동 단말기의 대용량 신호 및 Full HD 영상 무선 전송이 가능하게 하는 차세대 핵심 전파 방송 기술 확보를 시사한다.

참 고 문 헌

- [1] 이성호, "휴대폰산업의 진화와 경쟁 구도 변화", 삼성경제 연구소, *CEO Information*, 제670호, Sep. 2008년 9월.
- [2] <http://www.ieee802.org/15/pub/TG3c.html>
- [3] <http://www.ecma-international.org/memento/TC48-M.htm>
- [4] C. Y. Cha, S. G. Lee, "A 5.2 GHz LNA in 0.35 μm CMOS utilizing inter-stage series resonance and optimizing the substrate resistance", *IEEE J. Solid-State Circuits*, vol. 38, no. 4, pp. 669-672, Apr. 2003.
- [5] D. Y. Jung, J. J. Lee, and C. S. Park, "Low-power and low NF V-band down-converter in 0.13 μm CMOS", *Electron Lett.*, vol. 45, no. 10, pp. 509-510, May 2009.
- [6] B. Afshar, Y. Wang, and Ali M. Nikejad, "A robust 24 mW 60 GHz receiver in 90 nm standard CMOS", *IEEE ISSC Conf. Tech. Dig.*, pp. 182-183, Feb. 2008.
- [7] S. Pinel, S. Sarkar, P. Sen, B. Perumana, D. Yeh, D. Dawn, and J. Laskar, "A 90 nm CMOS 60 GHz radio", *IEEE ISSC Conf. Tech. Dig.*, pp. 130-131, Feb. 2008.
- [8] M. Tanomura, Y. Hamada, S. Kishimoto, M. Ito, N. Orihashi, K. Maruhashi, and H. Shimawaki, "Tx and Rx front-ends for 60 GHz band in 90 nm standard bulk CMOS", *IEEE ISSC Conf. Tech. Dig.*, pp. 558-559, Feb. 2008.
- [9] T. Mitomo, R. Fujimoto, N. Ono, R. Tachibana, H. Hoshino, Y. Yoshihara, Y. Tsutsumi, and I. Seto, "A 60-GHz CMOS receiver front-end with frequency synthesizer", *IEEE J. Solid-State Circuits*, vol. 43, no. 4, pp. 1030-1037, Apr. 2008.
- [10] B. Razavi, "A millimeter-wave CMOS heterodyne receiver with on-chip LO and divider", *IEEE J. Solid-State Circuits*, vol. 43, no. 2, pp. 477-485, Feb. 2008.
- [11] D. Alldred, B. Cousins, and S. P. Voinigescu, "A 1.2 V, 60-GHz radio receiver with on-chip transformers and inductors in 90-nm CMOS", *IEEE Compound Semicond. Integrated Circuit Symp.*, pp. 51-54, Nov. 2006.
- [12] S. Emami, C. H. Doan, and Ali M. Niknejad, "A highly integrated 60 GHz CMOS front-end receiver", *IEEE ISSC Conf. Tech. Dig.*, pp. 190-191, Feb. 2007.
- [13] D. Y. Jung, C. S. Park, "Power efficient Ka-band low phase noise VCO in 0.13 μm CMOS", *Electron. Lett.*, vol. 44, no. 10, pp. 630-631, May 2008.
- [14] D. Y. Jung, C. S. Park, "A low-power, high-suppression V-band frequency doubler in 0.13 μm CMOS", *IEEE Microw. Wireless Compon. Lett.*, vol. 18, no. 8, pp. 551-553, Aug. 2008.

이 재 진



tem, LTCC SoP 등

2005년 8월: 한국과학기술원 전자통신공학부 (공학사)

2005년 8월~현재: 한국과학기술원 정보통신공학과 석·박사 통합과정

[주 관심분야] RF, Millimeter-wave CMOS MMIC, 60 GHz WPAN System, LTCC SoP 등

오 인 열



이동통신연구소 연구원

1993년 2월: 광운대학교 전자공학과 (공학사)

1996년 8월: 광운대학교 전자공학과 (공학석사)

2003년 8월: 광운대학교 전자공학과 (공학박사)

1996년 7월~1999년 7월: LG전자

이동통신연구소 연구원
2003년 8월~2005년 2월: (주)Hampex GSM/CDMA 단말기 HW팀 팀장

2005년 3월~2006년 12월: 위덕대학교 정보통신공학과 전임강사

2007년 1월~현재: 한국과학기술원 전기 및 전자공학과 연구 부교수

[주 관심분야] RF Power Amplifier, RFIC, Millimeter-Wave MMIC, LTCC SoP, Spintronics 등

정 동 윤



통신공학과 (공학박사)

2001년 2월: 광운대학교 전자재료 공학과 (공학사)

2003년 2월: 한국과학기술원 정보통신공학과 (공학석사)

2003년 3월~2004년 2월: 한국전자통신연구원 연구원

2009년 2월: 한국과학기술원 정보

통신공학과 (공학박사)
2009년 2월~현재: 삼성전자 DMC 연구소 책임연구원
[주 관심분야] RF, Millimeter-wave CMOS MMIC, 60 GHz WPAN System, LTCC SoP 등

박 철 순



통신연구원 실장

1976년 3월~1980년 2월: 서울대학교 금속공학과 (공학사)

1980년 3월~1982년 2월: 한국과학기술원 전자재료공학과 (공학석사)

1982년 3월~1985년 2월: 한국과학기술원 전자재료공학과 (공학박사)

1985년 2월~1999년 1월: 한국전자

통신연구원 실장
1987년 1월~1989년 1월: 미국 AT & T Bell Labs 방문과학자

1999년 1월~현재: 한국정보통신대학교/한국과학기술원 전기 및 전자공학과 교수

2001년 6월~2005년 6월: 초고주파회로 국가지정연구실 (NRL) 연구책임자

2005년 7월~현재: 지능형 RF 연구센터 우수공학연구센터 (ERC) 소장

[주 관심분야] RF, RF Power Amplifier, RFIC, Millimeter-Wave MMIC, LTCC SoP, Spintronics 등