

근거리 레이더용 CMOS 저전력 교차 결합 전압 제어 발진기 설계 및 제작

Design and Fabrication of CMOS Low-Power Cross-Coupled Voltage Controlled Oscillators for a Short Range Radar

김 락 영 · 김 동 욱

Rak-Young Kim · Dong-Wook Kim

요 약

본 논문에서는 TSMC 0.13 μm CMOS 공정을 사용하여 3가지 종류의 근거리 레이더용 저전력 교차 결합 전압 제어 발진기를 설계, 제작하였다. 기본적인 교차 결합 전압 제어 발진기는 24.1 GHz를 중심으로 발진하도록 설계되었고, 이를 기본으로 저전력 동작을 위한 subthreshold 발진기가 설계되었다. 특히 큰 트랜지스터를 사용해야 하는 subthreshold 발진기에서 기생 캐패시터에 의해 발진 주파수가 낮아지는 문제점을 개선하기 위해 이중 공진 회로 구조를 발진기에 사용하는 것이 시도되었다. 제작된 CMOS 전압 제어 발진기는 종류에 따라 1 MHz offset 주파수에서 $-101 \sim -103.5$ dBc/Hz의 위상 잡음, $-11.85 \sim -15.33$ dBm의 출력 전력, 그리고 475 ~ 852 MHz의 주파수 조정 범위들을 보였다. 전력 소모 측면에서는 기본적인 발진기가 5.6 mW를 사용하였고, 저전력 subthreshold 회로는 3.3 mW를 사용하였다. 이중 공진 회로 구조의 subthreshold 발진기는 기본 발진기와 유사한 주파수 조정 범위를 유지하면서 상대적으로 작은 전력을 소모하고 개선된 위상 잡음 특성을 보였으며, 1 mW DC 전력 기준의 figure-of-merit(FOM)이 약 3 dB 가량 개선되어 -185.2 dBc의 값을 가졌다.

Abstract

In this paper, three kinds of 24 GHz low-power CMOS cross-coupled voltage controlled oscillators are designed and fabricated for a short-range radar applications using TSMC 0.13 μm CMOS process. The basic CMOS cross-coupled voltage controlled oscillator is designed for oscillating around a center frequency of 24.1 GHz and subthreshold oscillators are developed for low power operation from it. A double resonant circuit is newly applied to the subthreshold oscillator to improve the problem that parasitic capacitance of large transistors in a subthreshold oscillator can push the oscillation frequency toward lower frequencies. The fabricated chips show the phase noise of $-101 \sim -103.5$ dBc/Hz at 1 MHz offset, the output power of $-11.85 \sim -15.33$ dBm and the frequency tuning range of 475 ~ 852 MHz. In terms of power consumption, the basic oscillator consumes 5.6 mW, while the subthreshold oscillator does 3.3 mW. The subthreshold oscillator with the double resonant circuit shows relatively lower power consumption and improved phase noise performance while maintaining a comparable frequency tuning range. The subthreshold oscillator with double resonances has FOM of -185.2 dBc based on 1 mW DC power reference, which is an about 3 dB improved result compared with the basic oscillator.

Key words : CMOS, Cross-Coupled, Voltage Controlled Oscillator, Subthreshold, Double Resonance, Radar

충남대학교 전파공학과 (Department of Radio Science and Engineering, Chungnam National University)

· 논문 번호 : 20100315-022

· 교신저자 : 김동욱(e-mail : dwkim21c@cnu.ac.kr)

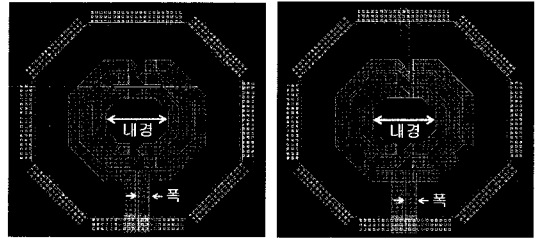
· 수정완료일자 : 2010년 5월 31일

I. 서 론

최근 초고주파를 이용한 레이더(RADAR: Radio Detecting and Ranging) 시스템에 대한 연구가 활발히 이루어지고 있다. 특히 ISM(Industrial, Scientific and Medical) 분야에서 사용하는 24 GHz, 60 GHz 등의 주파수가 자유롭게 사용될 수 있도록 지정되고, 자동차 레이더 용도로 70 GHz 대역의 주파수가 별도로 지정되면서 해당 주파수 대역에서 동작하는 시스템에 대한 연구가 활발히 진행되고 있다.

최근 활발히 연구되고 출시되고 있는 자동차 레이더는 크게 LRR(Long Range Radar)와 SRR(Short Range Radar)로 나눈다. LRR의 경우 76~77 GHz 대역을 사용하고, 전방 차량을 감지하는데 많이 사용된다^[1]. SRR은 24 GHz의 주파수 대역을 많이 사용하고 있고, 차량의 측, 후방 근거리 물체에 대한 탐지 이외에도 탱크내의 유량 측정, 건물목에서의 통행 차량 및 보행자 감지 등에도 사용되며^[2], LRR에 비해 거리 정확도 또는 분해능이 뛰어나다는 장점이 있다. 이러한 초고주파 레이더 시스템은 기존의 적외선 센서에 비해서 날씨의 영향을 덜 받고, 집적화로 크기를 줄일 수 있으며, 투과성이 좋아 차량에 부착해도 외관을 훼손시키지 않고 동작이 가능하다는 장점을 가지고 있다.

초소형 레이더 모듈을 위해 HBT(Heterojunction Bipolar Transistor), HEMT(High Electron Mobility Transistor)와 같은 주파수 특성이 우수한 화합물 반도체를 과거에는 사용하였지만 화합물 반도체는 CMOS 디지털 및 기저대역 아날로그 회로들과 하나의 칩으로 집적할 수 없어 활용성에 제한을 받아 왔다. 최근 CMOS의 게이트 길이를 줄인 공정이 보편화되면서 실리콘 기판에 의한 초고주파 기생 성분이 줄어들고 최대 동작주파수가 높아졌을 뿐만 아니라 전류 구동 능력도 증가하게 되었다. CMOS 공정기술의 발달과 더불어 초소형 레이더 모듈 분야에서도 최근 CMOS 초고주파 집적 회로를 사용한 신호발생 회로 연구가 활발히 이루어지고 있으며, CMOS 기반의 소형 레이더 시스템용 단일 칩 연구도 진행되고 있다^{[3],[4]}. 하지만 아직 20 GHz 이상에서 활용 가능한 초소형 레이더 모듈용 CMOS 집적 회로에 대한 연구가 충분히 성숙되었다고 보기는 어렵다.



(a) 대칭형 나선형 (b) Center-tap 대칭형 나선형
(a) Symmetric spiral (b) Center-tap symmetric spiral

그림 1. 교차 결합 발진기에 사용되는 인덕터 구조
Fig. 1. Inductor structures used in a cross-coupled oscillator.

본 논문에서는 CMOS 공정을 이용하여 SRR에서 사용 가능한 24 GHz 저전력 교차 결합 전압 제어 발진기 개발을 진행하였으며, 이를 위한 설계와 제작 결과들을 제공한다.

II. 발진기 설계

2-1 기본적인 발진기 설계

먼저 24 GHz 발진기를 위한 공진기를 설계하기 위해 식 (1)을 이용하여 L 과 C 값을 구한다. 24 GHz 주파수에서 $LC=43.98 \times 10^{-24}$ 이 되고, 이 값을 이용하여 L 과 C 값을 구하게 된다.

$$\omega_0 = \frac{1}{\sqrt{LC}} \Rightarrow LC = \frac{1}{(2\pi f_0)^2} \quad (1)$$

CMOS 발진기 설계에서 가장 큰 면적을 차지하는 부분이 인덕터이므로 칩의 크기를 고려하여 L 값을 선택해야 한다. 보통의 RF 집적 회로에 사용되는 인덕터는 입력과 출력 단자가 서로 반대 방향에 위치하지만 교차 결합 발진기에 사용되는 인덕터는 그림 1과 같이 입력과 출력이 같은 방향에 존재한다. 그림 1은 대칭형 나선형 인덕터(a)와 center-tap 대칭형 나선형 인덕터(b)의 레이아웃을 보여주고 있다. 작은 크기의 칩을 위해 인덕터의 내경을 작게 설정하면 Q 값이 낮아지는데, 이것을 보상해 주기 위해 인덕터의 선로 폭을 15 μm 로 넓게 선택하였다.

실제 소자는 인덕터 성분에 기생 성분이 존재하므로 이를 충분히 고려하기 위해 공정에서 제공하는 등가회로를 활용하여 ADS 시뮬레이션을 하였고, 크기를 고려해 L 값을 129 pH로, C 값을 240 fF으로 선

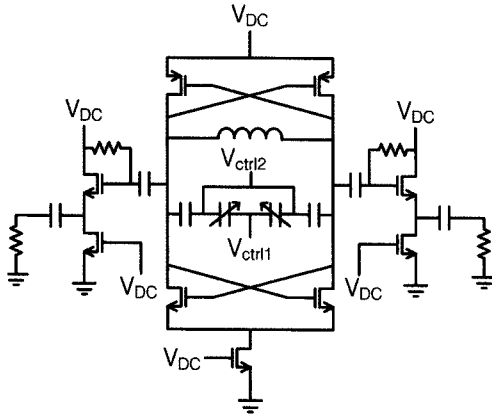


그림 2. 설계된 기본적인 24 GHz 교차 결합 전압 제어 발진기 회로

Fig. 2. A schematic design of the basic 24 GHz cross-coupled voltage controlled oscillator.

택하였다. 선택된 C 값은 NMOS와 PMOS 트랜지스터의 기생 캐패시턴스를 포함하고 있다. 회로의 대칭성이 강조되는 교차 결합 발진기 설계를 위하여 공진기 회로에 대칭형 인덕터를 사용하였고, 전압 제어 발진기의 주파수 조절을 위해 MOS 가변 캐패시터를 사용하였다. 본 설계에서 사용한 MOS 가변 캐패시터는 PMOS를 사용해 공핍영역과 축적영역을 사용하는 A-MOS(Accumulation MOS, 축적모드 MOS) 구조이다^[5].

그림 2는 위에서 설명한 이론과 소자를 바탕으로 설계한 기본적인 24 GHz 교차 결합 전압 제어 발진기 회로를 나타낸다. 측정을 위해 사용되는 출력증폭기를 설계하는 방법으로 2가지를 생각할 수 있는데, 발진기의 출력을 그대로 출력으로 보내는 소스 팔로워(source follower) 방식과 발진기의 출력을 증폭시켜서 출력으로 보내는 증폭기 방식이 있다. 증폭기를 버퍼로 사용했을 경우 소스 팔로워 버퍼에 비해서 높은 출력을 얻을 수 있다. 하지만 출력이 높아지는 정도에 비해 버퍼에서의 소모 전력이 상대적으로 크다는 점이 시뮬레이션으로 확인하였고, 위상 잡음도 감소하였다. 또한 레이더 모듈 동작을 위해서는 발진기를 직접 고속 변조시킬 필요가 있는데, 증폭기 방식을 사용할 경우 변조 속도가 다소 떨어지는 특성을 보였다. 따라서 필요에 따라 전력증폭을 위해 외부에 증폭기를 별도로 부가할 수 있으므로 본 논문에서는 측정을 위해 그림 2와 같이 소스

팔로워 버퍼를 사용하였다. 또한 그림 2에 나타난 바와 같이 발진기의 NMOS 드레인 전압을 A-MOS 가변 캐패시터에 직접 사용하지 않고 별도의 V_{ctrl1} 과 V_{ctrl2} 전압을 사용하여 조절함으로써 발진기의 전원 전압에 의한 잡음 영향을 줄일 수 있었으며, 위상 잡음 개선과 더불어 튜닝 범위도 충분히 활용하였다.

2-2 Subthreshold 발진기 설계

g_m 을 발진기에 사용된 능동 소자의 전달 컨덕턴스(transconductance)라고 하고, R_{TANK} 를 공진 주파수에서 LC 병렬 공진 회로가 가지는 손실을 나타내는 병렬 등가저항이라고 할 때 실제적인 LC 공진기는 이상적인 L 과 C , 그리고 R_{TANK} 의 병렬 회로로 표현할 수 있다. LC 공진 회로를 사용하여 발진기를 구성할 경우, 공진 회로가 가지는 저항 성분을 능동 소자가 만들어내는 부정저항으로 적절히 상쇄시켜야 발진이 가능하다. 따라서 LC 교차 결합 발진기의 발진 조건은 식 (2)와 같이 표현할 수 있다^[6].

$$g_m \times R_{TANK} \geq 1 \quad (2)$$

LC 공진의 Q 값이 높아지면 R_{TANK} 값이 증가하게 되므로 작은 g_m 값이 있어도 발진이 가능하다는 것을 식 (2)를 통해 알 수 있다. 높은 Q 값의 공진기를 활용하면 드레인 전류를 줄일 수 있으므로 저전력 동작이 가능하게 된다^[7]. 하지만 CMOS 공정을 사용해서 높은 Q 값을 갖는 수동 소자를 만들기는 어렵다. 따라서 높은 Q 값의 수동 소자를 사용하는 대신 동일한 g_m 값을 낮은 동작 전류 조건에서 구현하는 subthreshold 방식이 활용되었다. Subthreshold 방식은 저전력 동작을 위해 저잡음 증폭기에 적용되었고, 이후 LC 발진기에 효과적으로 활용되어 저전력과 낮은 위상 잡음을 동시에 얻을 수 있었다^{[7],[8]}.

그림 3은 일반적인 트랜지스터의 $I_{DS}-V_{GS}$ 특성 그래프를 나타낸다. $I_{DS}-V_{GS}$ 특성 그래프에서 기울기는 g_m 값을 나타낸다. 일반적인 발진기 회로에서 동작점을 Q_1 이라고 가정하면 Q_1 지점의 전압에서 발진기는 발진을 하게 된다. Q_1 지점의 기울기와 같은 값을 갖는 지점을 더 큰 크기의 트랜지스터의 $I_{DS}-V_{GS}$ 특성 그래프 중 subthreshold 영역인 Q_2 지점에서 찾을 수 있다. 이는 Q_1 과 Q_2 의 g_m 값이 같음을

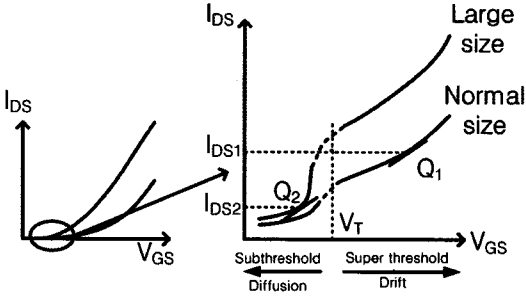


그림 3. 서로 다른 크기의 트랜지스터 $I_{DS}-V_{GS}$ 특성 그래프

Fig. 3. $I_{DS}-V_{GS}$ characteristics of the transistors with different sizes.

의미한다. Q_2 지점은 Q_1 지점과 비교했을 때 낮은 전압에서 동작할 뿐 아니라 드레인 전류도 작게 흐르기 때문에 저전력 동작이 가능하게 된다.

이러한 원리를 이용하여 저전력으로 동작 가능한 subthreshold 교차 결합 전압 제어 발진기를 설계하였다. 하지만 subthreshold 방식을 적용하면 MOSFET의 크기가 커지기 때문에 기생 캐패시턴스 값이 증가하고 발진 주파수가 낮아지게 되어 원하는 주파수에서 충분한 발진 성능을 확보하기 어렵게 된다. 이와 같은 문제를 해결하기 위해서 직렬과 병렬 공진 회로로 구성된 이중 공진 회로를 subthreshold 발진기에 적용하여 주파수 성능을 개선하였다. 따라서 subthreshold 기법과 이중 공진 회로 기법을 동시에 적용함으로써 발진기의 전력 소모를 크게 줄였고, 기존 subthreshold 발진기의 발진 주파수를 효과적으로 증가시켰다.

2-3 이중 공진 회로의 설계

현재 CMOS 설계에서는 인덕터 또는 전송선의 Q 값의 한계 때문에 높은 주파수의 발진기 설계에 많은 어려움이 있다. 이러한 문제를 해결하기 위해서 이중 공진 회로 기법^[9]을 사용할 수 있다.

한 개의 공진 회로는 하나의 공진 주파수를 가지지만 그림 4와 같이 직렬과 병렬 공진 회로를 함께 사용할 경우, 2개의 공진 주파수를 가지게 된다. 그림 4의 회로에서 입력 전류에 대한 출력 전압의 전달 함수를 구하면 다음과 같다^[9].

$$H(s) = \frac{V_{out}}{I_{input}}$$

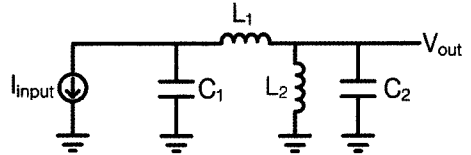


그림 4. 직렬과 병렬 공진 회로를 사용한 이중 공진 회로

Fig. 4. A double resonant circuit of series and parallel resonance.

$$= \frac{-L_2 s}{L_1 L_2 C_1 C_2 s^4 + [(L_1 + L_2) C_1 + L_2 C_2] s^2 + 1} \quad (3)$$

식 (3)을 이용해 공진 주파수에서의 ω^2 을 구하면 다음과 같다.

$$\omega^2 = -\frac{1}{2(L_1 \parallel L_2) C_2} - \frac{1}{2L_1 C_1} \pm \sqrt{\frac{1}{4(L_1 \parallel L_2)^2 C_2^2} + \frac{L_2 - L_1}{2L_1^2 L_2 C_1 C_2} + \frac{1}{4L_1^2 C_1^2}} \quad (4)$$

그림 4의 회로도에서 $L_1=L_2=L$, $C_1=C_2=C$ 라고 가정을 하면 다음과 같은 pole을 얻을 수 있다.

$$\omega_{p1, p1'} = \pm j \sqrt{\frac{3-\sqrt{5}}{2LC}} \approx \pm j \frac{0.62}{\sqrt{LC}}$$

$$\omega_{p2, p2'} = \pm j \sqrt{\frac{3+\sqrt{5}}{2LC}} \approx \pm j \frac{1.62}{\sqrt{LC}} \quad (5)$$

병렬 공진 회로의 공진 주파수를 $\frac{1}{\sqrt{LC}}$ 이라고 했을 때 이중 공진 회로는 병렬 공진 회로의 공진 주파수보다 38% 감소한 지점과 62% 증가한 지점에서 공진하는 것을 식 (5)를 통해 확인할 수 있다. 이 두 개의 공진 주파수 중에서 62% 증가한 공진 주파수를 이용하면 높은 주파수의 발진기를 설계할 수 있다. 이와 같은 이중 공진 회로 기법을 교차 결합 발진기 설계에 적용하면 그림 5와 같이 표현될 수 있다.

2개의 공진점을 가지는 이중 공진 회로를 사용하면 회로의 구성과 사용되는 소자 값에 따라 서로 다른 2개의 주파수에서 발진 가능한 발진기를 각각 제작할 수 있다. 즉, 공진기는 발진기의 발진 가능성을 제공하고, 실제 회로가 발진을 하기 위해서는 공진조건을 만족하는 트랜지스터로 회로를 구성해야 한다. 어느 공진점에서 발진을 하는가는 발진기의 궤환

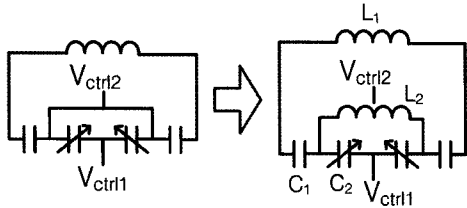


그림 5. 이중 공진 회로의 적용
Fig. 5. Application of a double resonant circuit.

(feedback) 회로가 가지는 극성(polarity)에 따라 발진 위상조건이 충족되는가와 공진기의 손실을 부정확하게 상쇄해 주는가에 달려 있다. 본 논문에서는 62% 증가한 공진 주파수를 활용했으며, 이를 위해 교차 결합 형태의 발진기 구조를 사용하였고, 트랜지스터의 크기와 전류 조건을 설정하였다. 따라서 설계된 회로는 38% 감소한 주파수에서는 발진을 하지 않고, 62% 증가한 주파수에서만 발진을 하게 된다. 이중 공진 회로를 사용하여 발진기를 구성하면 발진 주파수를 증가시킬 수 있는 장점이 있는 반면에 추가적인 인덕터의 사용으로 인한 칩 크기의 증가를 수반해야 한다.

그림 5에서 L_1 과 C_1 , 그리고 공진기가 연결된 트랜지스터의 입력 캐패시턴스가 결합하여 직렬 공진에 기여하고, L_2 와 C_2 가 병렬 공진을 이루고 있다. 또한 C_2 의 캐패시턴스 변화에 의해서 발진기의 발진 주파수가 변하게 된다. L_2 인덕터를 위해 center-tap 대칭형 나선형 인덕터를 사용하였고, 이중 공진 회로의 L 과 C 값은 $L_1=L_2=L$, $C_1=C_2=C$ 가 되도록 초기 설계를 한 후 레이아웃에 따른 기생 성분들을 고려하여 L 값을 미세조정하였다. 앞서 설계한 subthreshold 발진기 회로에 사용된 인덕터는 대칭형 인덕터이고, 이중 공진 회로를 위해 추가한 인덕터는 center-tap 대칭형 인덕터이므로 이 두 인덕터의 크기를 조절하여 같은 값을 갖도록 설계하였다. 그림 6은 이중 공진 회로 기법을 subthreshold 발진기 회로에 적용한 내용을 보여주고 있으며, 그림 2의 V_{ctrl2} 단자에 center-tap 인덕터를 추가함으로써 추가적인 공진점을 형성하고 있다.

그림 7은 기본적인 24 GHz 교차 결합 전압 제어 발진기와 이중 공진 회로를 가지는 교차 결합 전압 제어 발진기의 펄스 모드 동작을 시뮬레이션한 결과

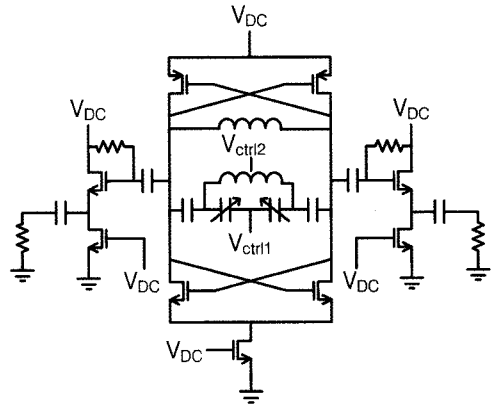


그림 6. 이중 공진 회로를 사용한 24 GHz 저전력 교차 결합 전압 제어 발진기 회로도
Fig. 6. A 24 GHz low-power cross-coupled voltage controlled oscillator with a double resonant circuit.

를 보여주고 있다. 그림 7(a)는 기본적인 발진기에 대한 결과로써 교차 결합 NMOS 트랜지스터의 소스에 공통으로 연결된 전류원 트랜지스터의 게이트에 0.4 nsec의 펄스가 입력되었을 때의 출력 파형 결과를 보여주고 있다. 설계된 회로는 0.4 nsec의 펄스 폭에 대해서는 발진 동작을 수행하지만 더 짧은 폭의 펄스 입력에 대해서는 발진 신호가 충분히 형성되지 못하였다. 그림 7(b)는 이중 공진 회로의 교차 결합 발진기에 펄스 입력을 적용한 결과로써 저전력 동작으로 인해 동작전류가 낮아 0.6 nsec의 펄스 폭까지만 발진 신호가 충분히 형성되었다.

설계된 3가지 회로에 대한 각각의 상세 설계 결과와 사용된 소자에 대한 정보는 III장의 측정 결과와 함께 요약 정리하였다.

III. 발진기 제작 및 측정

TSMC 0.13 μm 공정을 이용하여 3가지 종류의 CMOS 교차 결합 전압 제어 발진기를 제작하고, 특성을 비교하였다. 제작된 CMOS 칩은 시험용 보드를 지그(jig)에 장착하여 측정하였다.

3-1 시험용 보드

6개의 DC 입력과 2개의 출력 그리고 접지를 연결하기 위해 제작한 시험용 보드와 이를 장착한 지그

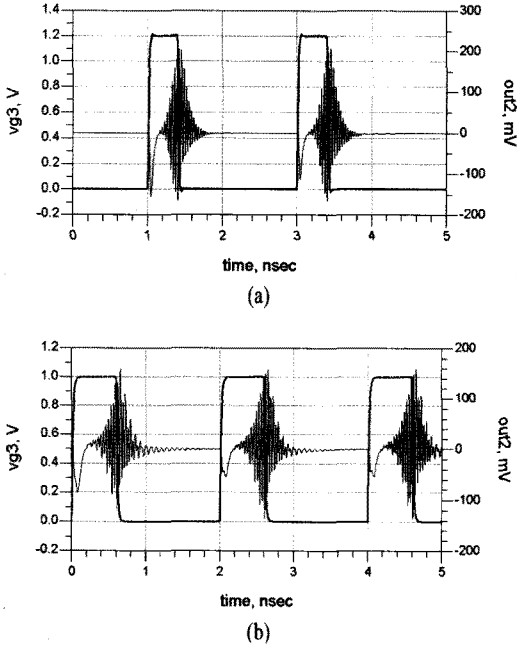


그림 7. 기본적인 24 GHz 교차 결합 전압 제어 발진기 (a)와 이중 공진 회로 구조의 저전력 교차 결합 전압 제어 발진기(b)의 펄스 입력에 대한 발진 출력 시뮬레이션 결과

Fig. 7. Simulated output oscillation voltage signals with pulsed input to current source transistors of a basic 24 GHz cross-coupled voltage controlled oscillator(a) and a low-power cross-coupled oscillator with the double resonant circuit(b).

의 모습을 그림 8에 보여주고 있다.

교차 결합 발진기의 평형 출력을 측정하기 위해 2λ 길이의 CPWG(Coplanar Waveguide with Ground) 구조를 이용하였고, K 커넥터를 연결하였다. 6개의 DC 입력 부분에는 Tantalum 캐패시터가 연결되었다. 그림 8의 오른쪽 사진은 칩을 붙이는 곳의 레이아웃

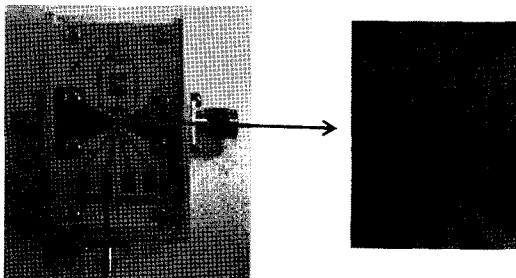


그림 8. 시험용 보드와 지그
Fig. 8. Test board and jig.

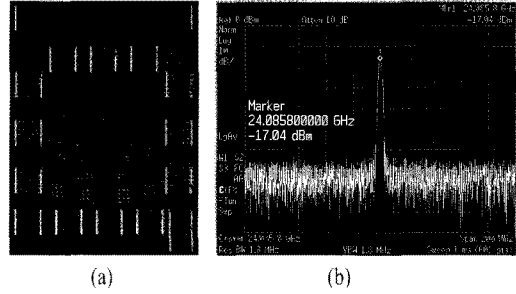


그림 9. 기본적인 24 GHz CMOS 교차 결합 전압 제어 발진기의 칩 사진(a) 및 발진 스펙트럼 측정 결과(b)

Fig. 9. The microphotograph of the fabricated basic 24 GHz CMOS cross-coupled voltage controlled oscillator(a) and measured spectrum result(b).

을 확대하여 나타내었다. 중앙에 에폭시를 이용해서 칩을 붙이고 본딩 와이어(bonding wire)를 이용해 연결하게 된다. 아래에 정리된 발진기의 측정 결과는 측정에 소요된 커넥터와 케이블의 손실, 그리고 지그의 전송선로 손실을 보정하여 정리되었다.

3-2 발진기 측정 결과

그림 9(a)는 기본적인 24 GHz CMOS 교차 결합 전압 제어 발진기를 제작한 칩 사진이고, (b)는 중심 주파수에서 측정된 발진 스펙트럼의 사진으로 24.08 GHz에서 발진하는 것을 확인할 수 있었다. 패드를 제외한 제작된 core 칩의 크기는 $390 \times 420 \mu\text{m}^2$ 이다. 발진기의 주파수 조정 범위는 23.71~24.56 GHz로 측정되었다.

표 1은 기본적인 발진기의 설계와 측정 결과를 비교하여 보여주고 있다. 발진기의 중심 주파수는 24.12 GHz에서 40 MHz 이동되었으며, 주파수 조정 범위는 852 MHz로 22 MHz 증가하였다. 발진기의 출력 전력은 설계 결과보다 다소 떨어져 -11.85 dBm이 측정되었는데, 이는 측정을 위한 조립과정에서 사용된 본딩 와이어 인덕턴스에 의한 임피던스 부정합이 가장 큰 원인이다. 발진기의 소모 전력은 5.6 mW로 측정되었고, 1 mW DC 전력을 기준으로 산정한 Figure of Merit(FOM)^[10]은 -182.77 dBc로 측정되었다.

그림 10(a)는 저전력 동작을 위해 subthreshold 방식을 적용한 단일 공진 회로 구조의 발진기를 CM-

표 1. 기본적인 24 GHz CMOS 교차 결합 전압 제어 발진기의 설계 및 측정 결과

Table 1. Simulated and measured results of the basic 24 GHz cross-coupled voltage controlled oscillator.

	설계 결과	측정 결과
중심 주파수 [GHz]	24.12	24.08
출력 전력 [dBm] (발진기, 버퍼)	5.09, -4.71	NA, -11.85
위상 잡음 [dBc/Hz] (1 MHz offset)	-102.8	-102.62
주파수 조정 [MHz]	830	852
소모 전력 [mW] (발진기, 버퍼)	6.97, 8.25	5.6, 8.4
Figure of Merit [dBc]	-181.98	-182.77
MOSFET 크기 [$\mu\text{m} \times \mu\text{m}$]	PMOS : 2 \times 22 NMOS : 2 \times 19	
인덕터, L (pH)	129.2	
캐패시터, C (fF)	34.49	

OS로 제작한 칩 사진이고, (b)는 이중 공진 회로 구조의 발진기를 CMOS로 제작한 칩 사진이다. 패드를 제외한 발진기의 core 칩의 크기는 각각 390 \times 420 μm^2 와 390 \times 685 μm^2 이다. 그림 10(a)의 경우, 발진 주파수의 스펙트럼을 측정한 결과, 중심 주파수가 설계 주파수인 21.04 GHz와 거의 동일한 21.08 GHz로 측정되었다. 설계 주파수가 24 GHz와 다른 21 GHz로 설정된 이유는 subthreshold 발진기의 경우 동일한 g_m 을 얻기 위해 더 큰 트랜지스터를 필요로 하므로 트랜지스터의 드레인과 소오스 사이에 존재하는 기생 캐패시턴스가 증가하게 되어 발진 주파수가 낮아지기 때문이다. 낮아진 발진 주파수는 LC 공진 회로의 인덕터 값을 줄임으로써 높일 수 있지만 사용할 수 있는 인덕터의 최소 값이 한정되어 있으므로 상향할 수 있는 발진 주파수도 제한을 받게 된다. 상기 회로의 경우 기생 캐패시턴스에 의해 발진 주파수가 제한을 받게 되어 최대 발진 주파수로 21 GHz가 설계되었고, 측정에서도 동일한 결과를 확인할 수 있었다.

표 2는 단일 공진 회로 구조의 교차 결합 전압 제어 발진기의 설계 결과와 측정 결과를 비교하고 있다. 발진기의 중심 주파수는 21.04 GHz에서 40 MHz

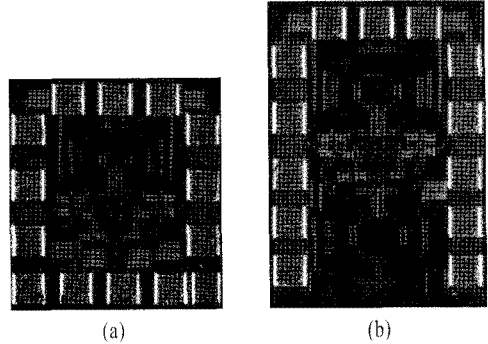


그림 10. 단일 공진 회로 구조의 subthreshold 교차 결합 전압 제어 발진기(a)와 이중 공진 회로 구조의 subthreshold 교차 결합 전압 제어 발진기(b)의 칩 제작 사진

Fig. 10. The microphotographs of the fabricated subthreshold cross-coupled voltage controlled oscillators with a single resonant circuit(a) and a double resonant circuit(b).

표 2. 단일 공진 회로 구조의 24 GHz CMOS 교차 결합 전압 제어 발진기의 설계 및 측정 결과

Table 2. Simulated and measured results of the 24 GHz subthreshold voltage controlled oscillator with a single resonant circuit.

	설계 결과	측정 결과
중심 주파수 [GHz]	21.04	21.08
출력 전력 [dBm] (발진기, 버퍼)	2.13, -7.7	NA, -14.25
위상 잡음 [dBc/Hz] (1 MHz offset)	-104.1	-101.13
주파수 조정 [MHz]	466	475
소모 전력 [mW] (발진기, 버퍼)	3.32, 8.64	3.3, 8.4
Figure of Merit [dBc]	-185.34	-182.45
MOSFET 크기 [$\mu\text{m} \times \mu\text{m}$]	PMOS : 2 \times 34 NMOS : 2 \times 37	
인덕터, L(pH)	111.1	
캐패시터, C(fF)	34.49	

상향 이동되었으며, 주파수 조정 범위는 475 MHz로 9 MHz 증가하였다. 발진기의 출력 전력은 설계 결과보다 다소 떨어져 -14.25 dBm이 측정되었고, 발진기의 소모 전력은 설계에서와 같이 기본적인 구조에서 소모되는 전력의 약 60%에 해당하는 3.3 mW가 측정되었다. 1 mW DC 전력을 기준으로 산정한

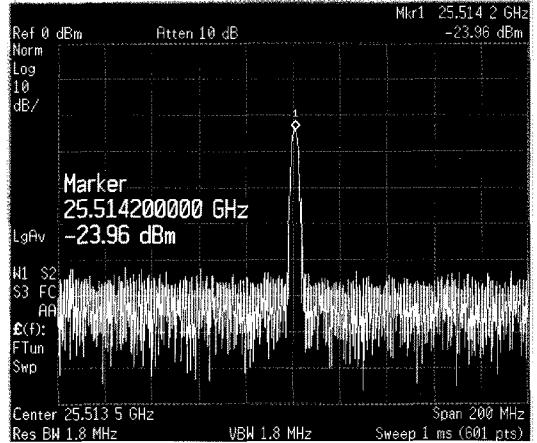
표 3. 이중 공진 회로 구조의 24 GHz CMOS 교차 결합 전압 제어 발진기의 설계 및 측정 결과

Table 3. Simulated and measured results of the 24 GHz subthreshold voltage controlled oscillator with a double resonant circuit.

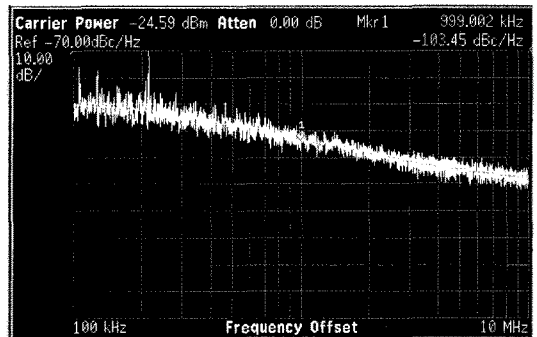
	설계 결과	측정 결과
중심 주파수 [GHz]	24.3	25.5
출력 전력 [dBm] (발진기, 버퍼)	0.25, -9.34	NA, -15.33
위상 잡음 [dBc/Hz] (1 MHz offset)	-106.6	-103.45
주파수 조정 [MHz]	705	735
소모 전력 [mW] (발진기, 버퍼)	3.31, 8.54	4.4, 8.4
Figure of Merit [dBc]	-189.07	-185.16
MOSFET 크기 [um×um]	PMOS : 2×34 NMOS : 2×37	
인덕터, L(pH)	L1 : 186.3 L2 : 242.9	
캐패시터, C(fF)	34.49	

FOM은 -182.45 dBc로 측정되어 설계 결과보다 다소 낮은 값이 측정되었다. 이는 예상과 달리 위상 잡음이 설계치보다 낮게 측정되었기 때문이다.

표 3은 이중 공진 회로 구조의 교차 결합 전압 제어 발진기의 설계 결과와 측정 결과를 비교하고 있다. Subthreshold 영역에서 동작하는 큰 트랜지스터의 기생 캐패시턴스에 의한 발진 주파수 감소를 보상하기 위해 적용된 이중 공진 회로 구조의 발진기는 스펙트럼 측정 결과 중심 발진 주파수가 25.5 GHz로 측정되었다. 이는 설계 발진 주파수인 24.3 GHz보다 1.2 GHz 상향된 결과로 center-tap 인덕터의 영향이 충분히 고려되지 못한 데서 기인한 것으로 판단된다. 따라서 기생 성분을 추가적으로 고려하여 인덕터를 약간 조정한다면 24 GHz에서 저전력으로 광대역 동작하는 이중 공진구조의 교차 결합 전압 제어 발진기가 성공적으로 제작될 수 있음을 확인하였다. 발진기의 주파수 조정 범위는 735 MHz로 30 MHz 증가하였고, 출력 전력은 설계 결과보다 다소 떨어져 -15.33 dBm이 측정되었다. 발진기의 소모 전력은 4.4 mW로 설계보다는 약간 큰 값이 측정되었으며, 비록 설계보다는 3 dB 정도 작은 값의 위상 잡음이 측정되었지만 1 mW DC 전력을 기준으로 산



(a)



(b)

그림 11. 이중 공진 회로 구조의 24 GHz CMOS 교차 결합 전압 제어 발진기의 출력 스펙트럼 및 위상 잡음 측정 결과

Fig. 11. Measured output spectrum and phase noise of the 24 GHz subthreshold voltage controlled oscillator with a double resonant circuit.

정한 FOM은 -185.16 dBc로 우수한 결과가 얻어졌다. 그림 11에 이중 공진 회로 구조를 사용한 교차 결합 전압 제어 발진기의 출력 스펙트럼과 위상 잡음 측정 결과를 보여주고 있다.

출력 전력은 사용된 버퍼에 의해 발진기와 버퍼 입력단 간의 전압 분배에 영향을 받으므로 발진기만을 고려해서 3가지 종류의 전압 제어 발진기를 비교해 보면 subthreshold 발진기가 상대적으로 작은 출력 전력을 가짐을 알 수 있다. Subthreshold 발진기가 비록 더 큰 크기의 트랜지스터를 사용한다고 해도 DC 소모 전력을 작게 사용하기 때문에 교차 결합 발진기의 구조상 효율이 유사하다고 보면 예측 가능한 결과라 하겠다. 주파수 조정 범위는 subthreshold 구

조를 사용할 경우, 트랜지스터의 기생 캐패시턴스에 의해 줄어들 수 있지만 이중 공진 회로를 사용하면 기본적인 발진기 구조와 비슷한 수준으로 증가시킬 수 있음을 알 수 있고, 작은 전력의 소모로 FOM을 개선시킬 수 있었다. 레이더 모듈을 위한 고속 펄스 변조 용도로도 사용되는 발진기의 전류원(current source)을 좀 더 최적화한다면 FOM을 기존의 설계 수준만큼 개선시킬 수 있으리라 여겨진다.

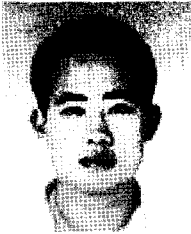
IV. 결 론

본 논문에서는 근거리 레이더에서 사용할 수 있는 24 GHz 교차 결합 전압 제어 발진기를 TSMC 0.13 μm CMOS 공정을 이용하여 설계, 제작하였고, 이중 공진 회로를 subthreshold 발진기 구조에 적용하여 일반적인 교차 결합 발진기보다 개선된 결과를 얻을 수 있었다. 가장 기본적인 형태의 24 GHz 교차 결합 전압 제어 발진기는 주파수 조정 범위가 23.71~24.56 GHz이므로 FMCW 레이더 시스템의 소형화를 위해 바로 사용이 가능하다. 저전력 동작을 위하여 subthreshold 기술을 적용한 발진기는 예상한 바와 같이 최대 21 GHz까지만 발진이 가능한 것을 확인하였다. 이러한 문제점을 해결하기 위해 이중 공진 회로 구조를 교차 결합 전압 제어 발진기에 적용하여 발진 주파수를 효과적으로 높일 수 있음을 확인하였고, 더 작은 전력을 소모하면서 위상 잡음을 기존과 동일 수준 또는 더 개선된 수준으로 향상시킬 수 있음을 보였다. 따라서 개발된 CMOS 전압 제어 발진기 칩들은 24 GHz에서 동작하는 FMCW 레이더 모듈 또는 pulsed FM 레이더 모듈의 주파수 생성기에 효과적으로 활용될 수 있을 것이다.

참 고 문 헌

- [1] F. Folster, H. Rohling, and U. Lubbert, "An automotive radar network based on 77 GHz FMCW sensors", *IEEE International Radar Conference 2005*, pp. 871-876, May 2005.
- [2] K. Hamaguchi, H. Ogawa, T. Kobayashi, and R. Kohno, "Development of ultra-wideband short-range impulse radar system for vehicular applications", *IEICE Trans. Electronics*, vol. E88-C, no. 10, pp. 1922-1930, Oct. 2005.
- [3] D. Lu, M. Kovacevic, J. Hacker, and D. Rutledge, "A 24 GHz active patch array with a power amplifier/low-noise amplifier in MMIC", *International Journal of Infrared and Millimeter Waves*, vol. 23, pp. 693-704, May 2002.
- [4] T. K. K. Tsang, M. N. El-Gamal, "A high figure of merit and area-efficient low-voltage(0.7~1 V) 12 GHz CMOS VCO", *IEEE RFIC Symposium Digest*, pp. 89-92, Jun. 2003.
- [5] P. Andreani, S. Mattisson, "On the use of MOS varactor in RF VCOs", *IEEE J. of Solid-State Circuits*, vol. 35, no. 6, pp. 905-910, Jun. 2000.
- [6] Robert H. Caverly, *CMOS RFIC Design Principles: Chapter 7*, Artech House, 2007.
- [7] H. Lee, S. Mohammadi, "A subthreshold low phase noise CMOS LC VCO for ultra low power applications", *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 11, pp. 796-798, Nov. 2007.
- [8] H. Lee, S. Mohammadi, "A 3 GHz subthreshold CMOS low noise amplifier", *IEEE RFIC Symposium Digest*, pp. 494-497, Jun. 2006.
- [9] B. Razavi, "A millimeter wave circuit technique", *IEEE J. of Solid-State Circuits*, vol. 43, no. 9, pp. 2090-2098, Sep. 2008.
- [10] J. -O. Plouchart, H. Ainspan, M. Soyuer, and A. Ruehli, "A fully-monolithic SiGe differential voltage controlled oscillator for 5 GHz wireless applications", *IEEE RFIC Symposium Digest*, pp. 57-60, Jun. 2000.

김 락 영



2008년 2월: 충남대학교 전기정보
통신공학부 (공학사)
2010년 2월: 충남대학교 전파공학
과 (공학석사)
2010년 3월~현재: 만도중앙연구소
연구원
[주 관심분야] RFIC 설계, 초고주파

회로 및 시스템 설계

김 동 욱



1990년 2월: 한양대학교 전자통신
공학과 (공학사)
1992년 2월: 한국과학기술원 전기
및 전자공학과 (공학석사)
1996년 8월: 한국과학기술원 전기
및 전자공학과 (공학박사)
1991년 8월~2000년 5월: LG종합기

술원 선임연구원

2000년 6월~2002년 8월: (주)텔레포스 연구소장

2002년 9월~2004년 9월: 에스원기술연구소 응용기술팀장

2009년 6월~2009년 12월: 한국전자통신연구원 초빙연구원

2010년 1월~현재: University of California, San Diego Vi-
siting Scholar

2004년 10월~현재: 충남대학교 전파공학과 교수

[주 관심분야] 초고속 및 초고주파 집적 회로, 마이크로파
및 밀리미터파 전력증폭기 모듈, 초소형 레이더 모듈