

논문 2010-47SD-6-7

위상지연을 이용한 Integer-N 방식의 위상·지연고정루프 설계

(Design of an Integer-N Phase-Delay Locked Loop)

최영식*, 손상우**

(Young-shig Choi and Sang-woo Son)

요약

본 논문에서는 전압제어위상지연단(Voltage Controlled Delay Line : VCDL)을 이용하여 기존의 위상고정루프와 다른 형태의 위상·지연고정루프(Phase-Delay Locked Loop)를 제안 하였다. 이 구조는 기존의 위상고정루프의 2차 또는 3차 루프필터 (Loop Filter)를 단하나의 커패시터로 구현하여 넓은 면적을 차지하던 루프필터의 면적을 크게 줄여 전체 칩을 $255\mu\text{m} \times 935.5\mu\text{m}$ 크기로 집적하였다. 제안된 회로는 1.8V $0.18\mu\text{m}$ CMOS 공정의 파라미터를 이용하여 HSPICE로 시뮬레이션을 수행하고 회로의 동작을 검증하였다.

Abstract

In this paper, a novel Integer-N phase-delay locked loop(P·DLL) architecture has been proposed using a voltage controlled delay line(VCDL). The P·DLL can have the LF of one small capacitance instead of the conventional second or third-order LF. The size of chip is $255\mu\text{m} \times 935.5\mu\text{m}$ including the LF. The proposed P·DLL has been designed based on a 1.8V $0.18\mu\text{m}$ CMOS process and proved by HSPICE simulation.

Keywords : Phase locked loop (PLL), Delay locked loop (DLL), VCDL

I. 서론

위상고정루프는(Phase-locked loop : PLL) 응용분야가 다양한 중요한 전자 부품중의 하나이다. 위상고정루프는 주파수와 위상의 제어, 통신 시스템에 필요한 높은 주파수 생성 및 집적화된 디지털 회로의 높은 클럭 신호를 생성하는 전자 부품으로 사용되고 있다. 위상고정루프는 입력 신호와 주파수는 같고 위상은 차이가 없거나 일정한 출력 신호를 만들어 낸다. 일반적으로 위상고정루프는 3차 또는 4차의 폐회로 루프 구조를 가지

며 시스템의 동작이 불안할 수 있다. 또한 위상잡음이 루프를 따라 축적되어 지터 특성이 나빠진다. 일반적으로 위상고정루프는 위상-주파수 검출기(phase frequency detector : PFD), 전하펌프(charge pump : CP), 루프필터(loop filter : LF), 전압제어 발진기(voltage-controlled oscillator : VCO) 및 분주기(Divider)로 구성되어 있다^[1~2]. 저역통과 필터인 루프필터는 좁은 대역폭을 요구하는 저잡음 위상고정루프로 인하여 커패시터의 용량이 커져 칩 안으로 집적화되지 못하고 외부에서 개별소자로 연결되어 사용되는 경우가 많다. 또한 저항의 크기는 반도체 공정 변화에 민감하여 정확한 값을 구현하기가 쉽지 않다.

주파수 체배가 필요하지 않은 고성능 마이크로프로세서 및 메모리의 클럭 신호 생성 같은 응용 분야에서는 지연고정루프가 위상고정루프보다 많이 사용되고 있다. 단하나의 커패시터로 구현된 루프 필터를 가진 기존의 2차의 지연고정루프는 항상 안정되게 동작한다.

* 정희원-교신저자, 부경대학교 전자공학과
(Dept. of Electronic Engineering, Pukyong National University)

** 정희원, (주) AiMS
(AiMS Corporation)

※ 이 연구는 교육과학기술부/한국연구재단 기초연구사업 (과제번호 2009-0073559) 지원으로 수행 되었음.

접수일자: 2009년12월22일, 수정완료일: 2010년4월12일

이 기존의 지연고정루프는 위상-주파수 검출기, 전하펌프, 루프필터 및 전압제어 위상지연단(voltage-controlled delay line : VCDL) 구성되어 있다^[3~4]. 이 지연고정루프는 저역필터 역할을 하는 커패시터의 용량이 작아 하나의 칩으로 쉽게 집적화 된다.

위상고정루프는 입력 신호인 기준 신호보다 높은 주파수 신호나 빠른 클럭 신호를 만들 수 있으나 크고 복잡한 2차 루프필터가 필요하다. 지연고정루프는 클럭 신호 동기에 많이 사용되나 입력 신호인 기준 신호보다 빠른 클럭 신호를 만들 수 없다.

제안된 위상·지연고정루프는 위상고정루프와 지연고정루프를 결합하여 주파수 체배 또는 빠른 클럭 신호를 만들 수 있는 새로운 구조이며 기존의 위상고정루프 형태의 주파수 체배기 또는 클럭 신호 생성기보다 간단하여 하나의 칩으로 집적화가 쉽다. 제안된 위상·지연고정루프는 루프 필터에 저항이 없는 위상고정루프^[5~6], 또는 고주파 발진기를 위상지연단의 입력으로 사용하는 지연고정루프로도 볼 수 있다.

II. 제안된 위상·지연고정루프 설계

1. 위상·지연고정루프 구조

본 논문에서 제안한 위상·지연고정루프는 그림 1과 같이 위상-주파수 검출기, 전하펌프, 하나의 커패시터로 구성된 루프필터, 전압제어 발진기, 전압제어 위상지연단 그리고 분주기로 구성하였다. 기존의 위상고정루프와 비교하면 루프 필터가 하나의 커패시터로 구성되어 있으며, 전압제어 위상지연단이 전압제어 발진기와 분주기 사이에 삽입되어있는 구조이며, 기존의 지연고정루프와 비교하면 전압제어 발진기가 루프 필터와 전압제어 위상지연단 사이에 삽입되어있는 구조이다.

제안된 구조는 위상고정루프 관점에서 보면 하나의

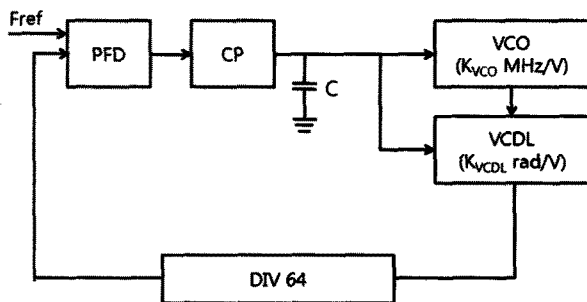


그림 1. 제안한 위상·지연고정루프

Fig. 1. Block diagram of proposed P-DLL

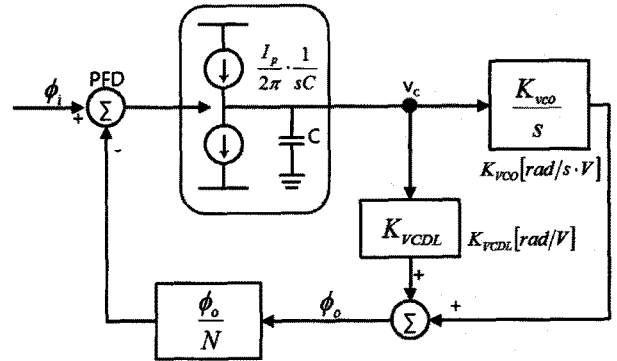


그림 2. 시스템 분석을 위한 블록도

Fig. 2. Block diagram for system analysis.

커패시터로 구현된 1차 루프 필터를 사용하나 저항 역할을 해주는 전압제어 위상지연단을 삽입하여, 안정하게 동작하는 새로운 구조의 위상고정루프이다. 지연고정루프 관점에서 보면 안정하게 동작하는 지연고정루프에 주파수 체배를 위해 전압제어 발진기를 위상지연단의 입력으로 사용하여 높은 주파수를 만들어내는 새로운 구조의 지연고정루프이다.

그림 1의 제안된 위상·지연고정루프에 대하여 시스템 분석을 위한 모델링을 하면 그림 2와 같이 나타 낼 수 있다.

그림 2에서 v_c점의 전압을 계산하여 보면 다음 수식과 같이 나타난다.

$$\left(\phi_i - \frac{\phi_o}{N}\right) \cdot \frac{I_p}{2\pi} \cdot \frac{1}{sC} = v_c \tag{1}$$

출력 지점인 ϕ_o 에서 K_{VCDL} 과 K_{VCO} 의 관계를 v_c 에 대해 정리하면 식 (2)와 같다.

$$v_c = \frac{s \cdot \phi_o}{s \cdot K_{VCDL} + K_{VCO}} \tag{2}$$

식 (1), (2)을 연립하여 전달 함수를 구하면 다음과 같다.

$$\phi_o = \frac{\frac{I_p}{2\pi} \left(\frac{K_{VCDL}}{s \cdot C} + \frac{K_{VCO}}{s^2 \cdot C} \right)}{1 + \frac{1}{N} \cdot \frac{I_p}{2\pi} \left(\frac{1}{s \cdot C} \cdot K_{VCDL} + \frac{1}{s^2 \cdot C} \cdot K_{VCO} \right)} \tag{3}$$

여기서 I_p 는 전하펌프에서 공급되는 전류의 양, K_{VCO} 와 K_{VCDL} 은 전압제어발진기의와 전압제어 위상지연단의 이득이며 C 는 저역통과필터의 수동소자 값이다. N 은 분주기의 분주비이다. 그리고 식 (3) 페루프 전달 함수

를 고유각 주파수(ω_n)와 감쇠비(ζ)로 나타내면,

$$\frac{\phi_o}{\phi_i} = \frac{N[2\zeta\omega_n \cdot s + \omega_n^2]}{s^2 + 2\zeta\omega_n \cdot s + \omega_n^2} \quad (4)$$

여기에서 고유각주파수(ω_n)와 감쇠비(ζ)는 각각 다음과 같이 나타 낼 수 있다.

$$\omega_n = \sqrt{\frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{1}{C} \cdot K_{VCO}} \quad (5)$$

$$\zeta = \frac{1}{2} \sqrt{\frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{1}{C} \cdot \frac{K_{VCDL}^2}{K_{VCO}}} \quad (6)$$

3가 1보다 작은 경우에 제안한 위상·지연고정루프가 입력 주파수와 위상의 변화에 대하여 어떻게 수렴하는 가를 알아보기 위해 위상과 주파수 계단함수에 대한 응답을 구하였다.

$$\phi(t) = N \cdot \Delta\phi$$

$$\left\{ 1 - e^{(-\zeta\omega_n)t} \cdot \left[\sqrt{\frac{1}{1-\zeta^2}} \cdot \cos \left[(\omega_n \sqrt{1-\zeta^2})t - \tan^{-1} \left(\frac{\sqrt{1-\zeta^2}}{\zeta} \right) t \right] \right] \right\} \quad (7)$$

$$\phi(t) = \Delta\omega_n \cdot N \cdot \left\{ t - \left(\frac{1}{\sqrt{1-\zeta^2} \cdot \omega_n} \right) \cdot e^{-\zeta\omega_n t} \cdot \sin(\sqrt{1-\zeta^2} \cdot \omega_n t) \right\} \quad (8)$$

식 (7)은 위상에 대한 반응이며, 식 (8)은 주파수 변화에 대한 응답이다.

2. VCDL의 역할

그림 3과 같이 기존 위상고정루프의 선형 모델을 바탕으로 저항과 커패시터로 구현된 1차 구조의 루프필터를 가진 기존의 위상고정루프는 다음과 같은 전달함수를 지닌다.

$$\frac{\phi_o}{\phi_i} = \frac{N \left(\frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot \frac{K_{VCO}}{s} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{sC} \right)}{1 + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot R \cdot \frac{K_{VCO}}{s} + \frac{1}{N} \cdot \frac{I_p}{2\pi} \cdot \frac{K_{VCO}}{s} \cdot \frac{1}{sC}} \quad (9)$$

여기서 I_p 는 전하펌프에서 공급되는 전류의 양, K_{VCO} 는 전압제어발전기의 이득이며 R 과 C 는 각각 저역통과필터의 수동소자 값이다. N 은 분주기의 분주비이다. 식 (3)과 (9)를 비교하면 식 (3)의 $\frac{1}{C} \cdot \frac{K_{VCDL}}{K_{VCO}}$ 가 식(9)의 R 과 같은 동등한 변수임을 알 수 있다. 즉 위상고정루프

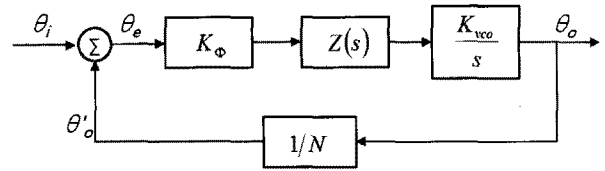


그림 3. 기존 PLL의 선형 모델
Fig. 3. Linear model of conventional PLL.

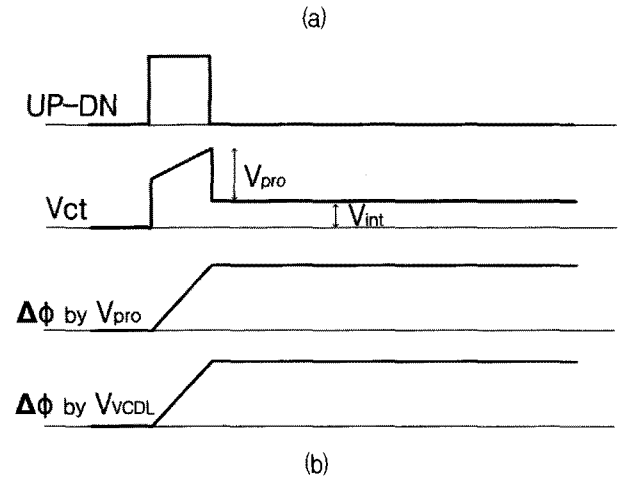
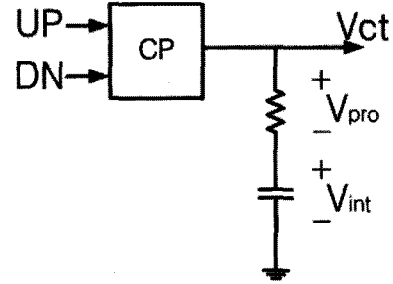


그림 4. (a) 기존의 루프 필터 (b) 제안한 위상·지연고정 루프에서의 전압제어 위상지연단의 역할
Fig. 4. (a) Conventional RC loop filter (b) Role of VCDL in the proposed P-DLL.

관점에서 보면 $\frac{1}{C} \cdot \frac{K_{VCDL}}{K_{VCO}}$ 이 R 역할을 하여 낮은 주파수 값을 가지는 영점을 만들어 줌으로 제안한 구조가 안정하게 동작됨을 알 수 있다. 또한 전압제어 발전기와 위상지연단의 이득 값은 공정 변화에 같은 방향으로 움직이므로 공정 변화에 영향을 받지 않는 저항 값을 구현할 수 있게 해준다.

그림 4는 기존의 RC 루프필터와 비교한 제안한 구조에서의 전압제어 위상지연단의 역할을 보여주고 있다. 기존의 루프필터에서 발생하는 전압은 전압 제어 발전기의 위상을 변화시키는 두 개의 성분으로 구성되어 있다. 하나는 저항에 나타나는 비례적인 전압이며(V_{pro}) 다른 하나는 커패시터의 나타나는 시간에 따라 적분된

전압이(V_{int}) 나타난다 이 두 전압 중 V_{pro} 는 전압제어 발진기에 그림 4(b)와 나타난 것과 같은 위상 변화를 일으킨다. 제안한 구조의 위상-지연고정루프에서는 루프필터의 전압에 따라 전압제어 위상지연단이 그림 4(b)와 위상 변화를 발생시킨다. 이 위상변화는 기존의 루프필터의 R이 만들어내는 위상변화와 같다고 가정할 수 있다.

III. 위상-고정루프 회로 설계

본 논문에서는 트랜스미션 게이트를 사용하여 그림 5와 6에 나타난 것과 같은 전압제어 위상지연단을 설계하였다. 이 구조는 트랜스미션 게이트와 인버터를 사용한 전압제어 지연단과 바이어스회로로 나뉜다. 바이어스회로와 지연 셀의 회로는 각각 그림 6에 각각 나타내었다. 위상지연단의 지연 이득은 다음과 같다.

$$K_{VCDL} = \frac{t_{up1} - t_{up2}}{1 \div f_{ref}} \times 2\pi \text{ rad/V} \quad (10)$$

$$K_{VCDL} = \frac{t_{up1} - t_{up2}}{V_{LPP1} - V_{LPP2}} \quad (\times 2\pi \text{ rad/V})$$

이 전압제어 위상지연단은 0.6V에서 1.4V까지 선형적으로 동작하도록 설계되었다.

본 논문에서는 그림 7에서 나타난 것과 같은 전압제어저항(VCR; Voltage Controlled Resistor)과 3단 래치

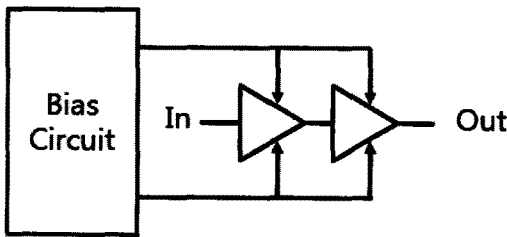


그림 5. 전압제어 위상지연단의 개념도
Fig. 5. Block diagram of VCDL using transmission gate.

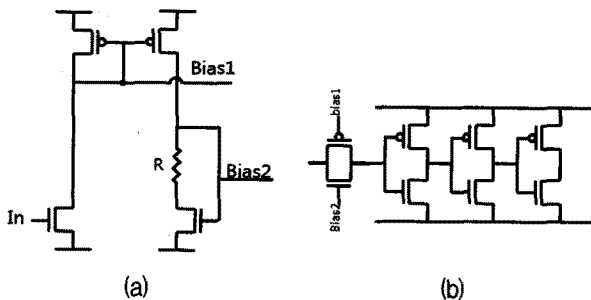


그림 6. (a) 바이어스회로와 (b) 전압지연셀
Fig. 6. (a) Bias circuit (b) delay cell.

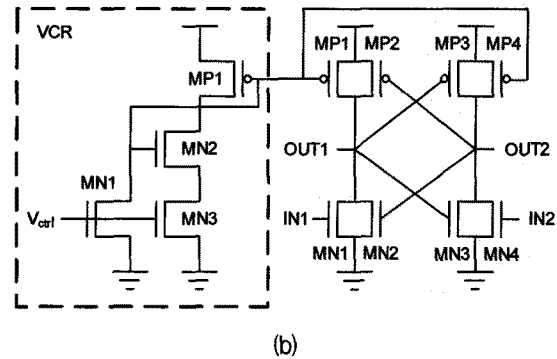
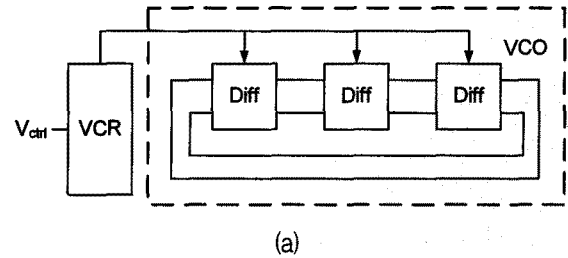


그림 7. (a) VCO의 블록도 (b) VCO의 VCR과 지연셀 회로
Fig. 7. (a) Block diagram of VCO. (b) Circuits of VCR and delay cell of VCO.

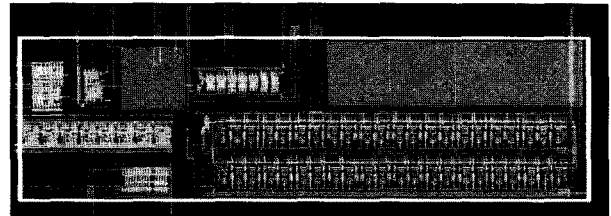


그림 8. 위상-지연고정루프의 레이아웃
Fig. 8. Layout of P-DLL

구조 지연 소자로 구성된 전압제어 발진기를 사용하였다. 전압제어저항은 입력 전압에 선형적으로 비례하는 전류를 발생시켜 전압제어 발진기의 출력 주파수를 제어하는 블록으로 상대적으로 작은 입력 전압의 변화를 더 큰 전류 변화로 바꾸어 전압제어 발진기의 넓은 발진영역을 만들어 준다. 래치 구조 지연 소자의 MP2, MP3, MN2 그리고 MN3는 지연 소자의 짧은 on-time 특성을 갖게 하여 위상잡음 특성을 보다 향상시키게 된다. 또한 전압제어저항에 연결된 래치 구조 지연 소자의 MP1과 MP4는 지연 소자에 흐르는 전류와 지연시간을 조절하게 된다.

제안된 위상지연 고정루프는 0.18 μm 공정을 이용하여 레이아웃 하였다. 그림 8에 나타난 레이아웃의 크기는 255 μm \times 935.5 μm (흰색 직사각형)이다. 이 레이아웃은 50pF 크기의 커패시터를 포함하고 있다. 좋은 위상잡음 특성을 위해 좁은 대역폭을 요구하는 기존의 위상

고정루프로 인하여 커패시터의 용량은 일반적으로 수 nF이다. 단일 칩으로 제작하기에는 너무 칩의 크기가 커지므로 루프 필터를 칩 외부에 연결하여 사용한다.

IV. 시뮬레이션 결과

제안한 위상-지연고정루프는 1.8V 0.18 μ m CMOS 공정을 이용하여 시뮬레이션 하였다. 표 1은 위상고정시간과 전압제어 발진기의 입력전압 변화 크기와 루프 필터의 커패시턴스 크기를 보여주고 있으며, 그림 9와 10은 시뮬레이션 결과를 보여주고 있다. 시뮬레이션 사용된 공통 변수로 400 μ A의 전하 펌프의 전류, 3*2 π /V

표 1. 시뮬레이션 변수 및 결과.
Table 1. Parameters and results of simulation.

	C	위상고정시간	V _{fl}
(a)	50pF	40 μ s	2.2mV
(b)	100pF	110 μ s	2mV
(c)	200pF	220 μ s	1.4mV
(d)	300pF	300 μ s	0.6mV

의 전압제어 위상지연단의 이득, 150MHz/V의 전압제어 발진기의 이득과 64의 분주비가 사용되었다. 그림 9와 10에 보이는 파형은 식 (5)와 (6)의 $\omega_n \cdot \zeta$ 값에 따른 주기로 움직이고 있음을 보여주고 있다. 이 주기는 위상이 고정되기 전이나 위상고정이 되고 난 후에도 $\omega_n \cdot \zeta$ 값을 가진다. $\omega_n \cdot \zeta$ 값은 전하펌프 전류, 루프 필터 커패시터 크기, 위상지연단과 전압제어발진기의 이

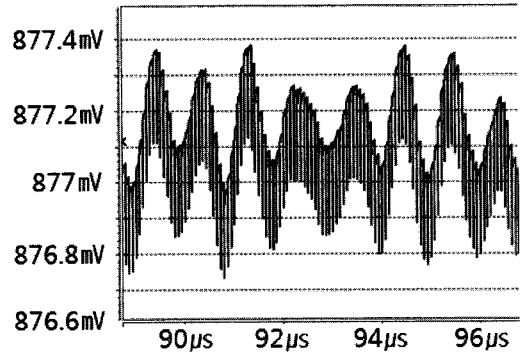
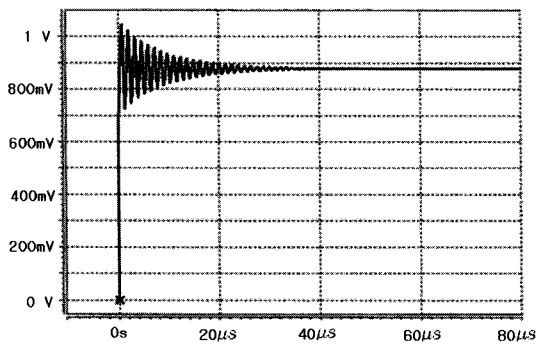
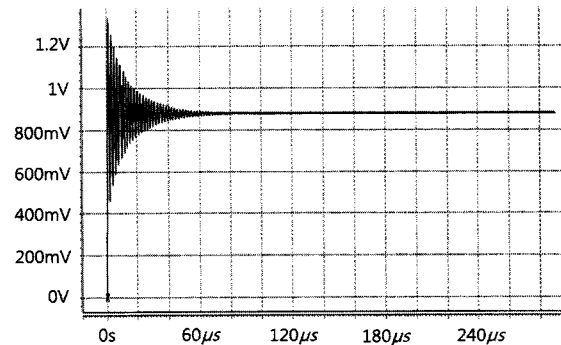


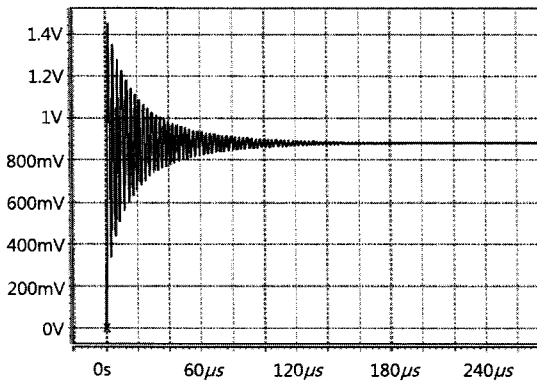
그림 10. 고정 시간 이후의 LF 전압 변화 (그림 9(a))
Fig. 10. LF output voltage fluctuation of after lock. (Fig. 9(a)).



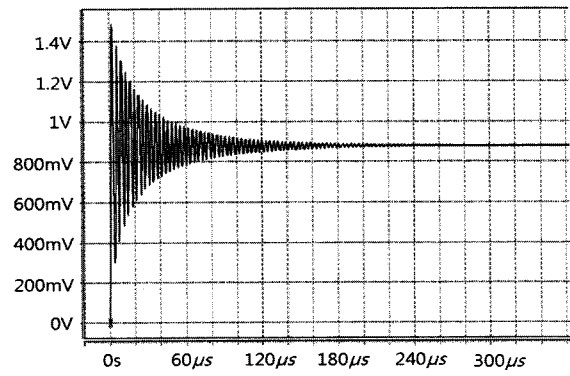
(a)



(b)



(c)



(d)

그림 9. 루프 필터 출력전압 시뮬레이션 결과. 위상고정시간 (a) 40 μ s (b) 110 μ s (c) 220 μ s (d) 300 μ s.
Fig. 9. Hspice simulation result of LF output. Locking time of (a) 40 μ s (b) 110 μ s (c) 220 μ s (d) 300 μ s.

득에 의해 결정된다. 커패시턴스의 크기가 작아지면 ($\omega_n \zeta$ 값이 커지면) 위상고정 시간은 짧아지나 위상잡음의 크기에 영향을 미치는 전압제어발전기의 입력 전압의 변화폭(V_H)이 커지므로 응용 분야에 따라 값을 결정해야 한다.

IV. 결 론

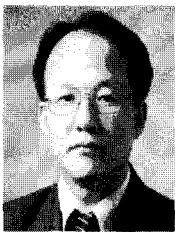
위상고정루프는 입력 신호인 기준 신호보다 높은 주파수 신호나 빠른 클럭 신호를 만들 수 있으나 크고 복잡한 2차 루프필터가 필요하여 하나의 칩으로 구현하기가 쉽지 않다. 지연고정루프 클럭 신호 동기에 많이 사용되나 입력 신호인 기준 신호보다 빠른 클럭 신호를 만들 수 없다.

제안된 위상·지연고정루프는 위상고정루프와 지연고정루프를 결합하여 주파수 체배 또는 빠른 클럭 신호를 만들 수 있는 새로운 구조이며 기존의 위상고정루프 형태의 주파수 체배기 또는 클럭 신호 생성기보다 간단하여 하나의 칩으로 집적화가 쉽다. 50pF를 포함한 칩의 크기는 $255 \mu\text{m} \times 935.5 \mu\text{m}$ 이다. 제안된 위상·지연고정루프 루프 필터에 저항이 없는 위상고정루프, 또는 고주파 발전기를 위상지연단의 입력으로 사용하는 지연고정루프로도 볼 수 있다.

참 고 문 헌

- [1] Floyd M. Gardner, "Charge-Pump Phase-Lock Loop", IEEE J. Tran, on Communications, vol. COM-28, NO, 11, pp. 1849-1858, Nov., 1980.
- [2] V. V. Kaenel, D. Aebischer, C. Piguet, and E. Dijkstra, "A 320MHz, 1.5mW @ 1.35 V CMOS PLL for microprocessor clock generation", IEEE J. Solid-State Circuits, vol. 31, pp. 1715-1722, Nov., 1996.
- [3] M. Johnson and E. Hudson, "A variable Delay Line PLL for CPU-Coprocessor Synchronization", IEEE J. Solid-State Circuits, vol. 23, pp. 1218-1223, Oct., 1988.
- [4] T. H. Lee, K. S. Donnelly, J. T. C. Ho, J. Zerbe, M. Johnson, and T. Ishikawa, "A 2.5 V CMOS delay-locked loop for an 18 Mbit, 500 Megabyte/s DRAM", IEEE J. Solid-State Circuits, vol. 23, pp. 1491-1496, Dec., 1994.
- [5] H. T. Ahn and David J. Allstot, "A Low-Jitter 1.9-V CMOS PLL for UltraSPARC Microprocessor Applications", IEEE J. Solid-State Circuits, vol. 35, pp. 450-454, Mar., 2000.
- [6] J. H. Kim, J. K. Kim, B. J. Lee, N. H. Kim, D. K. Jeong, and W. C. Kim "A 20-GHz Phase-Locked Loop for 40-Gb/s Serializing Transmitter in 0.13- μm CMOS", IEEE J. Solid-State Circuits, vol. 41, pp. 899-908, Apr., 2006.

저 자 소 개



최 영 식(정회원)
1982년 경북대학교 전자공학과
학사 졸업.
1986년 Texas A&M University
전자공학과 석사 졸업.
1993년 Arizona State University
박사 졸업.

1987년~1999년 현대전자 책임연구원
1999년~2003년 동의대학교 전자공학과 교수
2003년~현재 부경대학교 전자공학과 교수
<주관심분야 : PLL, DLL, CDRC 설계>



손 상 우(정회원)
2008년 동의대학교 전자공학과
학사 졸업.
2010년 부경대학교 전자공학과
석사 졸업.
2010년~현재 AiMS 연구원

<주관심분야 : PLL, DLL, CDRC 설계>