

논문 2010-47SD-6-6

# EMI 저감을 위해 분할된 전원/접지 평판 구조에서의 방사성 방출 분석

( Analysis of Split Power/Ground Plane Structures for Radiated EMI  
Reduction )

이 장 훈\*, 이 필 수\*\*, 이 태 헌\*, 김 창 균\*, 송 인 채\*\*, 위 재 경\*\*

( Jang-hoon Lee, Pil-soo Lee, Tae-Heon Lee, Changgyun Kim, Inchaе Song, and Jae-Kyung Wee )

## 요 약

본 논문에서는 시스템 모듈에서 발생하는 EMI를 줄이기 위해 분할된 전원/접지 평판 구조에 의해 발생하는 방사성 방출(Radiated emission)을 분석하였다. 분석을 위해 다양한 조건을 갖는 시험 기판(Test board)에 대한 자기장과 전기장을 시뮬레이션하고 측정하여 비교하였다. 이 분석 결과는 입력 신호의 주파수 대역에서 반사계수의 위상이 0°에 근접하도록 하며, 입력 신호의 주파수와 분할된 전원/접지 평판 구조의 공진주파수가 일치하지 않도록 분할된 접지 겹의 폭과 위치를 결정함으로써 방사성 방출을 줄일 수 있음을 보여준다. 또한, 스티칭 커패시터(Stitching capacitor)를 사용하여 방사성 방출을 저감시킬 수 있으며, 방사성 방출을 효과적으로 저감시키기 위해 입력 신호의 주파수에서 반사계수의 크기를 낮추고 위상이 0°에 근접하도록 스티칭 커패시터의 값과 위치를 결정할 필요가 있음을 알 수 있다.

## Abstract

In this paper, we analyzed radiated emission generated by the split power/ground plane structures in order to reduce EMI in system modules. The magnetic fields and electric fields were simulated and measured on the test boards under various conditions. In order to reduce radiated emission, we have to determine spacing and location of the split ground gap so that input signal frequency does not coincide with the resonance frequency of the split power/ground plane structure and the phase of reflection coefficient is close to 0° at input signal frequency. Moreover, we found that inserting a stitching capacitor could reduce the radiated emission. Low magnitude of reflection coefficient and the phase close to 0° are required to reduce radiated emission. It is necessary to properly decide value and location of a stitching capacitor to fulfil those requirements.

**Keywords :** split power/ground plane structure, split ground gap, stitching capacitor, radiated emission, reflection coefficient

## I. 서 론

오늘날, 시장은 단일 칩이나 모듈 시스템에서 더 작고 더 높은 성능을 갖는 제품을 요구한다. 이러한 추세는 서로 다른 전압 레벨을 사용하는 다양한 IC나 모듈들을 하나의 제한된 시스템 공간 안에 존재하도록 요구한다. 분할된 전원/접지 평판을 이용한 PDN (Power Distribution Network) 기반의 구조는 이러한 요구를

\* 학생회원, 송실대학교 전자공학과  
(Dept. of Electronic Eng., Soongsil University)

\*\* 정회원, 송실대학교 정보통신전자공학부  
(School of Electronic Eng, Soongsil University)

\*\*\* 정회원, 하이닉스 반도체  
(Hynix Semiconductor)

※ 이 논문은 2008년 정부(교육과학기술부)의 재원으로  
한국학술진흥재단의 지원을 받아 수행된 연구임  
(KRF-2008-314-D00163)

접수일자: 2010년2월19일, 수정완료일: 2010년6월3일

충족시키기 위한 하나의 대안책이다. 이 구조는 제한된 공간 안에 여러 종류의 전압 레벨을 공급하는 이점을 갖는다<sup>[1~4]</sup>. 그러나 분할된 전원/접지 평판 구조(Split power/ground plane structure)에서 귀선 전류(Return current)의 불연속성으로 인해 방사성 방출(Radiated emission)은 증가한다<sup>[2~3]</sup>. 이 방사성 방출은 IC나 신호선에 노이즈를 발생시키기 때문에 시스템의 성능 저하 및 오동작을 유발한다<sup>[2,4]</sup>. 대부분의 기존 연구에서는 이러한 방사성 방출을 줄이기 위해 분할된 접지 갭(Split ground gap)의 형태를 변형하거나 분할된 전원/접지 평판을 스티칭 커패시터(Stitching capacitor)로 연결하였다<sup>[2,4~5]</sup>. 이러한 방법들은 방사성 방출을 줄이는데 효과적이다. 그러나 이러한 방법들을 PCB나 패키지 설계에 적용함에 있어서, 접지 갭의 폭과 위치, 스티칭 커패시터의 값과 위치와 같은 변수들과 방사성 방출의 상관관계가 명확하지 않고, 이러한 방법들을 잘못 적용할 경우 방사성 방출의 저감 효과가 줄어들거나 더 많은 양의 방사성 방출을 발생시킬 수도 있다. 그러므로 분할된 전원/접지 평판 구조에서의 방사성 방출 저감을 목적으로 구조를 최적화하거나 적절한 스티칭 커패시터의 값과 위치를 결정하기 위해서, 분할된 접지 갭의 폭과 위치, 스티칭 커패시터의 값과 위치에 따른 방사성 방출을 조사하고 그 변화를 분석할 필요가 있다.

따라서 본 논문에서는 다양한 접지 갭의 폭과 위치, 스티칭 커패시터의 값과 위치를 갖는 분할된 전원/접지 평판 구조의 시험 기판(test board)을 설계하여 시뮬레이션과 측정을 통해 방사성 방출을 조사하고 분석하였다. 또한, 반사계수와 방사성 방출의 연관성을 분석하고 분할된 접지 갭의 폭과 위치, 스티칭 커패시터의 값과 위치를 최적화 하기 위한 방안을 모색하였다. 방사성 방출을 조사하기 위해 Ansoft 사의 HFSS를 사용하여 자기장(H-field)과 전기장(E-field)을 확인하였으며, near field EMI scanning을 이용하여 자기장을 측정하였다.

## II. 분할된 전원/접지 평판 구조의 방사성 방출

이 장에서는 분할된 접지 갭(Split ground gap)의 폭과 위치에 따른 방사성 방출을 분석하였다. 이를 위해 그림 1(a)와 같은 분할된 전원/접지 평판 구조(Split power/ground plane structure)를 갖는 시험 기판을 설계하였다. 이 구조는 방사성 방출의 분석을 용이하게

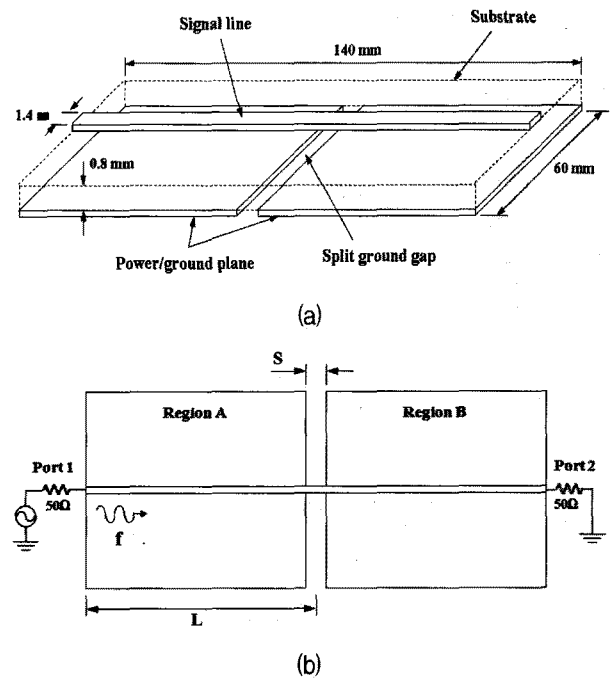


그림 1. (a) 제안된 시험 기판의 구조

(b) 실험 변수 :  $f$ ,  $S$ ,  $L$

Fig. 1. (a) Proposed structure of test board.

(b) Test parameter :  $f$ ,  $S$ ,  $L$ .

하기 위해 PCB나 패키지에서 많이 사용되고 있는 마이크로 스트립(Micro-strip) 전송 선로 구조를 기반으로 하여 매우 간단한 형태로 설계되었다. 이 때 substrate의 유전체는 비유전율이 4.4인 FR-4를 사용하였으며, 신호선의 특성 임피던스는 임피던스 정합을 위해 50Ω으로 설계하였다. 그림 1(b)는 Port 1에 인가되는 주파수( $f$ ), 분할된 접지 갭의 폭( $S$ )과 위치( $L$ )에 의한 방사성 방출을 확인하기 위한 실험 변수들을 보여준다. 이때 Port 1과 Port 2는 50Ω의 임피던스를 갖는다.

### 1. 입력 신호 주파수에 따른 방사성 방출

전송선로 이론에 의하면 임피던스 정합이 이루어진 전송선로는 반사계수가 0이며, 이 때 전류분포와 전압분포는 인가되는 입력 주파수에 관계없이 항상 일정하다. 방사성 방출은 전기장과 자기장으로 구성되며 전기장과 자기장은 각각 전압분포와 전류분포에 비례하기 때문에 방사성 방출 또한 반사계수가 0일 때 입력 주파수에 관계없이 항상 일정하다. 반면, 임피던스 부정합으로 인해 반사계수가 0이 아니면 전압분포와 전류분포는 주파수에 따라 다르게 발생하고 이로 인해 방사성 방출 또한 다르게 발생한다.

분할된 전원/접지 평판 구조는 분할된 접지 갭을 가

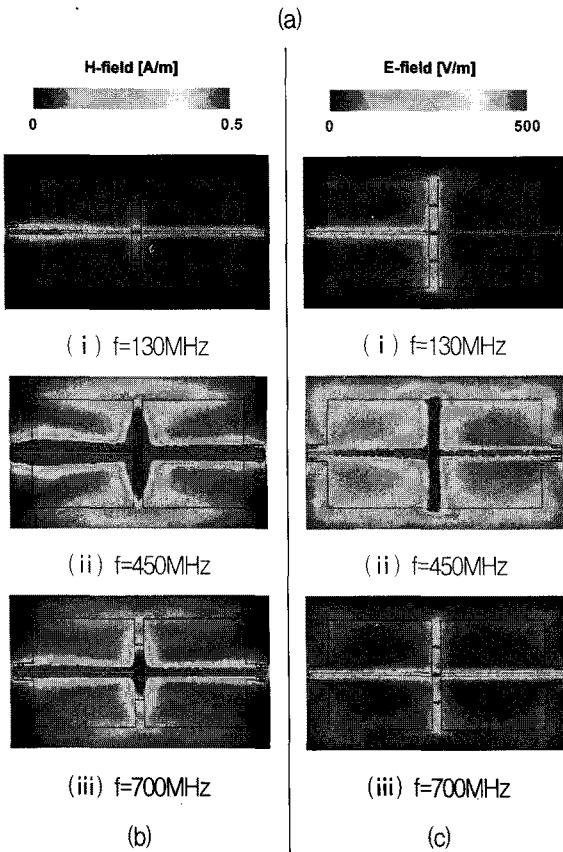
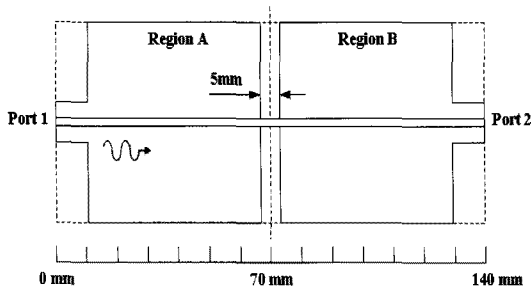


그림 2. (a) 분할된 전원/접지 평판 구조의 시뮬레이션 모델 (b) 입력 신호의 주파수 변화에 따라 시뮬레이션 된 자기장의 분포 (c) 입력 신호의 주파수 변화에 따라 시뮬레이션 된 전기장의 분포  
 Fig. 2. (a) The simulation model of the split power/ground plane structure. (b) The simulated distributions of H-fields by the variations of input signal frequency. (c) The simulated distributions of E-fields by the variations of input signal frequency.

지고 있기 때문에 전송선로에 임피던스 부정합이 발생한다. 그러므로 분할된 전원/접지 평판 구조에서 반사계수는 0이 아니며, 앞에서 언급하였듯이 방사성 방출은 입력 주파수에 따라 다르게 발생한다. 이를 확인하기 위해 그림 1과 같은 구조에서 3개의 주파수 (130MHz, 450MHz, 700MHz)에 대한 자기장과 전기장

표 1. 입력 신호의 주파수에 따른 반사계수 위상

Table 1. The phase of the reflection coefficient according to input signal frequencies.

	130MHz	450MHz	700MHz
반사계수 위상	-54.0°	175.6°	102.4°

의 분포를 시뮬레이션 하였다. 그림 2는 시뮬레이션 된 자기장과 전기장의 분포를 보여준다. 이 때 분할된 갭의 폭 S는 5mm이고 갭의 위치 L은 70mm로 전원/접지 평판의 가운데에 위치한다. 그림 2에서 볼 수 있듯이, 분할된 전원/접지 평판 구조에서 자기장과 전기장의 분포는 주파수에 따라 다르게 나타난다. 그러므로 방사성 방출은 입력 주파수에 따라 다르게 나타나는 것을 알 수 있다.

그림 2에서 방사성 방출이 주파수에 따라 다르게 나타나는 이유는 각 주파수마다 반사계수가 다르기 때문이다. 특히 반사계수의 위상은 방사성 방출에 많은 영향을 미친다. 표 1은 그림 1의 분할된 전원/접지 평판 구조에서 3개의 입력 주파수에 따른 반사계수의 위상을 보여준다.

표 1에서 3개의 주파수에 대한 반사계수의 위상은 입력 주파수가 130MHz일 때 가장 0°에 근접하고 입력 주파수가 450MHz일 때 180°(=-180°)에 가장 근접함을 볼 수 있다. 이 결과로써 그림 2에서 볼 수 있듯이, 입력 주파수가 130MHz일 때 방사성 방출이 가장 적게 발생하고, 입력 주파수가 450MHz일 때 방사성 방출이 가장 많이 발생한다. 그러므로 분할된 전원/접지 평판 구조에서 방사성 방출은 반사계수의 위상이 ±180°에 근접할수록 증가함을 알 수 있다. 이 때 반사계수의 위상이 ±180°가 되는 주파수는 공진주파수를 의미한다.

2. 분할된 접지 갭의 폭과 위치에 따른 방사성 방출

앞에서 언급하였듯이, 분할된 전원/접지 평판 구조에서 방사성 방출은 반사계수의 위상이 0°에 근접할수록 적게 발생하고 반사계수의 위상이 ±180°에 근접할수록 많이 발생하며, 방사성 방출이 최대가 되는 입력 신호의 주파수는 공진주파수이다. 그러나 분할된 전원/접지 평판 구조에서 갭의 폭과 위치의 변화에 따라 공진주파수와 반사계수의 위상은 변화한다. 이것은 그림 3을 통해 확인할 수 있다.

그림 3은 3개의 갭의 폭 S(1mm, 5mm, 10mm)와 3개

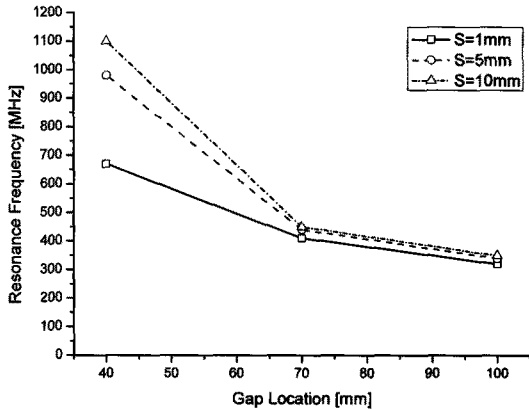


그림 3. 갭의 폭과 위치에 따른 공진주파수  
Fig. 3. The resonance frequency according to gap spacing and gap location.

의 갭의 위치 L(40mm, 70mm, 100mm)에 대한 공진주파수를 보여준다. 여기서 갭의 위치 L이 증가하는 것은 갭의 위치가 신호가 인가되는 포트에서 멀어지는 것을 의미한다. 그림 3에서 갭의 위치가 신호가 인가되는 포트에서 멀어질수록 공진주파수가 낮아짐을 볼 수 있으며, 같은 갭의 위치일 때 갭의 폭이 넓을수록 공진주파수가 더 높은 주파수 대역에서 발생함을 볼 수 있다. 또한, 갭의 위치가 신호가 인가되는 포트에 가까울수록 공진주파수는 갭 폭의 변화에 의해 더욱 많은 영향을 받는 것을 볼 수 있다.

그림 4는 분할된 전원/접지 평판 구조에서 L=70mm일 때와 L=40mm일 때의 자기장과 전기장의 분포를 보여준다. 여기서 갭의 폭 S는 5mm이고 입력 신호의 주파수는 450MHz이다. 그림 4에서 볼 수 있듯이, L=40mm일 때 자기장과 전기장의 크기가 L=70mm일 때보다 매우 감소하였음을 볼 수 있다. 이것은 그림 3에서 볼 수 있듯이, L=70mm의 경우 공진주파수가 입력 신호의 주파수와 같은 450MHz인 반면, L=40mm의 경우 공진주파수가 입력 신호의 주파수와 다른 980MHz로 이동하였기 때문이다.

이 결과로부터 입력 신호의 주파수가 분할된 전원/접지 평판 구조의 공진주파수에 근접할수록 방사성 방출이 증가함을 알 수 있으며, 분할된 접지 갭의 폭과 위치를 조절하여 공진주파수를 이동시킬 수 있음을 알 수 있다. 그러므로 분할된 전원/접지 평판 구조를 갖는 PCB나 패키지를 설계할 때 방사성 방출을 줄이기 위해 분할된 갭의 폭과 위치를 최적화함으로써 입력 신

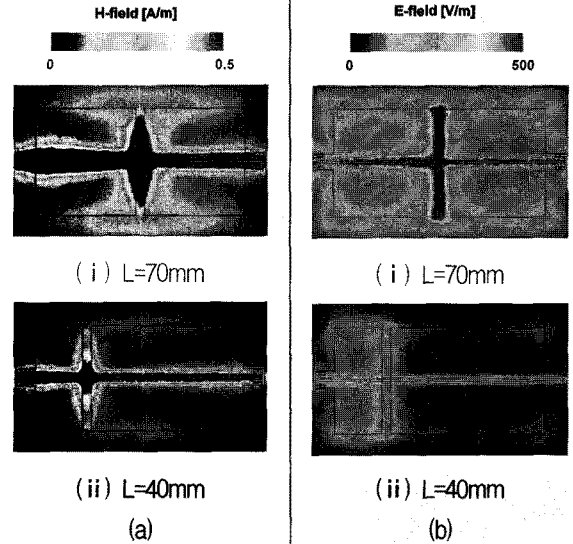


그림 4. (a) 시뮬레이션 된 갭의 위치에 따른 자기장의 분포 (b) 시뮬레이션 된 갭의 위치에 따른 전기장의 분포  
Fig. 4. (a) The simulated distributions of H-field with the different gap locations. (b) The simulated distributions of E-field with the different gap locations.

호의 주파수와 공진주파수가 멀어지도록 설계할 필요가 있다.

### III. EMI 측면에서의 스티칭 커패시터 효과

분할된 전원/접지 구조에서 전원/접지 평판 사이에 부착되는 스티칭 커패시터(stitching capacitor)는 귀선 전류의 통로가 되기 때문에 방사성 방출을 줄여준다. 그러나 스티칭 커패시터의 사용으로 분할된 전원/접지 구조에서 예기치 않은 공진주파수와 반사파의 변화가 발생한다. 특히, 스티칭 커패시터의 위치를 잘못 결정할 경우 전류 Loop 면적의 증가로 인해 많은 방사성 방출이 발생한다. 그러므로 스티칭 커패시터를 사용하여 방사성 방출을 줄이기 위해서는 스티칭 커패시터의 값과 위치가 충분히 고려되어야 한다. 따라서 이 장에서는 스티칭 커패시터의 값과 위치에 따른 방사성 방출을 비교 분석하였다.

그림 5는 서로 다른 스티칭 커패시터의 값과 위치를 갖는 시험 기판들을 보여 준다. 이 시험 기판들은 10mm의 갭 폭과 70mm의 갭 위치를 가지고, 각각 커패시터가 없거나(Case 1) 분할된 접지 갭의 가운데에 위치한 100pF 커패시터(Case 2), 분할된 접지 갭의 가

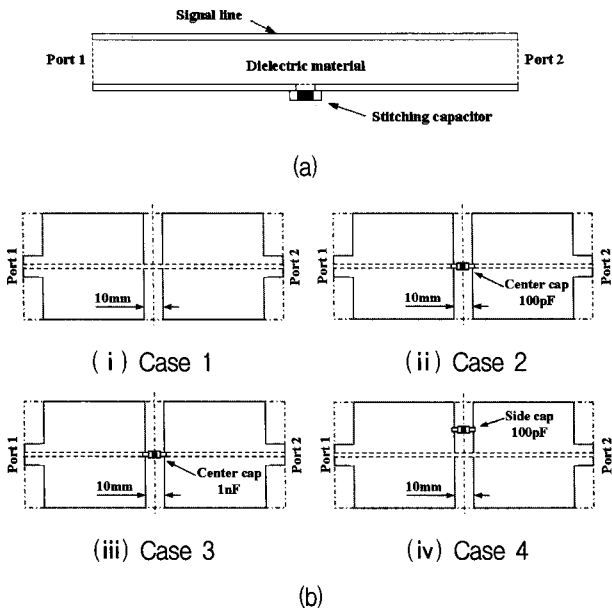


그림 5. (a) 스티칭 커패시터 (측면도) (b) 스티칭 커패시터의 값과 위치를 변화시킨 시험 기판  
 Fig. 5. (a) Stitching capacitor (side view). (b) Test boards with the different values and locations of stitching capacitors.

운대에 위치한 1nF 커패시터(Case 3), 분할된 접지 겹의 한 쪽 측면에 위치한 100pF 커패시터(Case 4)를 갖는다.

먼저, 스티칭 커패시터의 값과 위치에 따른 반사계수의 변화를 확인하였다. 그림 6은 Case 1-4에 대한 반사계수의 크기와 위상을 보여준다. 여기서 볼 수 있듯이, 스티칭 커패시터의 값과 위치에 따라서 반사계수의 크기와 위상이 다르게 나타남을 알 수 있다. 이 결과에서 스티칭 커패시터를 사용한 경우(Case 2-4) 반사계수의 크기와 공진주파수가 스티칭 커패시터를 사용하지 않은 경우(Case 1)보다 전체적으로 낮아진다. 단, 약 500MHz-800MHz의 주파수 범위에서 Case 4의 경우 반사계수의 크기가 Case 1보다 높게 나타난다.

다음으로 스티칭 커패시터의 값과 위치에 따른 방사성 방출의 변화를 확인하였다. 그림 7은 이 시험 기판들에 대해서 시뮬레이션 된 자기장의 분포를 보여주고, 그림 8은 Near Field EMI Scanning을 이용해 Magnetic near field를 측정된 결과를 보여준다. Magnetic near field 측정은 EMI 발생 지점을 찾기 위한 매우 유용한 측정 방법이다<sup>[7]</sup>. 측정을 위해 Port 1에 시험 기판의 공진주파수인 450MHz의 주파수를 갖는 입력 신호를 인가하였고, 사각 루프 안테나 (200um × 300um)를 사용하였으며, 시험 기판에서 발생하는 자기

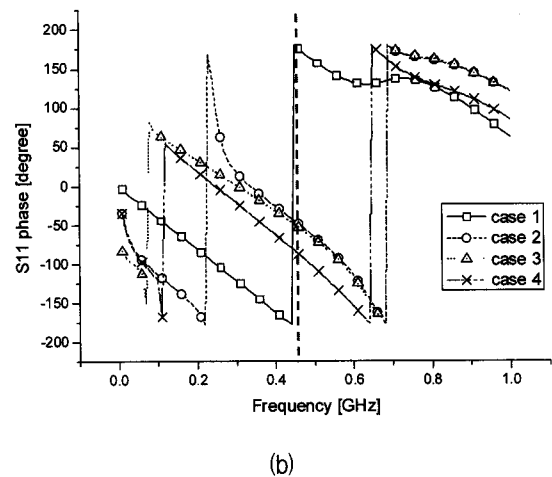
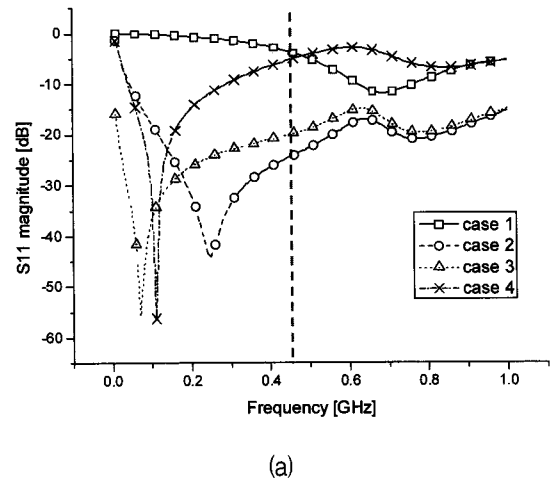


그림 6. (a) 반사계수의 크기 (b) 반사계수의 위상  
 Fig. 6. (a) Magnitude of reflection coefficient. (b) Phase of reflection coefficient.

장의 분포를 1mm 간격으로 측정하였다. 측정된 결과 값들은 안테나의 방향을 가로 방향으로 세로 방향으로 측정하여 RMS(Root Mean Square) 값을 계산한 후 모든 Case의 값 중 최대치로 정규화한 값이다. 그러므로 이 결과 값들은 0-1까지의 범위를 가지며 1에 가까울수록 자기장의 크기가 크다는 것을 의미한다. 이러한 정규화된 값은 측정된 값의 상대적인 경향을 쉽게 확인할 수 있는 이점이 있다.

그림 7과 그림 8에서 각 Case마다 자기장이 다르게 형성되었으며, Case 1이 가장 많은 자기장을 형성하고 Case 2와 3이 가장 적은 자기장을 형성함을 볼 수 있다. 그러므로 이 결과로부터 스티칭 커패시터의 크기와 위치에 따라 방사성 방출이 다르게 형성됨을 알 수 있다. 그림 7과 그림 8을 비교해보면, 시뮬레이션 된 결과와 측정된 결과가 정확히는 일치하지 않는다. 그 이유

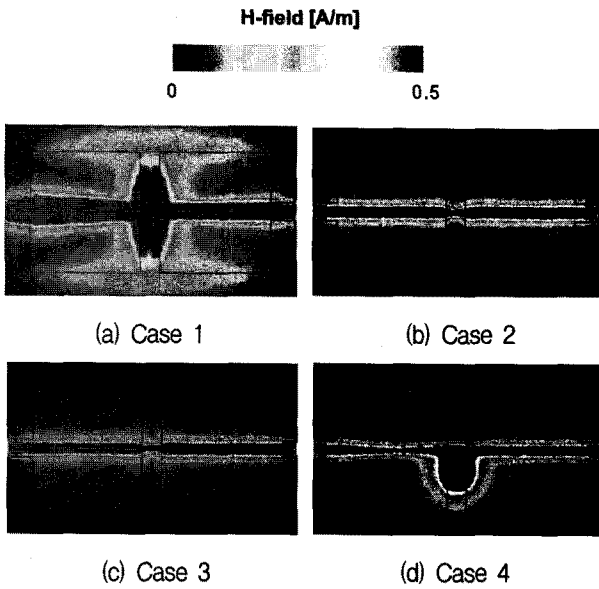


그림 7. 스티칭 커패시터의 값과 위치에 따라 시뮬레이션 된 자기장 분포

Fig. 7. The simulated distributions of H-field by the values and locations of stitching capacitors.

는 첫 번째로, 시뮬레이션 상에서는 분할된 전원/접지 평판이 동일한 기준 전압을 형성하는 반면, 실제 측정 환경에서는 동일한 기준 전압 형성에 한계가 있다. 두 번째로, 루프 안테나로 자기장을 측정된 결과는 루프 안테나의 특성에 따라 전기장의 성분을 포함하기 때문에 오차가 발생한다. 그러나 방사성 방출의 양을 유추함에 있어서 시뮬레이션 된 결과와 측정된 결과가 비슷한 경향성을 보이고, 특히 Case 4에서 볼 수 있듯이 측정 위치에 대해서도 비슷한 결과를 보인다. 그러므로 시뮬레이션 된 결과는 방사성 방출을 예측함에 있어서 적용 가능성을 알 수 있다.

스티칭 커패시터의 값과 위치에 따른 자기장 분포의 변화를 비교해보면, 그림 8에서 Case 2-4의 경우 자기장의 상대지표가 Case 1보다 약 0.2-0.4 정도 감소하였음을 볼 수 있다. 이것은 스티칭 커패시터에 의해 귀선 전류 통로가 형성되어 귀선 전류 불연속성이 감소하였기 때문이다. 반면, Case 2-4는 서로 다른 자기장을 형성함을 볼 수 있다. 특히 Case 4의 경우 Case 2와 같은 스티칭 커패시터의 값을 사용하였음에도 불구하고 자기장의 상대지표가 Case 2보다 약 0.2정도 높게 나타났다. 이것은 Case 4에서 스티칭 커패시터가 위치한 지점(X=45mm, Y=60mm)에서 자기장이 높게 나타나는 것으로 보아 귀선 전류가 스티칭 커패시터를 통해 흐르면서 귀선 전류 불연속성이 Case 2보다 높기 때문이다.

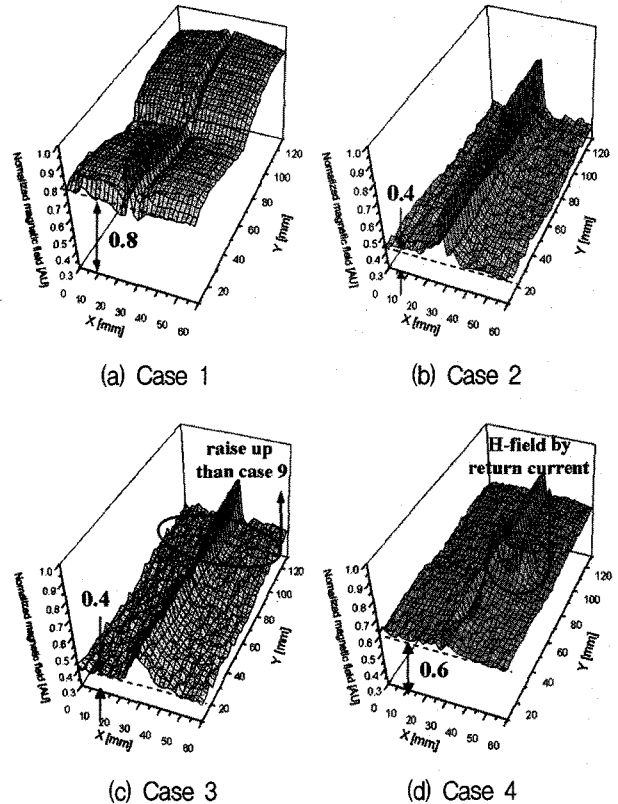


그림 8. 스티칭 커패시터의 값과 위치에 따라 측정된 자기장 분포

Fig. 8. The measured distributions of H-field by the values and locations of stitching capacitors.

이러한 자기장의 변화와 반사계수의 변화는 스티칭 커패시터의 값과 위치에 의해 발생하므로 자기장과 반사계수의 관계를 분석하였다. 그림 6에서 주파수가 450MHz인 입력 신호에서의 반사계수 크기와 위상은 표 2와 같다. 먼저, 표 2에서 볼 수 있듯이, Case 2와 3에서 반사계수의 크기가 Case 1보다 매우 낮게 나타나며, 반사계수의 위상 또한 공진주파수의 위상인  $\pm 180^\circ$ 보다  $0^\circ$ 에 더 가깝게 나타난다. 이 변화는 그림 8에서 볼 수 있듯이, Case 2와 3에서 자기장이 매우 감소한 결과로 나타난다. 반면, capacitor의 값이 1nF인 Case 3의 경우 capacitor의 값이 100pF인 Case 2의 경우와 비교하여 반사계수의 크기가 크고 위상이 비슷함을 볼 수 있는데, 이로 인해 Y=120mm 지점에서 자기장이 더 높게 나타난다. 그러므로 반사계수의 크기가 증가함에 따라 방사성 방출은 증가한다. 그러나 실제 반사계수 크기의 차이가 작으므로 방사성 방출의 차이는 미미하다. 다음, Case 4의 경우 Case 1과 비교하여 반사계수의 크기는 비슷한 반면, 위상은  $0^\circ$ 와 더욱 가까운 것을 볼 수 있는데, 이로 인해 자기장이 감소하였음을 알 수 있다.

표 2. 입력 신호의 주파수가 450MHz일 때의 Case 1-4에 대한 반사계수의 크기와 위상

Table 2. The magnitudes and phases of the reflection coefficients in Case 1-4 at 450MHz input signal frequency.

	Magnitude	Phase
Case 1	-3.50dB	179°
Case 2	-24.46dB	-45°
Case 3	-20.01dB	-49°
Case 4	-5.30dB	-83°

그러므로 반사계수의 위상이 0°에 가까울수록 방사성 방출은 감소한다.

스티칭 커패시터의 값과 위치에 따른 반사계수와 자기장의 변화를 비교 분석한 이 결과들은 분할된 전원/접지 평판 구조의 PDN을 갖는 PCB나 패키지를 설계할 때 반사계수의 크기를 낮추고 위상을 0°에 가깝게 하는 스티칭 커패시터의 값과 위치를 결정함으로써 방사성 방출을 효과적으로 저감시킬 수 있음을 보여준다.

#### IV. 결 론

본 논문에서는 시스템 모듈에서 발생하는 EMI를 줄이기 위해 분할된 전원/접지 평판 구조에 의해 발생하는 방사성 방출을 분석하였으며, 분석을 위해 다양한 조건을 갖는 시험 기판에 대한 자기장과 전기장을 시뮬레이션하고 측정하여 비교하였다. 분할된 전원/접지 평판 구조에서 발생하는 방사성 방출은 분할된 접지 갭을 최적화함으로써 저감할 수 있다. 분할된 접지 갭의 최적화를 위해 분할된 전원/접지 평판 구조의 공진주파수가 입력 신호의 주파수와 일치하지 않고 입력 신호의 주파수 대역에서 반사계수의 위상을 가능한 0°에 근접하도록 갭의 폭과 위치를 결정해야 함을 보였다. 또한, 방사성 방출을 줄이기 위해 사용되는 스티칭 커패시터의 값과 위치는 입력 신호의 주파수 대역에서 반사계수의 크기를 낮추고 위상을 0°에 근접하도록 결정함으로써 방사성 방출을 효과적으로 줄일 수 있음을 보였다. 이 결과들은 PCB나 패키지를 설계할 때 EMI 저감을 위해 효율적인 방안을 제시할 것으로 기대된다.

#### 참 고 문 헌

- [1] Haw-Jyh Liaw; Merkelo, H.; , "Signal integrity issues at split ground and power planes," *Electronic Components and Technology Conference, 1996. Proceedings., 46th* , vol., no., pp.752-755, 28-31 May 1996.
- [2] Ko, Y.; Ito, K.; Kudo, J.; Sudo, T.; , "Electromagnetic radiation properties of a printed circuit board with a slot in the ground plane," *Electromagnetic Compatibility, 1999 International Symposium on* , vol., no., pp.576-579, 1999.
- [3] Jinguok Kim; Hyungsoo Kim; Youchul Jeong; Joungho Kim; , "Tapered slot shape on slotted reference plane of multi-layer PCB for reduction of crosstalk and radiated emission," *Electrical Performance of Electronic Packaging, 2002* , vol., no., pp. 275- 278, 2002.
- [4] Moran, T.E.; Virga, K.L.; Aguirre, G.; Prince, J.L.; , "Methods to reduce radiation from split ground plane structures [packaging]," *Electrical Performance of Electronic Packaging, 1999* , vol., no., pp.203-206, 1999.
- [5] Dah-Wei Duan; Rubin, B.J.; Magerlein, J.H.; , "Distributed effects of a gap in power/ground planes," *Electrical Performance of Electronic Packaging, 1999* , vol., no., pp.207-210, 1999.
- [6] Jinguok Kim; Heeseok Lee; Joungho Kim; , "Effects on signal integrity and radiated emission by split reference plane on high-speed multilayer printed circuit boards," *Advanced Packaging, IEEE Transactions on* , vol.28, no.4, pp. 724- 735, Nov. 2005.
- [7] Funato, H.; Suga, T., "Magnetic near-field probe for GHz band and spatial resolution improvement technique," *Electromagnetic Compatibility, 2006. EMC-Zurich 2006. 17th International Zurich Symposium on*, vol., no., pp.284-287, Feb. 27 2006-March 3 2006.

저 자 소 개



**이 장 훈**(정회원)  
 2009년 숭실대학교 정보통신전자공학부 학사 졸업.  
 2009년~현재 숭실대학교 전자공학과 석사 과정.

<주관심분야 : System-in-Package, EMC/SI/PI 분석, Package/Board 설계>



**이 필 수**(정회원)  
 1990년 인천대학교 물리학과 학사 졸업.  
 1992년 인천대학교 전자공학과 석사 졸업.  
 2008년~현재 숭실대학교 전자공학과 박사 과정.

1992년~1997년 KEC 연구소 근무.  
 1997년~현재 하이닉스반도체 연구소,  
 <주관심분야 : IC/Package/Board분석 & Modeling, EMC/SI/PI 분석>



**이 태 현**(정회원)  
 2008년 숭실대학교 정보통신전자공학부 학사 졸업.  
 2008년~현재 숭실대학교 전자공학과 석사 과정.

<주관심분야 : System-in-Package, EMC/SI/PI 분석, Package/Board 설계>



**김 창 균**(정회원)  
 1995년 경남대학교 전자계산학과 학사 졸업.  
 2009년 충주대학교 컴퓨터공학과 석사 졸업.  
 2009년~현재 숭실대학교 전자공학과 박사 과정.

1994년~2001년 (주)CSI E-CAD팀 과장.  
 2002년~2008년 경민대학교 정보통신과 겸임교수.  
 2002년~현재 루틴테크놀로지(주) 대표이사.  
 <주관심분야 : System-in-Package, EMC/SI/PI 분석, Package/Board 설계>



**송 인 채**(정회원)  
 1981년 서울대학교 전자공학과 학사 졸업.  
 1984년 U.C.L.A. Electrical Engineering 석사 졸업.  
 1991년 U.C.L.A. Electrical Engineering 박사 졸업.

1985년~1992년 Hughes Aircraft Company, Staff Engineer.  
 1992년~현재 숭실대학교 정보통신전자공학부 교수.  
 <주관심분야 : 반도체소자 Modeling, 집적회로설계>



**위 재 경**(정회원)-교신저자  
 1988년 연세대학교 물리학과 학사 졸업.  
 1990년 서울대학교 물리학과 석사 졸업.  
 1998년 서울대학교 전자공학과 박사 졸업.

1990년~2002년 하이닉스 메모리 연구소 근무.  
 2002년~2004년 한림대학교 정보통신공학부 조교수.  
 2004년~2007년 숭실대학교 정보통신전자공학부 조교수.  
 2008년~현재 숭실대학교 정보통신전자공학부 부교수.  
 <주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>