

논문 2010-47SD-6-5

스위칭 잡음 감소기법을 이용한 10비트 80MHz CMOS D/A 변환기 설계

(Design of The 10bit 80MHz CMOS D/A Converter with Switching
Noise Reduction Method)

황 정 진*, 선 종 국**, 박 리 민*, 윤 광 섭***

(Jung-Jin Hwang, Jong-Kug Seon, Li-Min Park, and Kwang-sub Yoon)

요 약

본 논문에서는 무선 통신 응용 시스템에 적합 하도록 10비트 80MHz 전류구동 방식의 D/A 변환기를 제안하였다. 제안한 회로는 0.18um CMOS n-well 1-poly 6-metal 공정을 이용하여 구현하였다. 10비트 중에서 LSB 4비트는 이진 디코더를 사용하였으며, ULSB 3비트와 MSB 3비트는 온도계 디코더를 사용한 혼합구조를 채택하였다. 구현된 D/A 변환기의 측정결과, 샘플링 주파수가 80MHz, 입력 주파수 1MHz에서 SFDR은 60.42 dBc, 유효비트수는 8.75 비트를 보여주었다. INL/DNL은 $\pm 0.38\text{LSB}/\pm 0.32\text{LSB}$ 로 측정되었으며, 글리치 에너지는 4.6 pV·s로 나타났다. 전력 소모는 1.8V 전원전압에서 최대 속도인 80MHz일 때 48mW로 측정되었다.

Abstract

This paper describes a 10 bit 80MHz CMOS D/A converter for wireless communication system. The proposed circuit in the paper is implemented with a 0.18um CMOS n-well 1-poly 6-metal process. The architecture of the circuit consists of the 4bit LSB with binary decoder, and both the 3bit ULSB and the 3bit MSB with the thermometer decoder. The measurement results demonstrates SFDR of 60.42dBc at sampling frequency 80MHz, input frequency 1MHz and ENOB of 8.75bit. INL and DNL have been measured to be $\pm 0.38\text{LSB}$ and $\pm 0.32\text{LSB}$ and glitch energy is measured to be 4.6pV·s. Total power dissipation is 48mW at 80MHz(maximum sampling frequency) with a single power supply of 1.8V.

Keywords : CMOS, Frequency detector circuit, Voltage level decrease circuit, DAC

I. 서 론

최근 급속한 발전을 이루고 있는 무선통신 및 영상 신호처리 그리고 의료기기분야 등 제반 산업 전반에 걸쳐 새로운 아날로그의 응용영역은 지속적으로 개척되고

있는 실정이며, 그와 더불어 디지털 신호처리 부분과 아날로그 신호처리 부분의 인터페이스 역할을 담당하는 D/A 변환기(Digital to Analog Converter)는 시스템 내에서 중요한 역할을 하고 있다. 그 중에서도 고속, 고해상도를 갖는 D/A 변환기는 광범위한 응용 분야를 갖는다. 현재 무선통신 시스템에 주로 사용되고 있는 D/A 변환기의 구조는 주로 전류구동 형이다. 전류 구동 형 D/A 변환기는 동적성능이 우수하여 고속·고해상도의 원활한 데이터 처리에 유리한 반면, 공정변수 및 전류원의 부정합, 그리고 비동기에 의한 글리치의 발생과 출력 단에서 발생하는 스위칭 잡음 등은 D/A 변환기의 동작성능을 저하시키는 주요 원인이 된다^[1~3]. 특히, 통

* 학생회원, *** 평생회원, 인하대학교 전자공학과
(Dep of Electronic Engineering, Inha University)

** 정회원-교신저자, LS 산전
(LS Industrial Systems)

※ “본 연구는 지식경제부 및 정보통신산업진흥원의 대학 IT연구센터 지원사업의 연구결과로 수행되었음” (NIPA-2010-C1090-1011-0007)

접수일자: 2009년12월29일, 수정완료일: 2010년5월10일

신시스템에 사용되는 D/A 변환기는 우수한 동적 특성을 가져야 하기 때문에 이러한 글리치 에너지와 스위칭 잡음 등은 가능한 최소화해야 된다^[4].

이러한 글리치 에너지를 최소화하기 위해서 몇 가지 기술들이 제안되어 왔지만, 회로가 복잡하고 소비전력 또한 크기 때문에 무선 통신 시스템에 사용되기 위해서는 보완이 필요하다. 따라서 글리치의 발생과 스위칭 잡음을 최소화하기 위해서 본 논문에서는 새로운 구조의 10비트 D/A 변환기를 제안하였다. 본 논문의 II장에서는 고속, 고해상도 전류구동 D/A 변환기의 전체 구조에 대하여 논한다. 그리고 III장에서는 D/A 변환기의 글리치 에너지와 스위칭 잡음을 감소시키고, 동적 성능을 향상시키는 방안에 대하여 언급하고, IV장에서는 제안하는 D/A 변환기의 레이아웃 및 측정결과에 대하여 논한다. 결론은 V장에서 맺었다.

II. 제안한 10비트 D/A 변환기의 구조

일반적인 전류 구동 방식의 D/A 변환기는 디지털 입력 신호의 처리 방식에 따라 크게 이진 가중치 구조(Binary-weighted Type)와 디코더를 이용한 온도계 코드 구조(Thermometer Code Type), 그리고 이 두가지 방식을 혼합한 혼합 구조(Segmented Type) 3가지로 분류 할 수 있다. 이진 가중치 구조는 N비트의 경우 각각 N개의 전류원과 스위치만으로 구성되므로 구조가 간단하고 입력 신호의 디코딩이 필요 없기 때문에 전체 전력 소모가 적다. 그러나 전류원의 크기가 서로 다르기 때문에 부정합이 크게 발생하게 되고 그로인해 글리치 에너지가 발생한다. 글리치 발생의 또 다른 원인은 차동 스위치에 입력되는 디지털 신호의 비동기화이다. 비록 동기화가 이루어졌다 하더라도 스위칭 도중에 차동 스위치의 트랜지스터(Transistor)가 동시에 꺼지게 되면 출력단의 공통 드레인(Common Drain)의 전위가 불안정하게 되고 이에 따라 전류원도 불안정하게 되어 글리치가 발생하게 된다. 반면, 온도계 코드 구조는 입력 신호를 온도계 코드로 변환하여 일정한 순서로 같은 크기의 전류원에 의해 데이터를 변환하는 방식이다. N비트의 입력은 온도계 코드 D/A 변환기에 의해 2^N-1 의 디지털 신호로 출력되며, 전류원의 크기가 모두 동일하므로 전류원의 정합특성이 이진 가중치구조에 비해 매우 우수하여 선형성이 좋고, 글리치 에너지가 거의 발생하지 않는다. 그러나 해상도가 높아질수록 디코더의

개수가 증가하므로 회로도도 복잡해지며, 칩 면적과 소비전력 또한 증가한다는 단점이 있다. 고속, 고해상도의 전류구동 방식의 D/A 변환기는 일반적으로 상위 비트는 온도계 디코더 구조, 하위 비트는 이진 가중치 구조를 혼합하는 혼합구조를 갖는다.^[5] 이러한 혼합방식도 여전히 전류원의 부정합과 스위칭 오차가 존재하기 때문에 이에 대한 보완이 필요하다. 따라서 본 논문에서 제안하는 10비트 80MHz D/A 변환기의 구조는 LSB 4비트, ULSB 3비트, MSB 3비트의 3단으로 구현 하였으며, LSB 4비트는 이진 디코더를 사용하여 이진 가중치 구조의 단점인 전류원의 부정합 문제를 해결하였으며, 또한 우수한 선형성과 적은 글리치 에너지를 얻기 위해 sub-MSB 3비트와 MSB 3비트는 온도계 디코더를 사용하였다. 제안하는 10비트 80MHz D/A 변환기의 전체 블록 다이어그램을 그림 1에 나타내었다.

그림 1에서 볼 수 있듯이 전체 D/A 변환기는 입력 버퍼, D플립플롭, 4비트 이진 디코더, 업/다운 래치, 디지털 전압의 레벨을 낮춰주는 전압레벨 감소회로, 그리고 전압 레벨감소회로를 입력 주파수에 따라 선택적으로 사용할 수 있게 제어하는 주파수 감지회로, 그리고 클록 버퍼, 바이어스 회로 및 전류원으로 구성되어 있다. 4비트 Sub-D/A 변환기의 디지털 입력 코드는 입력 버퍼와 이진 디코더를 거친 후 15비트의 이진 코드로 변환 되고, 3비트의 Sub-D/A 변환기들은 각각 입력 버퍼와 온도계 디코더를 거친 후 7비트의 온도계 코드로 변환된다. 이 신호들은 플립플롭 회로에 의해 동기가 이루어지며 글리치 에너지와 스위칭 잡음을 줄이기 위

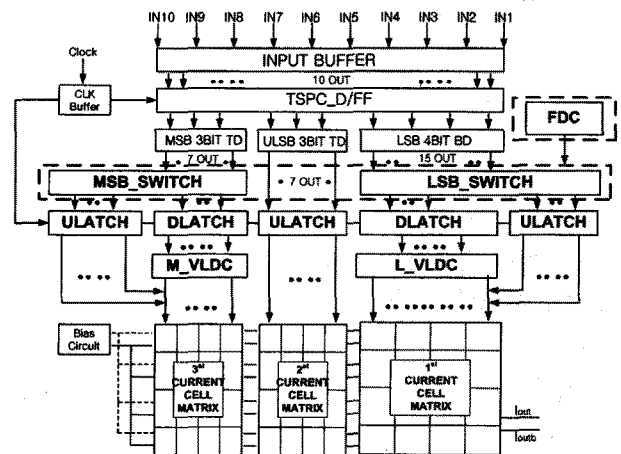


그림 1. 제안하는 10비트 D/A 변환기의 전체 블록 다이어그램

Fig. 1. Block diagram of the proposed 10Bit D/A converter.

해 업/다운 래치회로에 의해 신호의 교차점이 조절되며 그와 동시에 전압레벨 감소회로에 의해 디지털 전압의 레벨이 감소되어 차동 스위치를 구동하게 된다.

III. 스위칭 잡음 감소를 위한 회로 설계

무선 통신 시스템에 사용되는 D/A 변환기의 경우 우수한 동적 성능을 가져야 한다. 일반적으로 전류구동 D/A 변환기의 경우 동적 성능을 제한하는 몇 가지 요인들이 있다. 우선 차동 스위치를 제어하는 디지털 신호의 부적절한 타이밍에 의해 글리치가 발생하는 경우이며, 또한 차동 스위치가 켜지고 꺼지는 천이 과정에서 발생하는 피드스루 현상과 차동 스위치를 제어하는 디지털 입력 신호가 기생 커패시터 C_{gd} 를 통하여 D/A 변환기의 출력으로 커플링 됨으로써 스위칭 잡음이 발생하는 경우이다^[6].

제안하는 D/A 변환기의 차동 스위치에 인가되는 신호의 타이밍 문제는 차동 스위치에 인가되는 두 신호의 교차점을 조절하는 래치 회로를 사용함으로써 해결 하였으며, 스위치의 천이 과정에 의해 발생하는 피드스루 현상과 기생 커패시터에 의해 발생하는 스위칭 잡음은 차동 스위치의 게이트에 인가되는 디지털 전압의 스윙 폭을 낮춰 줌으로써 해결하였다. 신호의 교차점은 구동할 스위치가 NMOS 또는 PMOS에 따라서 그 위치가 달라지게 되는데, NMOS일 때는 신호의 교차점이 VDD쪽으로 이동시켜 스위칭 할 때 두개의 차동 스위치가 동시에 꺼지는 것을 방지하고, 스위치가 PMOS일 때는 신호의 교차점이 GND쪽으로 이동시켜 스위칭 할 때 차동 스위치 2개 중 어느 한 개는 항상 도통 상태로

유지함으로써 동시에 꺼지게 되는 것을 방지하게 된다. 이렇게 교차점이 조절된 차동 신호에 의해 전류원은 지속적인 접속을 유지하게 되어 글리치를 최소화시킬 수 있게 된다. 그리고 피드스루 현상에는 전하 피드스루와 클록 피드스루가 있다. 피드스루는 스위치가 켜지고 꺼지는 천이 과정에서 발생되는데, 전하 피드스루는 빠른 천이의 클록에서 주로 발생하며 스위치가 꺼질 때 채널 영역에 있던 전하가 드레인과 소스 접합 쪽으로 흘러가면서 발생한다. 그리고 클록 피드스루는 느린 천이의 클록에서 주로 발생되며 오브 랩 커패시턴스에 의해 생기는 전압의 변화이다^[7]. 식 (1),(2)는 각각 전하 피드스루와 클록 피드스루 현상에 의한 전압의 변화를 나타낸 것이다.

$$\Delta V = \frac{WLC_{ox}(V_{GS} - V_{TH})}{2C_H} \tag{1}$$

$$\Delta V = \frac{C_{ov}}{C_{ov} + C_L} V_{in} \tag{2}$$

그림 3은 낸드게이트와 소스 증폭기를 이용하여 차동 스위치에 인가되는 디지털 신호의 전압 스윙을 낮춰주는 전압레벨 감소회로를 나타낸 것으로 피드스루 현상과 기생 커패시터에 의한 커플링 현상을 최소화하기 위해 설계하였다.

제안한 D/A 변환기의 경우 전압레벨 감소회로의 출력 전압은 1.4V 로 설계하였다. 전압레벨 감소회로의

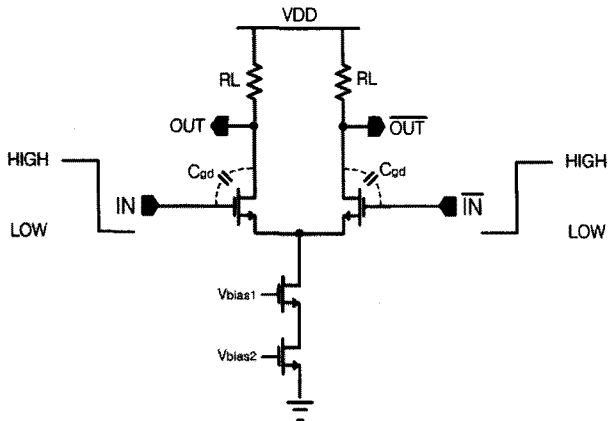


그림 2. 일반적인 NMOS 단위 전류셀의 구조
Fig. 2. The conventional NMOS unit current cell.

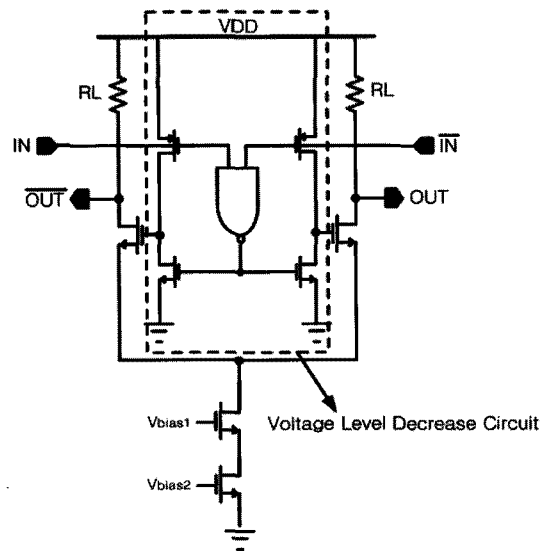


그림 3. 전압레벨 감소회로
Fig. 3. The Voltage Level Decrease Circuit.

입력으로 차동 신호가 인가될 경우 입력을 받는 트랜지스터가 PMOS이기 때문에 1이 인가된 쪽의 PMOS는 꺼지게 되고, 반대로 0이 인가된 쪽의 PMOS는 켜지게 된다. 마찬가지로 차동 신호는 낸드게이트에도 입력으로도 인가되며 입력이 둘 다 동시에 1 인 경우를 제외하고는 낸드게이트의 출력은 항상 1이 되어 NMOS를 켜게 된다. 여기서 낸드게이트의 역할은 신호가 동시에 들어 올 때만 동작하기 때문에 신호의 타이밍 오차를 해결한다. 따라서 전압레벨 감소회로의 출력은 PMOS가 꺼진 부분은 0이 출력 되며, 반대로 PMOS가 켜진 부분은 NMOS와 선형영역에서 동작하게 되고 이때의 저항 값은 식(3), (4)와 같다. 이 때 전압레벨 감소회로의 출력 전압은 전압 분배 법칙에 의하여 식 (5)와 같이 나타낼 수 있다^[8].

$$R_{ds,p} = \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{thp}|)} \quad (3)$$

$$R_{ds,n} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{thn})} \quad (4)$$

$$V_{out} = V_{DD} \times \frac{R_{ds,n}}{R_{ds,p} + R_{ds,n}} \quad (5)$$

전압레벨 감소회로의 출력 전압이 낮을수록 피드스루 현상을 최소화 할 수 있고 또한 스위칭 잡음을 줄임으로써 동적 성능의 저하를 막을 수 있다. 그러나 전압레벨 감소회로의 출력 전압을 너무 낮추게 되면 지연 시간이 커져 차동 스위치를 ON/OFF 시키는데 문제가 발생 할 수 있다. 그림 4는 업/다운 래치회로와 전압레벨 감소회로의 출력을 나타낸다.

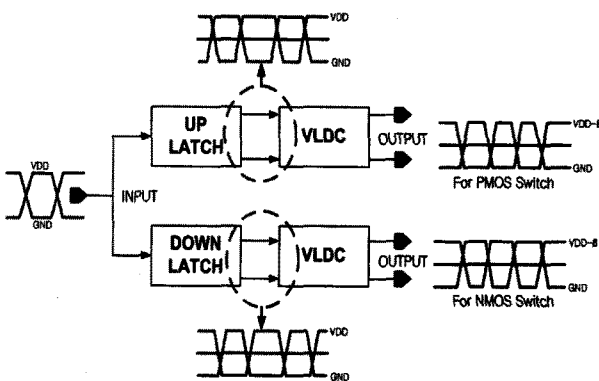


그림 4. 업/다운 래치회로와 전압레벨 감소회로의 출력
Fig. 4. The Output of up/down latch and voltage level decrease circuit.

제안한 D/A 변환기에 사용된 업/다운 래치는 신호의 교차점을 조절할 때 사용한다. 전압레벨 감소회로를 거쳐지면 조절된 교차점이 다시 반대로 되기 때문에 NMOS 스위치를 구동 시킬 때에는 전압레벨 감소회로의 앞 단에 다운 래치를 위치시킨다. 그림 5와 그림 6은 주파수 감지회로의 블록 다이어그램과 동작원리를 각각 나타낸 것이다. 주파수 감지회로는 전압레벨 감소회로를 좀 더 효과적으로 사용하기 위해 고안된 회로이다. 다시 말해 전압레벨 감소회로를 입력 주파수에 따라 선택적으로 사용하기 위한 제어회로 이다. 본 논문에서는 입력 주파수가 고속일 때($F_{com} > F_{ref}$)는 LSB에 연결된 전압레벨 감소회로를 사용하고, 입력 주파수가 저속일 때($F_{com} < F_{ref}$)는 MSB에 연결된 전압레벨 감소회로를 사용하게끔 설계하였다. 그 이유는 입력 주파수가 고속일 때와 저속일 때에 따라 스위칭 잡음을 일으키는 주요 요인이 달라지기 때문이다.

입력 주파수가 고속일 때($F_{com} > F_{ref}$)는 기생 커패시터에 의한 커플링 현상으로 인해 스위칭 잡음이 크게 발생한다. 따라서 속도가 빠른 LSB에 연결된 전압레벨

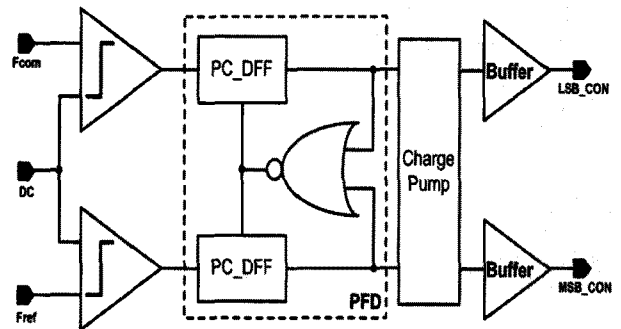


그림 5. 주파수 감지회로 블록 다이어그램
Fig. 5. Block diagram of the frequency detector circuit.

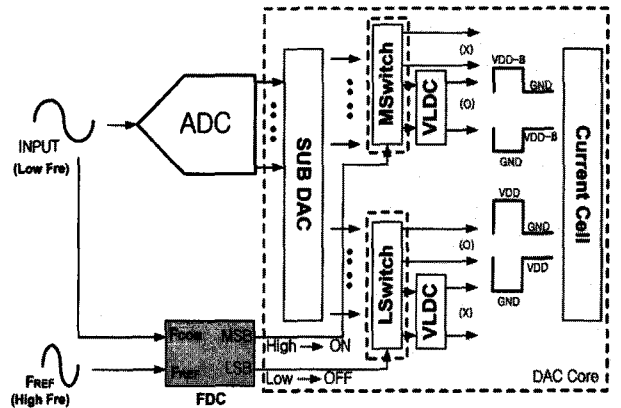


그림 6. 주파수 감지회로의 동작원리
Fig. 6. The behavior principal of frequency detector circuit.

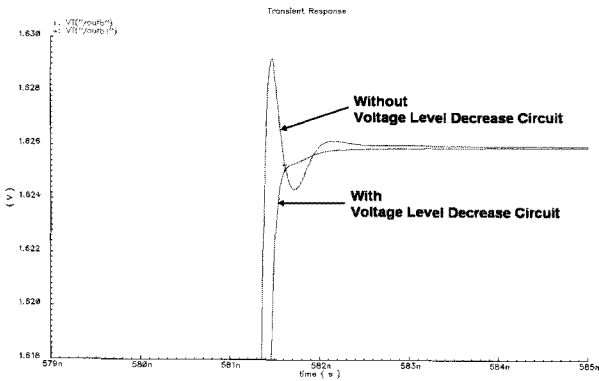


그림 7. 글리치 에너지의 비교
Fig. 7. The Comparison of glitch energy.

감소회로를 사용하여 전압레벨을 줄이게 되면 그 만큼 커플링되는 양을 줄일 수 있어 D/A 변환기 출력에서의 잡음이 덜 발생하게 된다. 반대로 입력 주파수가 저속일 때($F_{com} < F_{ref}$)는 MSB에 연결된 전압레벨 감소회로를 사용하게 되는데, 그 이유는 피드스루 현상에 의한 스위칭 잡음이 크게 발생하기 때문이다. 상대적으로 채널 전하에 의해 발생하는 오차 성분이 가장 크기 때문에 입력 주파수가 저속일 때는 주로 전하 피드스루 현상에 의해 스위칭 잡음이 발생한다. 따라서 MSB에 연결된 전압레벨 감소회로를 사용하여 전압레벨을 줄이게 되면 그 만큼의 채널 전하가 줄어들기 때문에 D/A 변환기의 출력 단에서 발생하는 스위칭 잡음을 감소시킬 수 있다.

그림 7은 전압레벨 감소회로가 있을 때와 없을 때 글리치 에너지에 대한 모의실험 결과이다. 전압레벨 감소회로가 없을 때의 글리치 에너지는 $1pV \cdot sec$ 이고 전압레벨 감소회로가 있을 때는 $0.02pV \cdot sec$ 로 글리치 특성이 크게 향상된 것을 확인 할 수 있었다.

IV. 측정결과 및 고찰

제안된 10비트 80MHz CMOS 전류구동 D/A 변환기는 CMOS 0.18um 1-poly 6-metal 공정을 이용하여 설계하였으며, 그림 8과 같이 레이아웃 하였다. 아날로그 블록과 디지털 블록은 더블 가드링을 만들어 분리하여 디지털 블록에서 아날로그 블록으로의 잡음 유입을 차단하였다. 제안된 D/A 변환기의 전체 유효 칩 면적은 파워 링을 포함하여 약 3.6mm x 2.2mm이다.

본 연구에서 구현된 10비트 D/A 변환기의 성능 측정을 위해서 그림 9 같은 성능 검증용 PCB(Print-circuit

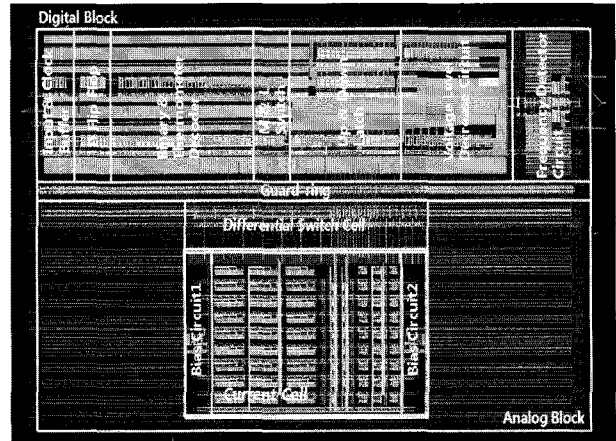


그림 8. 제안된 10비트 D/A 변환기 레이아웃
Fig. 8. Layout of proposed 10Bit D/A converter.

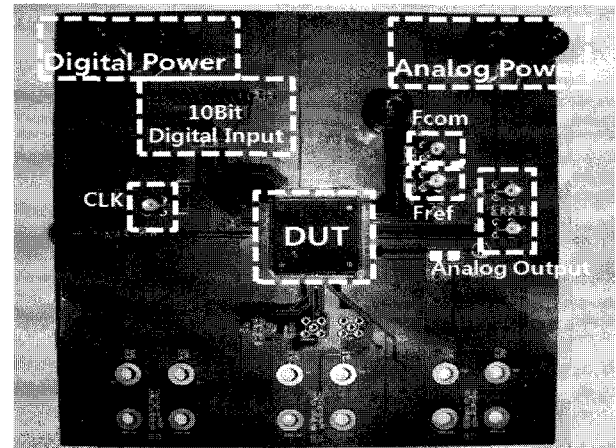


그림 9. 제작한 D/A 변환기의 성능 검증용 PCB 사진
Fig. 9. Performance verification PCB photo for D/A converter.

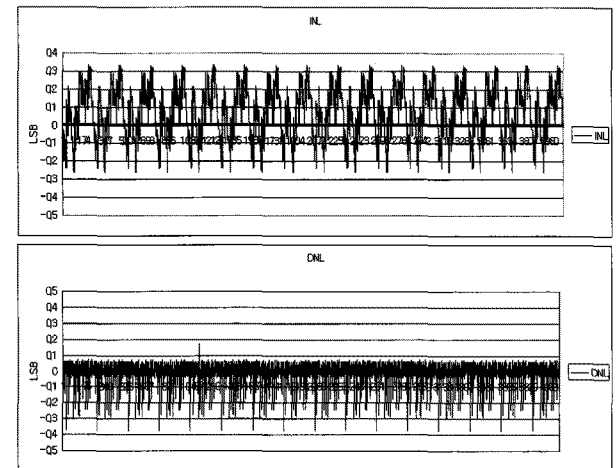


그림 10. 제작한 10비트 D/A 변환기의 INL 및 DNL 측정 결과
Fig. 10. INL and DNL measurement result of 10bit D/A converter.

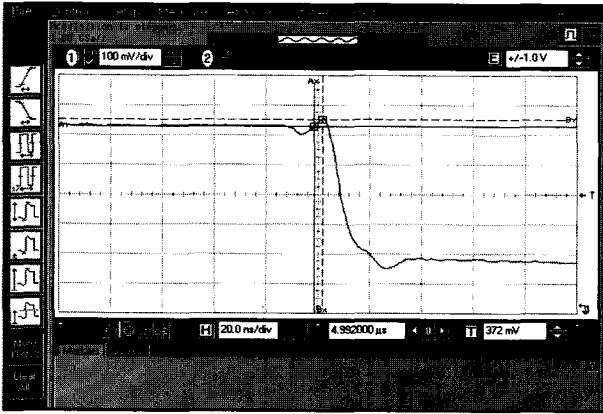


그림 11. 글리치 에너지 측정결과
Fig. 11. Measurement of the glitch energy.

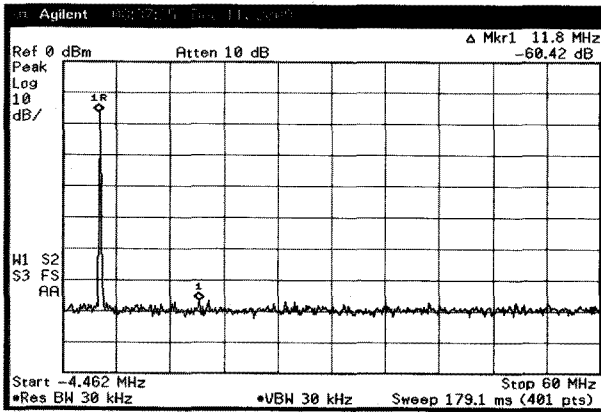


그림 12. 제작한 10비트 D/A 변환기 입력주파수 1MHz에서의 SFDR 측정 결과
Fig. 12. SFDR measurement result of 10bit D/A converter at input frequency 1MHz.

board)를 제작하였다. 4층 기판을 사용하여 디지털 전원과 아날로그 전원을 분리하였으며, 10비트 디지털 입력의 스위칭 잡음 및 상승시간을 최소화하기 위해 댐핑 저항(Damping Resistor)을 사용하였다.

그림 10은 제안된 10비트 D/A 변환기의 정적 특성인 INL 및 DNL특성을 측정한 것이다. 측정결과 INL 및 DNL은 각각 $\pm 0.38\text{LSB}$ / $\pm 0.32\text{LSB}$ 로 나타났다.

그림 11 제안된 D/A 변환기의 글리치 에너지 측정 결과를 나타낸 것이다. 측정결과 $4.6\text{pV}\cdot\text{sec}$ 로 측정되었다.

제작된 D/A 변환기의 동적 성능을 측정하기 위하여 애질런트 테크놀로지스 사의 로직 분석기(logic analyzer) 16903A에서 제공하는 Pattern Generator (16720A)를 사용하였다. 먼저 10비트의 정현파에 해당하는 디지털 신호를 만들어서 제작한 10비트 D/A 변환기의 입력에 인가하여 디지털 오실로스코프를 통해 복원된 정현파 신호를 측정하였다. 그리고 다음으로 스펙트

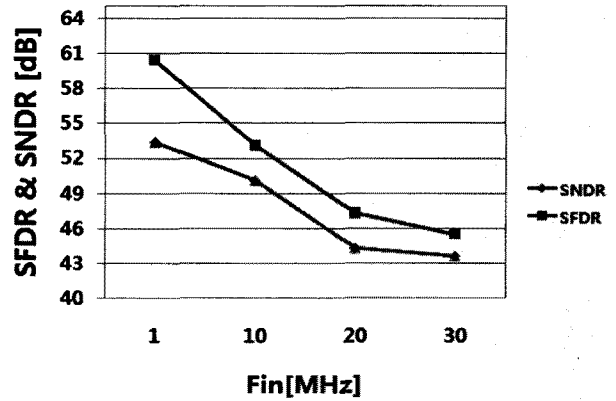


그림 13. 샘플링 주파수가 80MHz일때 입력주파수에 따른 SFDR과 SNDR

Fig. 13. SFDR and SNDR as a function of input frequency at sampling frequency of 80MHz.

표 1. 10비트 D/A변환기의 성능요약
Table 1. Performance summary of 10bit DAC.

Resolution	10 bit
Conversion rate	80 MHz
Glitch energy	4.6 pVsec
INL / DNL	$\pm 0.38\text{LSB}$ / $\pm 0.32\text{LSB}$
Power dissipation	48 mW
SFDR(1MHz@80MHz)	60.42 dB
SNDR(1MHz@80MHz)	53.4 dB
Power supply	1.8 V
Technology	CMOS n-well 0.18 μm
Effective chip area	3.6mm x 2.2mm

럼 분석기를 통해 복원된 정현파의 SFDR 및 SNDR를 측정하였다. 측정결과 샘플링 주파수가 80MHz 이고, 입력 주파수가 1MHz 일 때, SFDR은 60.42dB로 측정되었으며, SNDR은 53.4dB로 측정되었다. 그림 12은 스펙트럼 분석기를 통해 측정한 SFDR 특성을 나타낸다.

제작한 D/A 변환기의 입력주파수 변화에 따른 동적 성능을 측정하기 위하여 샘플링 주파수는 80MHz로 고정 시키고, 입력 주파수를 1MHz에서 30MHz까지 가변 시키면서 SFDR과 SNDR을 측정하였다. 측정 결과 샘플링 주파수가 80MHz이고 입력 주파수가 1MHz 일 때 SFDR은 60.42dB로 측정 되었고 SNDR은 53.4dB로 측정 되었으며, 입력 주파수가 30MHz 일 때는 SFDR은 45.5dB이며 SNDR은 43.6dB가 나왔다. 그림 13는 제안하는 D/A 변환기의 샘플링 주파수가 80MHz 일 때 입력 주파수에 따른 SFDR과 SNDR의 측정 결과를 보여

표 2. 국제학회에 발표된 논문과의 비교
Table 2. The comparison of announced national society.

참고문헌	본 논문	[1]	[9]	[10]
해상도 [Bit]	10	10	10	10
변환속도 [MHz]	80	250	75	500
전력소모 [mW]	48	22	170	125
INL/DNL [LSB]	$\pm 0.38/\pm 0.32$	$\pm 0.1/\pm 0.1$	$\pm 0.6/\pm 0.24$	$\pm 0.2/\pm 0.1$
SFDR [dB]	60.42 (1MHz)	62.3 (122.5MHz)	58.12 (1MHz)	51 (240MHz)
전원 [V]	1.8	1.8	5	3.3
Technology	0.18um CMOS	0.18um CMOS	0.8um CMOS	0.35um CMOS

준다. 또한 표 1은 제작한 D/A 변환기의 성능을 요약 정리한 것이며, 표 2에서는 제안된 논문과 국제 학술 대회에 발표된 논문들과의 성능을 비교, 요약하여 나타 내었다.

IV. 결 론

본 논문은 무선 통신 응용 시스템에 적합하도록 스위칭 잡음을 줄이고 동적 성능을 향상시키기 위해 주파수 감지회로를 이용한 10비트 80MHz D/A 변환기를 CMOS 0.18um n-well 1-Poly/6-Metal 공정을 이용하여 설계하였다. 기존의 혼합구조에서 이진 가중치 구조 대신에 이진 디코더 구조를 사용하여 전류원의 부정합 오차 최소화, 선형성과 동적 특성을 향상 시켰다. 또한, 차동 스위치를 구동하는 디지털 신호의 전압레벨을 감소시키는 전압레벨 감소회로를 설계하여 차동 스위치에서 발생하는 피드스루 현상과 기생 커패시터에 의해 발생하는 커플링 현상을 감소시켰다. 그리고 주파수 감지 회로는 설계한 전압레벨 감소회로를 입력 주파수에 따라 더 효율적으로 사용하기 위해 고안된 제어회로 이다. 이렇게 전압레벨 감소회로를 선택적으로 사용하는 이유는 입력 주파수가 고속일 때와 저속일 때에 따라 LSB와 MSB에서 스위칭 잡음을 일으키는 주요 요인이 달라지기 때문이다. 제안한 D/A 변환기를 측정 한 결과, 1.8V의 단일 전원 전압에서 48mW의 전력 소모를 나타

내었으며, 측정된 선형오차인 INL/DNL은 각각 $\pm 0.38\text{LSB} / \pm 0.32\text{LSB}$ 이며, 글리치 에너지는 $4.6\text{pV}\cdot\text{s}$ 로 측정되었다. 샘플링 주파수가 80MHz 이고, 입력 주파수가 1MHz 일 때, SFDR은 60.42dBc로 측정되었고, 유효비트수는 8.67비트로 측정되었다. 본 논문에서 구현된 무선 통신 응용 시스템용 10비트 80MHz CMOS D/A 변환기는 저 전력 특성 및 향상된 선형성과 글리치 에너지 특성 그리고 우수한 동적 성능의 장점을 가지므로 무선 통신 응용 시스템뿐만 아니라 HDTV (High Definition Television), DDS(Direct Digital Synthesis), AWG(Arbitrary Waveform Generators) 그리고 의료 및 측정 장비 등에도 적용될 수 있을 것으로 기대된다.

감사의 글

반도체설계교육센터(IDECE)의 CAD Tool 지원에 감사드립니다.

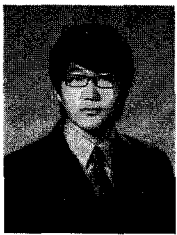
참 고 문 헌

- [1] Jurgen Deveugele, Michiel Steyaert, "A 10b 250MS/s binary-weighted current-steering DAC," IEEE International solid-state circuit conference session20, pp. 362-363, 2004.
- [2] B. Razavi, Principle of Data Conversion System Design, IEEE Press, 1995.
- [3] M. Albiol, J. L. Gonzalez and E. Alarcon, "Improved current -source sizing for high-speed high-accuracy current steering D/A converters," ISCAS 2003, pp. 837-840, May 2003.
- [4] Ki-Hong Ryu, Sung Young Park and Kwang Sub Yoon, "A 3.3V 12-Bit High-Speed Current Cell Matrix CMOS DAC," J. Korean Phys. Soc, vol.39, No.1, pp. 127-131, July, 2001.
- [5] J. Bastos, M. Steyaert, A. M. Marques and W. Sansen, "A 12bit Intrinsic Accuracy High Speed CMOS DAC," IEEE J. Solid-State Circuits, vol. 33, No. 12, pp. 1959-1969, Dec. 1998.
- [6] B. Razavi Principle of Data Conversion System Design, IEEE Press, 1995.
- [7] David A. Johns Ken Martin, "Analog Integrated Circuit Design," John Wiley & Sons, Inc., pp. 309-317, 1958.
- [8] 남태규, 서성욱, 신선화, 주찬양, 김수재, 이상민, 윤광섭, "능동부하 스위치 구동 회로를 이용한 12

비트 80MHz CMOS D/A 변환기 설계," 전자공학
회 논문지, 제44권, 38-44쪽, 2007년 8월

- [9] T. Wu, C. Jih, J. Chen, and C. Wu, "A low glitch 10-bit 75-MHz CMOS Video D/A converter," IEEE J. Solid-State Circuits, pp. 68-72 Jan. 1995.
- [10] C. H. Lin and K. Bult, "A 10bit 500MSample/s CMOS DAC in 0.6 mm²," IEEE J. Solid-State Circuits, vol. 33, pp.1948-1958, Dec. 1998.

저 자 소 개



황 정 진(학생회원)
2008년 경상대학교 전자공학과
학사 졸업
2010년 인하대학교 전자공학과
석사 졸업
2010년~현재 실리콘웍스 연구원

<주관심분야 : 아날로그/디지털 VLSI 설계, D/A
변환기 설계 >



박 리 민(학생회원)
2007년 중국 장안대학교
전자공학과 학사 졸업
2009년~현재 인하대학교
전자공학과 석사과정
<주관심분야 : 아날로그 회로설
계, DC-DC converter 설계>

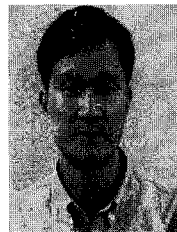


윤 광 섭(평생회원)
1982년 인하대학교 전자공학과
학사 졸업
1983년 Georgia Institute Inc,
Technology 전자공학과
석사 졸업
1989년 Georgia Institute Inc.
Technology 전자공학과
박사 졸업

1984년 3월~1989년 2월 Georgia Institute of
Technology Research Assistant

1989년 3월~1992년 2월 Silicon Systems Inc,
Tustin Calif. U.S.A Senior Design
Engineer

1992년 3월~현재 인하대학교 전자공학과 교수
<주관심분야 : 저전력 혼성신호처리 집적회로 설
계(Amp, ADC, DAC, PLL, Filter, PMIC 등)>



선 종 국(정회원)-교신저자
1993년 인하대학교 전자공학과
학사 졸업
1995년 인하대학교 전자공학과
석사 졸업

2000년 ENST (Ecole Nationale Superieure des
Telecommunications) France, 전자통신
공학과 박사 졸업

2000년~2003년 Nortel Networks, RF/Analog
IC Design Engineer

2004년~현재 LS산전 중앙 연구소 책임 연구원
<주관심분야 : PLL 설계, A/D 및 D/A 변환기 설
계, RF 설계 >