

논문 2010-47E-2-3

고효율 전류모드 승압형 DC-DC 컨버터용 집적회로의 설계

(A Design of Integrated Circuit for High Efficiency current mode boost DC-DC converter)

이 준 성*

(Jun-sung Lee)

요 약

본 논문에서는 PWM을 활용한 전류모드 고효율 PWM DC-DC 전원변환 집적회로(Integrated Circuit)를 설계하였다. IC에 인가할 수 있는 최대 전압은 40[V]이며 입력 전압이 DC 2.8[V]~330[V]일 때 출력 전압을 이 보다 높은 전압으로 바꿀 수 있는 한편 외부 저항비나 트랜스의 권선비를 조정하여 원하는 DC 전압을 만들어 낼 수 있다. 출력전압의 3[%] 오차를 유지하면서 3[A] 이상의 전류를 부하에 공급할 수 있도록 구현하였다. 제작공정은 0.6[um], 2P_2M CMOS 공정을 사용하였다. 전원전압이 3.6[V]일 때 대기상태에서 소비전력은 1[mW]이하이고 최대 전력변환 효율은 약 86[%]이다. 칩 사이즈는 2100*2000[um²]이며, 칩을 소형패키지에 내장하여 조립하였기 때문에 휴대형기구나 소형 전자기기에 적용이 편리하게 되어 있다.

Abstract

This paper describes a current mode PWM DC-DC converter IC for battery charger and supply power converter for portable electronic devices. The maximum supply voltage of IC is 40[V] and 2.8[V]~330[V] DC input power is converted to higher or programmed DC voltage according to external resistor ratio or wire winding ratio of transformer. The maximum supply output current is 3[A] over and voltage error of output node is within 3[%]. The whole circuit needed current mode PWM DC-DC converter circuit is designed. The package dimensions and number of external parts are minimized in order to get a smaller hardware size. The power consumption is smaller than 1[mW] at stand by period with supply voltage of 3.6[V] and maximum energy conversion efficiency is about 86[%]. This device has been designed in a 0.6[um] double poly, double metal 40[V] CMOS process and whole chip size is 2100*2000 [um²].

Keywords : SMPS, Current mode PWM, DC-DC converter, Switching regulator.

I. 서 론

SMPS(Switching Mode Power Supply)는 배터리의 충전이나 휴대형 전자기기의 전원으로 사용되는 배터리를 승압 또는 강압하여 기기의 전원 장치 등으로 사용할 수 있도록 해 준다. 배터리 충전기로서의 응용을 위해서는 우선 AC 220[V] 상용전원을 직접 브릿지 정류기에서 DC전압으로 정류한 후 SMPS를 사용하여 트랜스포머의 1차측을 스위칭시킨다. 트랜스포머의 권선비

를 조정하여 2차측으로 유도시키고 이를 재차 정류하여 원하는 출력 전압을 얻은 후 배터리 충전기의 전압원으로 사용한다. 둘째로 승압 또는 강압용 SMPS로 사용하는 경우이다. 휴대용 전자기기가 소형화, 경량화되면서 소형, 단일전압의 고용량 배터리를 전원으로 사용하게 되는 경우가 많아졌다. 단일배터리로 휴대 전자시스템에서 필요한 다양한 전원전압을 공급하기 위해서는 필요한 전압으로 승압 또는 강압할 필요가 있다. 두 경우 모두 에너지 변환효율이 중요한 이슈로 부각되고 있다. SMPS는 리니어 레귤레이터에 비하여 효율이 높아 소형 경량화에 적합한 전원장치이다^[1~2, 10]. 승압형 SMPS는 먼저 코일에 전류를 충전한 뒤 코일에 충전된 전류를 다이오드를 통하여 콘덴서에 흘려보냄으로써 콘덴서

* 정희원, 인덕대학 컴퓨터전자과
(Department of Computer Engineering and
Electronics of Induk University)
접수일자: 2010년4월15일, 수정완료일: 2010년6월15일

에 전류가 충전되고 전압이 상승하도록 하는 구조이다. SMPS의 코일에 전류를 충전하는 시간과 코일에 충전된 전류를 외부 콘덴서로 넘기는 시간은 효율에 큰 영향을 미치므로 다양한 방법을 동원하여 그 시간을 찾아 설정해 줘야 한다. 코일에 전류를 충전하는 시간을 줄이기 위하여 주파수를 빠르게 하면 코일의 용량이 적어져서 소형화를 이루는데 유리하지만 코일의 전류를 단속하는 스위칭소자의 속도가 빨라야 한다. 또한 스위칭 주파수가 빨라지면 스위칭손실, 인덕터손실이 커지게 된다^[2-3]. 이러한 이유로 스위칭 주파수는 코일, 콘덴서 등 외부 부품의 전기적 특성에 따라 적절한 값이 되도록 조절해 줄 필요가 있다. 한편, 스위칭소자의 온-저항 때문에 에너지의 소모가 발생하여 에너지효율이 나쁘게 되므로 스위칭소자의 구조를 최적화하는 것이 매우 중요하다^[1, 8]. 본 논문에서 설계한 IC는 대기상태에서 소비전력이 약 1[mW] 정도로 적다. 에너지 변환효율도 약 86[%] 정도로 우수한 특성을 나타내게 하였다. 칩 사이즈와 핀 수가 적어서 패키지의 외형을 작게 할 수 있고, 응용회로에 필요한 부품의 숫자가 적기 때문에 기기의 소형화를 달성하는 데에도 아주 유리하다.

II. 본 론

설계된 전류모드 승압형 DC-DC 변환기의 전체 블록도를 그림 1에 나타내었다. 본 IC는 기본적으로 Current mode SMPS를 제어하기 위한 기본적인 기능을 모두 갖고 있다. 본 설계에 적용한 전류모드 PWM (Pulse Width Modulation) 제어기는 출력 전류를 감지하여 전압레벨로 변환한 값을 피드백시키고 설정한 기준 전압레벨 값과 비교하여 스위칭 펄스의 폭을 변조하는 방식을 채택하였다. 이를 위해 오차증폭기(Error Amplifier)와 PWM 비교기를 설계하였다. 9[V]의 히스테리시스전압을 갖는 UVLO(Under Voltage Lockout) 회로를 포함하여 1.19[V] 밴드갭 기준바이어스회로, Rt와 Ct를 IC의 외부 핀에 연결할 수 있도록 하여 두 소자의 값에 따라 최대 1000[kHz]까지 발진이 가능한 발진기(Oscillator) 회로, 코일을 스위칭하는 MOSFET와 이를 구동하기 위한 게이트 구동회로 그리고 피드백 구조가 적용되어 있다. 또한 소프트 스타트(Soft Start) 회로가 설계되어 있고, IC를 보호하기 위하여 지연 Shutdown 회로, 과전류 보호(Over Current Protection) 기능이 있다. 지연 shutdown 기능은 시스템의 피드백

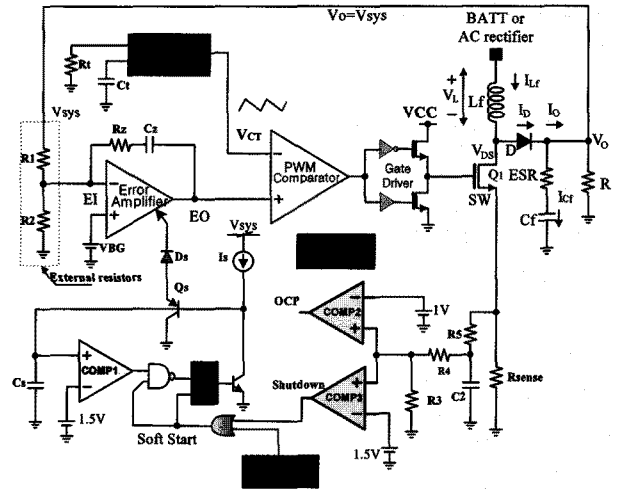


그림 1. 전류모드 승압형 DC-DC 변환기의 블록도
Fig. 1. The block diagram of current mode boost DC-DC converter.

루프의 오동작으로 인한 장애, 과부하 또는 과도현상 시 IC내부의 전류원으로 피드백 콘덴서를 서서히 충전하도록 하여 설정된 일정시간 이후에 시스템을 shutdown 시키는 보호 기능이다. Shutdown 회로는 auto-restart 구조로 되어 있어서 Vcc가 UVLO 설정전압 이하에 도달하면 시스템이 리셋되도록 한다. 과전류 보호회로는 스위칭 MOSFET이 항복현상 등으로 인하여 코일에 과도한 전류가 흐를 경우 제어 동작을 멈추게 하는 보호 기능이다.

2.1 Boost DC-DC converter

그림 2는 승압형 DC-DC 변환기의 동작원리를 설명하는 그림이다. 코일을 스위칭하는 트랜지스터 Q1은 외부 소자를 사용하도록 하였으며 Q1 게이트의 전압은 최대 40[V]까지 공급할 수 있다. Q1이 "ON"되면 코일 Lf에 전류가 충전된다. 이 전류는 $(V_I - V_{DS,min})/L$ 의 기울기로 증가하며, Q1이 "OFF"가 되면 $(V_O + V_D - V_I)/L$ 의 기울기로 감소한다. 정상상태에서 코일에 충전, 방전되는 전류의 양은 같아야 하므로 다음 식을 얻을 수 있다. 그림 2의 (b)에서 $\frac{V_I - V_{DS,min}}{L} T_{ON} = \frac{V_O + V_D - V_I}{L} T_{OFF}$ 이

$$\text{므로 } V_{DS} = V_O + V_D = \frac{1}{1-D} V_I - \frac{D}{1-D} V_{DS,min} \text{ 이다.}$$

다이오드 D의 순방향 전압과 Q1의 온-저항을 무시한다면 변환이득은 $1/(1-D)$ 이다. 이때 $D = T_{ON}/(T_{ON} + T_{OFF})$ 으로 가정하였다. 따라서 코일에 흐르는 전류의 평균값 I_{AV} 는 $I_{AV} = I_{min} + \frac{1}{2} \Delta I_L = I_{min} + \frac{V_I - V_{DS,min}}{2L} T_{ON}$

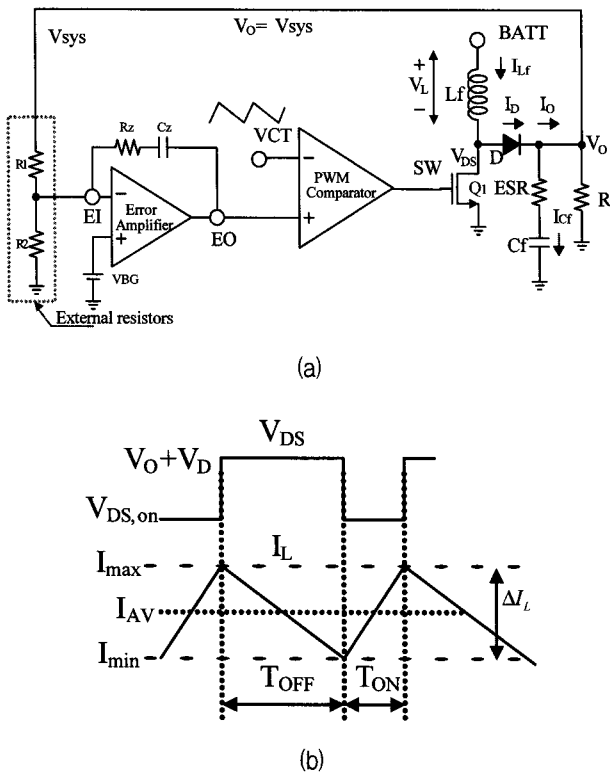


그림 2. 승압형 DC-DC 변환기
(a) 개요도, (b) 동작파형
Fig. 2. The basic boost converter.
(a) Operation Diagram, (b) waveform

이다. 코일에 흐르는 전류 I_{AV}가 결국 출력 전류 I_O이므로 $I_{min} = I_o - \frac{V_I - V_{DSlin}}{2L} T_{ON}$ 이 된다.

한편, 원하는 출력 전류를 공급하기 위해서는 코일의 L 값을 알아야 한다. 최소 L 값은 다음의 식으로 계산할 수가 있다.

$$L_{min} \geq \frac{V_{I,max} - V_{DSlin}}{2I_{o,min}} T_{on,max} \approx \frac{V_{I,max}}{2I_{o,min}} T_{on,max}$$

또한 Q₁이 "ON" 될 때 코일 L에 저장되는 에너지는 Q₁이 "OFF"될 때 출력측으로 전달되어 소비되며 다음 식으로 표현된다.

$$P_L = \frac{E_L}{T} = \frac{1}{2} L \cdot I_{max}^2 \cdot f = \frac{(V_I - V_{DSlin})^2 T_{ON}^2}{2L} f$$

$$= P_O = V_O \cdot I_O$$

위 식으로부터 원하는 출력전류를 얻을 수 있는 스위칭 코일의 용량은 다음 식으로 구할 수 있다.

$$L = \frac{(V_I - V_{DSlin})^2 T_{ON}^2}{2V_O I_O} f \approx \frac{V_I^2 T_{ON}^2}{2V_O I_O} f \text{ 이므로,}$$

$$L \approx \frac{V_I^2 T_{ON} T_{ON}}{2\{V_I/(1-D)\} I_O T} = \frac{V_I T_{ON}}{2I_O} (1-D)D$$

$$\approx \frac{V_I^2 T_{ON} T_{ON}}{2V_I/(1-D) I_O T} = \frac{V_I T_{ON}}{2I_O} (1-D)D \text{ 이다.}$$

2.2 CMOS Bandgap Reference 회로

밴드갭 기준바이어스회로는 발생된 기준 전압 (VBGR)이 VDD 전압의 변화, IC 내 · 외부의 load 변화, 온도의 변동 등에도 변화하지 않고 일정한 전압을 각 block에 공급할 수 있어야 한다. 밴드갭 기준바이어스회로는 substrate PNP 인 트랜지스터 Q₁-Q₄, R₁-R₂, PMOS M₁-M₄와 OPAMP 등으로 그림 3과 같이 설계하였다. MOS 트랜지스터 M₁-M₄와 Q₁-Q₄는 각각 동일한 물리적 dimension의 수평구조로 설계하였기 때문에 매칭되어 있으며 게이트 폭(W)의 비와 에미터의 면적비(A)만 각각 m배와 n배를 유지하도록 하였다. 또한 R₁과 R₂의 비에 의해서 출력 전압을 조절할 수 있도록 하였다. 그림 3에서 PNP 트랜지스터의 베이스 전류와 OPAMP의 오프셋전압이 없다고 가정하면, 다음의 식이 성립하게 된다.

$$V_{R1} = V_{BE1} + V_{BE2} - V_{BE3} - V_{BE4} = 2V_T \cdot \ln mn$$

따라서,

$$V_{BG} = 2V_{BE} + (1 + \frac{R_2}{R1})(2V_T \cdot \ln mn) \text{ 이다.}$$

M₁-M₄, Q₁-Q₄의 면적비와 R₁~R₂값을 미세조정하면 서 시뮬레이션을 통해 가장 최적의 VBG 값을 찾아낼 수 있다. VBGR 전압을 1.19[V]로 설계하여 다른 블록에 기준바이어스전압으로 공급하도록 하였다.

2.3 UVLO (Under Voltage Lockout) 회로

회로에 인가되는 전원전압이 정상상태보다 낮아지게 되면 회로가 의도된 바 대로 동작하지 못하고 오동작 상태에 들어가는 경우가 있다. 이 때문에 차라리 회로 동작을 멈추는 것이 시스템적으로는 더 안정적일 수가 있다. UVLO는 회로에 인가되는 전원전압이 정해진 값보다 낮을 때 이를 감지한다. 감지된 신호를 이용하여 회로의 동작을 멈추게 할 수 있다. 전원전압이 증가하는 방향이나 혹은 감소하는 방향이냐에 따라 감지 전압을 다르게 설정하는 이른바 히스테리시스 구간을 두는 것이 일반적이다. 그림 4가 설계한 UVLO의 회로도이며 감지 출력 전압 V_F는 다음과 같이 구할 수 있다. 먼

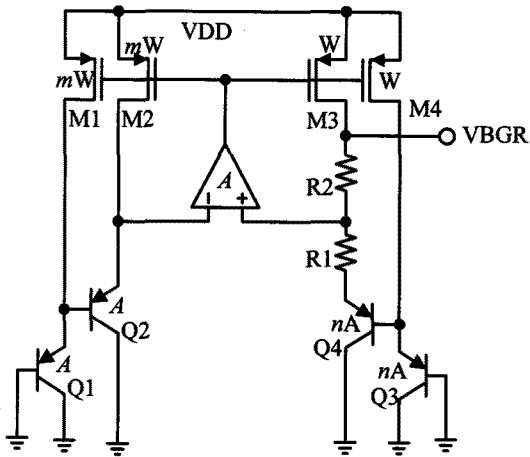


그림 3. CMOS 밴드갭 기준바이어스회로
Fig. 3. The CMOS bandgap reference.

저, VDD가 증가할 때를 보면, $V_F = (V_z - V_{DS,lin}) \times (Ru6 / (Ru6 + Ru4 + Ru5)) + V_{DS,lin}$ 로 계산되는데 위의 수식에서 VDD가 약 9.0[V] 일 때 VF가 "H"상태가 된다. VDD가 감소할 때에 $V_F = (V_z - V_{DS,lin}) \times (Ru7 / (Ru7 + Ru4 + Ru5)) + V_{DS,lin}$ 이고 그 값은 6.2[V]이다. 이는 약 1.8[V]의 히스테리시스전압이 있다는 것을 나타낸다. UVLO기능은 선택신호에 의해서 정지시키거나 활성화 시킬 수 있는데 DC-DC 컨버터로 사용할 때 저전원 전압 상태에서 동작을 보장하기 위해서이다.

2.4 오차증폭기(Error Amplifier)

오차증폭기는 변환된 출력 DC전압을 기준 전압 (VBG)과 비교하여 출력 전압이 설정된 전압을 유지할 수 있도록 한다^[9]. 저역통과필터로 구성하여 잡음특성을 개선하였다. 오차증폭기는 다음과 같은 점에 유의하여 설계되어야 한다. 첫째, 전원 전압이 5[V]에서 동작하는

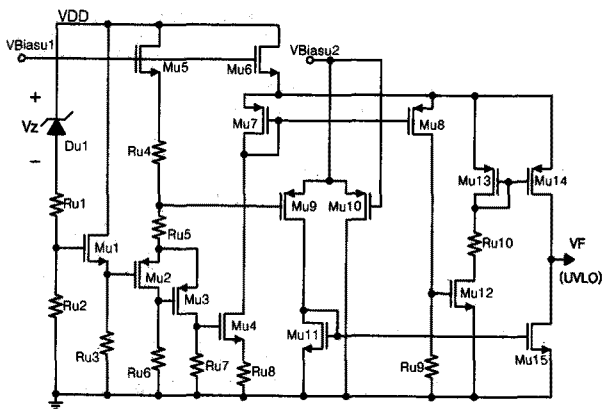


그림 4. UVLO 회로
Fig. 4. The schematic of UVLO.

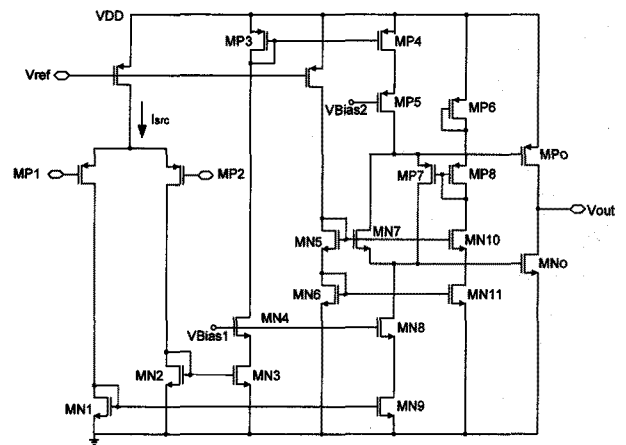


그림 5. 오차증폭기의 회로도
Fig. 5. The schematic of error Amplifier.

경우 변환된 DC 출력 전압의 범위는 0~3.3[V]이고, 이 출력전압이 다른 회로의 전원전압으로 왜곡 없이 동작해야 하므로, 오차증폭기의 하측 출력 전압이 GND 레벨 까지 보장되어야 한다. 둘째, 일반적인 OPAMP의 특성, 즉 Open Loop Gain, Offset, Slew rate등이 보장되어야 한다. 그림 5와 같이 PMOS를 입력소자로 사용하였으며 출력단은 AB급으로 처리하였다.

2.5 발진기(Oscillator)

발진기의 발진 주파수는 외부소자 Rt 와 Ct의 값에 의해서 결정된다. 콘덴서 Ct 는 3[V]의 기준전압으로부터 저항 Rt를 거쳐 거의 2.8[V] 까지 충전되며 내부 전류원에 의해서 1.2V까지 방전된다. 발진기는 Ct의 방전 시간동안 펄스 신호를 출력하는데 이 펄스기간 동안 제어회로의 최종 출력인 GATE 구동회로는 LOW를 출력하여 MOSFET의 구동을 제한한다. Rt와 Ct의 값에 의해 발진 주파수와 최대 듀티사이클(Duty Cycle)을 결정한다^[5]. 충전시간 $t_{chg} = 0.55 \cdot Rt \cdot Ct$ 이고, 방전시간 $t_{dis} = Rt \cdot Ct \cdot \ln [(0.0063 \cdot Rt - 2.8) / (0.0063 \cdot Rt - 4.0)]$ 로 계산된다. 이때, 발진주파수 $f_{osc} = (t_c + t_d)^{-1}$ 이다. Rt가 5[kΩ] 보다 큰 경우, 발진주파수 $f_{osc} \approx 1 / (0.55 \cdot Rt \cdot Ct) \approx 1.8 / (Rt \cdot Ct)$ 이다. 약 80[%]의 듀티사이클을 갖도록 설계했는데 이러한 값을 갖도록 한 듀티사이클 Clamp는 대부분의 Flyback 또는 Forward 컨버터에 있어서 장점이 있다. Device의 최적 동작을 위해서, Deadtime 동안 외부 Clock 신호는 출력을 Low 상태로 Blank 시킨다. 이것이 최대 듀티사이클 $D_{max} = t_c / (t_c + t_d)$ 을 제한한다.

2.6 Soft start operation

SMPS의 출력단에는 보통 큰 용량값의 파형 정형용 콘덴서(Cf)가 연결되어 있다. 이 때문에 시스템의 초기 기동시 이 콘덴서는 일정 시정수를 갖고 충전되면서 전압이 상승한다. 그런데 기동시 흐르는 이 전류는 콘덴서에 흐르는 최대전류이므로 IC 기동 초기부터 최대 전력이 전달되게 된다. 이 때문에 초기 기동시에 일정 시간동안 최대 전력이 출력단 쪽으로 공급되면서 전체 회로에 심한 스트레스가 가해지게 된다. 이러한 상태를 제거하기 위해 soft start 기능을 적용한다. 이를 위해 그림 1과 같이 내부 전류원(I_s)에서 만든 전류로 외부 콘덴서 C_s 를 충전하여 서서히 상승시킨다. 이 전압을 PNP 트랜지스터 Q_s 의 베이스-에미터 접합과 다이오드 (D_s)를 통하여 오차증폭기의 출력단으로 전달한다. 이 전압을 추종하여 PWM comparator의 (+) 단자 전압이 상승하게 되므로 스위칭 트랜지스터의 온 시간이 서서히 증가한다. 이에 따라 스위칭 트랜지스터의 드레인 전류 피크치도 C_s 전위의 완만한 상승에 의해 제한을 받게 된다. C_s 전위가 1.5[V] 이상이 되면 comp1의 출력이 반전되고 뒷 단에 연결된 RS 래치의 동작에 의해서 C_s 가 완전히 방전되며 D_s 에 의해 PWM comparator의 (+) 단자 전압은 더 이상 C_s 의 전위에 영향을 받지 않는다. 따라서 PWM comparator의 (+) 단자 전압은 DC-DC 컨버터의 출력 전압($V_o=V_{sys}$)을 피드백 시킨 신호에 의해서만 좌우된다. 또한 UVLO의 동작에 의해 IC가 정상상태에 이르면 soft start용 콘덴서, C_s 를 방전시켜 재 동작 시에 soft start 기능을 반복하게 된다.

2.7 Gate Driver

외부 코일에 에너지를 저장하기 위하여 트랜지스터로 코일을 스위칭 할 때 많은 전류가 트랜지스터를 통해서 접지측으로 흐르게 된다. 또한 스위칭 트랜지스터의 드레인에는 수십~수백[V]의 전압이 직접 걸리기 때문에 이 소자를 CMOS 집적회로 공정으로 내장하기가 어렵다. 이 때문에 코일 스위칭용 트랜지스터(그림 1, Q_1)를 집적회로 외부에 별도 부품으로 사용하도록 설계하였다. 대신, 이 소자를 구동하기 위한 회로(Gate Driver)를 IC 내부에 내장하였다. Q_1 의 게이트에 공급할 수 있는 최대 전압은 40[V]이다. 그림 1을 보면, PWM comparator의 출력 신호는 각각 버퍼와 인버터를 통과하도록 하고 이것을 이용하여 driver 소자(Q_1)의 게이트로 인가하였다. NMOS를 푸쉬-풀 형태로 구성하

였기 때문에 상측에 PMOS를 사용하는 것보다 면적을 많이 줄일 수 있다^[9]. 이 푸쉬-풀 NMOS 두 개로 외부 코일 구동용 트랜지스터를 구동하는데 상측과 하측의 NMOS 트랜지스터가 교대로 많은 고전류와 고속으로 온, 오프를 해야 하기 때문에 레이아웃에 주의를 기울여야 한다. 많은 전류를 전달하면서 스피드를 빠르게 하기 위하여 트랜지스터의 게이트 폭(W)을 넓게, 게이트 길이(L)를 짧게 해 줘야 함은 물론이고 드레인-소스 사이에 형성되는 등가 콘덴서 성분이 최소가 되도록 수직, 수평 구조로 설계해야 한다.

2.8 과전류 보호회로 (Over Current Protection)

과전류 보호회로는 에너지 저장용 코일을 스위칭하는 출력 MOS 트랜지스터 Q_1 (그림 1)이 코일의 열화에 의한 저항의 감소나 쇼트등으로 인하여 규정치 이상의 전류가 흐르게 되면 이를 감지하여 스위칭을 중단시키는 기능이다^[4,7]. 코일 구동 MOS 트랜지스터의 ID 전류가 접지로 빠져나가는 길목에 적은 값의 저항 (R_{sense})을 연결하여 두고 이 저항의 양단에 나타나는 전압이 규정치 이상인지를 비교기로 감시한다^[6]. 그러나 이 저항 때문에 전력변환 손실이 발생하므로 적당한 저항값을 찾아야 한다. 이러한 OCP 동작은 1차로 출력 MOS 트랜지스터를 차단하고 전류가 더욱 더 많이 흐르는 상태가 되면 전체 회로의 동작을 중단(shutdown)시킨다.

III. 실 험

DC-DC 컨버터를 개발하기 위하여 시스템을 구성하고 블록별, 기능별로 회로를 설계하였다. 설계가 완료된 회로는 Hspice로 검증하기 위하여 M사의 40[V] CMOS 2P_2M 공정용 파라미터를 사용하였다 이 공정의 최소 디자인-룰은 0.6[um], 최대 내압은 40[V]이며, sub PNP를 제공한다. 완성된 설계도를 레이아웃도면으로 구현하였다.

설계된 모든 회로는 블록별, 기능별로 시뮬레이션을 통해 검증하였다. 또한 응용회로를 검토하여 실제 칩의 동작 상태를 고려한 전체 칩의 시뮬레이션 조건을 설정하여 전체 칩에 대한 시뮬레이션도 실시하였다. 그림 6에는 오차증폭기의 AC 특성을 시뮬레이션으로 검증한 파형이 나타나 있다. DC 이득은 약 90[dB], 위상 마진이 약 65[deg] 정도이다.

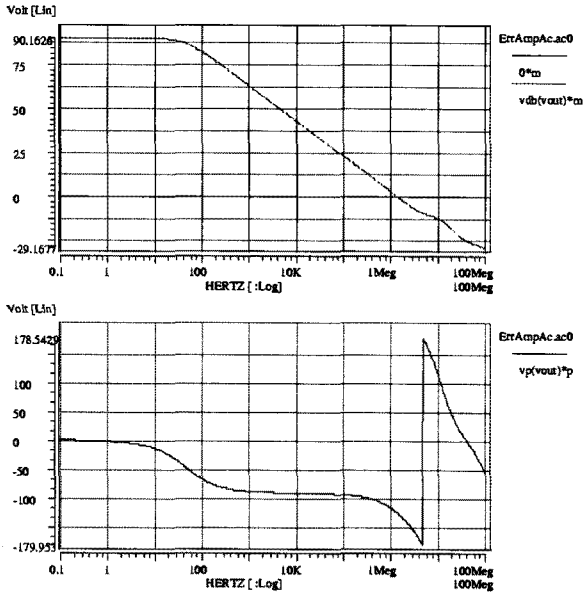


그림 6. 오차증폭기 AC 시뮬레이션 결과파형
Fig. 6. The AC simulation waveform of Error Amplifier.

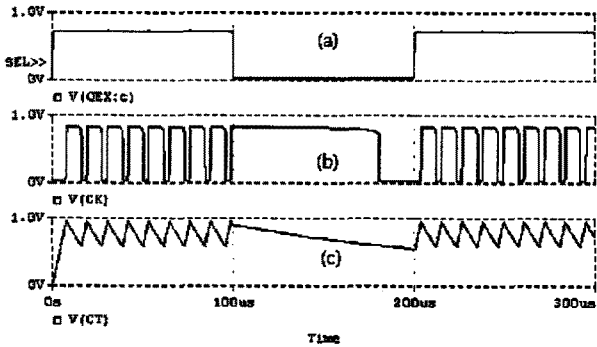


그림 7. Oscillator 회로의 simulation 결과파형
Fig. 7. The simulation waveform of oscillator.

그림 7은 oscillator 회로의 동작특성을 시뮬레이션으로 검증한 발진 특성 결과 파형이다. (a)의 V(CEX) 전압이 하이 일 때는 발진, 로우일 때는 발진을 정지시키는 제어 파형이다. (b)는 최종 발진파형이고, (c)는 내부 회로의 발진상태 전압파형이다.

그림 8은 UVLO회로의 동작을 검증하기 위하여 모의 실험을 수행한 결과파형이다. 제일 위쪽의 파형은 전원 전압을 접지 전위부터 상승시키는 상황이다. 두 번째 파형에 로우상태를 유지하는 것은 회로 동작을 차단시키는 상황을 의미하는 것이고 하이 상태로 바뀔 때 (전원전압이 9[V]보다 커지는 지점) 비로소 전체 회로가 동작 가능한 상태로 바뀌는 것을 나타낸다. 세 번째 파형은 전원전압을 20[V]에서 접지 측으로 하강하면서 UVLO 출력 파형을 실험한 것으로 전원전압이 약

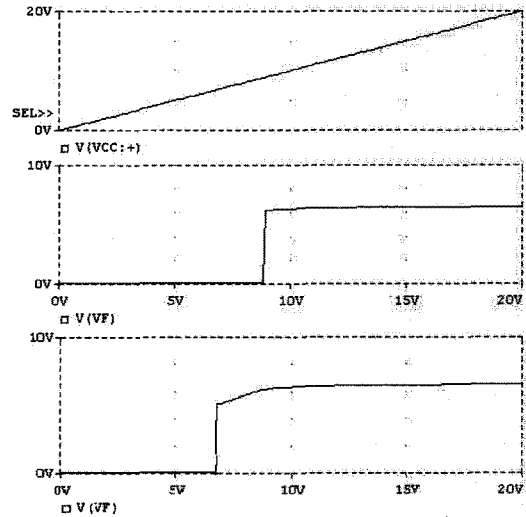


그림 8. UVLO 회로의 DC 해석 파형
Fig. 8. The DC sweep waveform of UVLO.

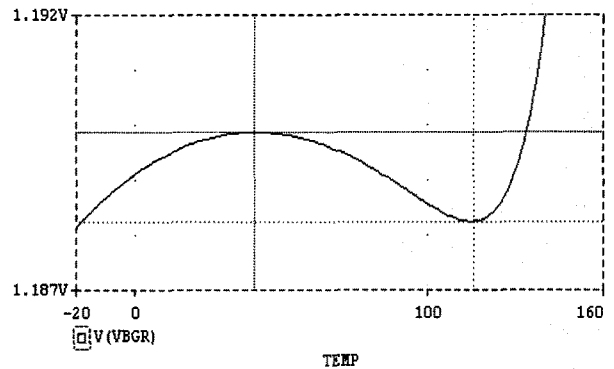


그림 9. 밴드갭 기준바이어스회로의 출력 전압 특성
Fig. 9. The output DC voltage waveform of bandgap reference in temperature sweep -10~160[°C].

6.2[V]이하로 되면서 출력이 전환된다. 첫 번째와 두 번째 파형이 하이 상태를 유지하는 기간이 서로 다를 수 있는데 이 전압차이를 보이는 구간을 히스테리시스 구간이라 하며 본 회로에서는 약 1.8[V] 정도가 되도록 설계하였다.

그림 9는 밴드갭 기준바이어스 회로에 대하여 -20 [°C]에서 160[°C]까지 1[°C]간격으로 증가시켜가면서 출력 DC 전압의 정확성을 검증한 파형이다.

온도 약 40[°C]에서 출력전압이1.189[V]로 최대값을 보이며, 115[°C] 부근에서 1.188[V]인데 최대값 대비 약 1[mV] 차이를 보이는 정도로 확인되었다. 이 후 온도가 더 상승하면 출력 전압이 급격하게 상승하는 모양을 나타내는데 TSD (Thermal Shut Down)회로를 적용하면 출력 상승에 대한 문제를 제거할 수 있다.

그림 10은 설계한 DC-DC 컨버터로 응용 회로를 구

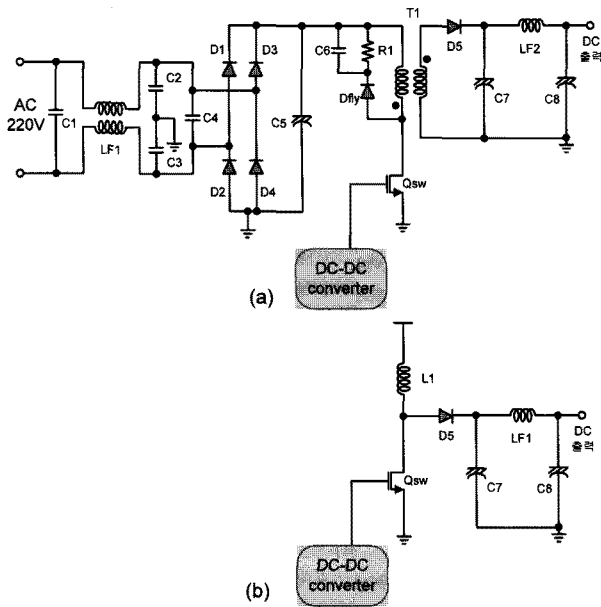


그림 10. DC-DC 컨버터를 이용하여 실제 시스템에 적용한 회로도
 (a) 배터리 충전기 사용 예
 (b) DC-DC 변환기 사용 예
 Fig. 10. The Application circuit of DC-DC converter.
 (a) battery charger (b) DC-DC converter

성하여 실제 시스템에 적용할 수 있도록 구성한 회로의 한 예이다. (a)는 배터리충전기로 사용할 경우를 나타낸 것이다. 220[V]의 상용 전원을 브릿지 정류기(다이오드 D₁-D₄와 파형정형 콘덴서 C₅)를 사용하여 DC전압으로 정류한다. 설계한 DC-DC 컨버터회로를 사용하여 코일(T₁의 1차측 코일)을 스위칭하고 변압기 T₁의 2차측 코일에 권선비 만큼 전압을 변환한 다음 다시 한번 D₅를 통해 정류하여 원하는 DC 전압을 얻어내는 과정을 설정하였다. C₇, C₈과 LF₂는 DC 출력 파형을 정형하기 위해 연결한 필터이다.

그림 11은 그림 1의 설계 블록도를 기본으로 하여 구성한 DC-DC변환 전체 회로를 시뮬레이션으로 검증한 결과 파형인데 UVLO기능은 정지시킨 상태로 동작시킨 것이다. 파형 (a)가 스위칭에 의해서 승압되어지는 출력 DC 전압을 나타낸다. 파형 (b)는 코일에 흐르는 전류 파형인데 soft start 기능은 동작하지 않은 상태를 나타낸다. 파형 (c)가 코일과 다이오드가 연결되는 지점의 스위칭 트랜지스터가 스위칭될 때 나타나는 파형이고, (d)가 스위칭 펄스 파형이다. DC-DC 컨버터의 전원전압으로 DC 3.6[V]를 인가하였는데 실제 사용 환경에서는 변압기 T₁에 별도의 코일을 붙여 DC 전압을 만든 후 전원전압으로 공급해도 무방할 것이다.

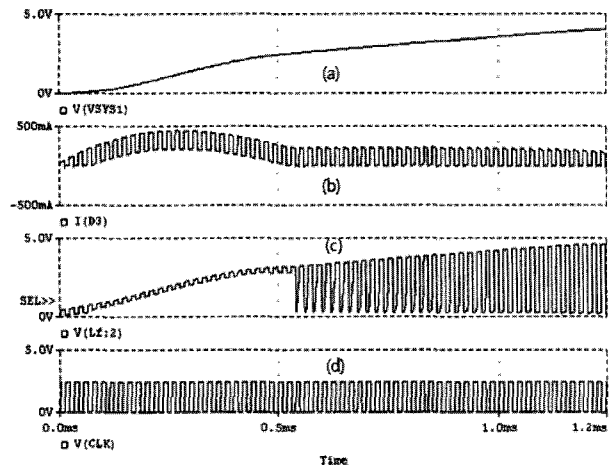


그림 11. DC-DC 컨버터의 전압변환 시뮬레이션 검증 파형
 Fig. 11. The simulation waveform of DC-DC converter.

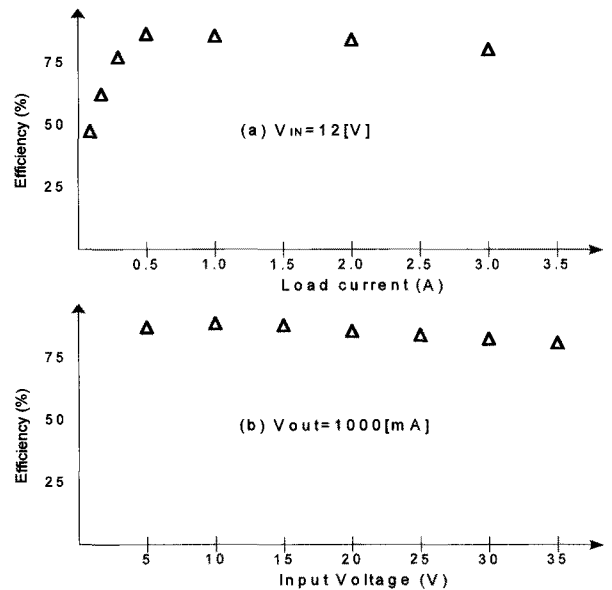


그림 12. DC-DC 컨버터의 전력변환효율 검증결과
 Fig. 12. The efficiency simulation result of DC-DC converter.

[1,3~4,7,9] 등 이전 연구에 의하면 PWM 방식 DC-DC 변환기의 에너지 변환 효율이 약 85~97[%] 정도임을 알 수 있다. 본 설계에 의해서 개발된 회로의 효율을 두 가지 방법을 적용하여 시뮬레이션으로 확인하였다. 그림 12(a)는 입력전압을 12[V]로 고정하고 출력 전류의 크기를 변화시켜가면서 전력변환효율을 검증한 결과이다. 출력 전류가 0.5[A]일 때 약 86[%] 정도의 최대 효율이 되었으며, 출력 전류가 0.5[A]보다 작거나 많은 경우 그림과 같은 효율특성이 있음을 알 수 있다.

그림12(b)는 출력 전류를 1000[mA]로 고정하고 인가되는 전압을 변화시켜가면서 효율을 확인한 결과파형이

다. 인가되는 입력 전압이 5~15[V] 부근에서 약 85[%]의 최대효율을 나타내었으며 이 후 인가전압을 증가시키면 효율이 감소한다. 이는 입력 전압이 상승하면 내부 회로의 바이어스 전류의 증가로 인하여 효율이 저하되는 현상인 것으로 확인되었다.

IV. 결 론

본 논문에서는 소형전자기기의 전원이나 2차전지의 충전을 위한 current 모드 DC-DC 변환기를 설계하였다. IC에 공급할 수 있는 최대 전압은 40[V]이며, 컨버터에 2.8~330[V]의 입력전압이 인가되면 원하는 DC출력전압을 만들어 낼 수 있도록 응용보드를 구성할 수 있다. 설계된 회로의 전원전압이 3.6[V]일 때 대기 상태에서의 전류는 약 0.3[μ A] 정도가 흐른다. 최대 전력변환효율이 약 86[%]정도로 확인되었으며, 이 정도의 효율이면 제품화하는데 별 무리가 없을 것으로 판단한다. UVLO, 과전류 보호회로 등을 설계, 내장하여 안정된 사용 환경을 제공하였다. 설계된 모든 회로는 시뮬레이션을 통하여 검증하였다. 검증 결과 모든 기능이 잘 동작하였으며 원하는 특성을 나타냄을 확인 한 바 설계된 회로는 휴대폰 충전기나 소형전자기기의 전원용으로 사용할 수 있을 것이다. 향후 설계된 회로를 집적회로로 구현하여 실제 출력상태를 검증하도록 하겠다.

참 고 문 헌

- [1] 하가산, et al, "Dynamic Threshold MOS 스위치를 사용한 고효율 DC-DC converter 설계," 한국전기전자학회 논문지(Journal of IKEEE) Vol. 12.No. 3, pp. 46-53, 2008.
- [2] 김희준, "스위치모드 파워 서플라이" 성안당 pp. 3-61.
- [3] K. Mark Smith, Jr., "A comparison of voltage mode Soft-switching Methods for PWM converter," IEEE Transactions on Power Electronics, Vol. 12, No. 2, 1997.
- [4] Feng-Fei Ma, et al, "A Monolithic Current-Mode Buck Converter With Advanced Control and Protection Circuits," IEEE Transactions on Power Electronics, Vol. 22, No. 5, pp836-1846, Sep, 2007.
- [5] 류영익, 장경희, 김덕중, "Macro-Modelling을 이용한 SMPS Control IC 설계" 대한전자공학회, 전자공학회지 제20권 제9호, 1993. 9, pp. 996~1003
- [6] H. P. Foghani-zadeh and G. A. Rincon-Mora, "Current-sensing techniques for dc-dc converter," in Proc. 45th IEEE Midwest symp. Circuits symp. Vol. 2, pp. 577-580, Aug, 2002.
- [7] S. K. Baranwal, Amit Patra and Barry Culpepper, "Self Oscillating Control of a Synchronous DC-DC Buck Converter," 35th Annual IEEE Power Electronics Specialist Conference, pp. 3671-3674, Aachen, Germany, 2004.
- [8] C. Y. Leung, P. K. T. Mok, Ka. Nang Neung and Mansun Chan, "AN Integrated CMOS Current-Sensing Circuit for Low-Voltage Current-Mode Buck Regulator," IEEE Transactions on Circuits and System, Vol. 52, No. 7, July, 2005.
- [9] 안영국, 남현석, 노정진, "휴대형 기기를 위한 93.5%의 효율을 가지는 400mA 급 Current-Mode DC-DC Buck 컨버터," 2009년 SoC 학술대회, pp. 71-72.
- [10] Jeongin Cheon, Changwoo Ha; "PWM/PFM Dual Mode SMPS Controller IC for Active Forward Clamp and LLC Resonant Converters," 대한전자공학회, Journal of Semiconductor Technology and Science Vol.7 No.2, 2007. 6, pp. 94~97

저 자 소 개



이 준 성(정회원)

1985년 경북대학교 전자공학과 학사

1997년 연세대학교 산업대학원 석사

2003년 성균관대학교 전기전자 컴퓨터공학부 공학박사

1984년 12월~1995년 9월 삼성전자 반도체연구소 마이크로사업부 개발1실 선임연구원, 프로젝트리더

1995년 10월~1998년 9월 삼성전자 ASIC사업부 기반설계팀 선임연구원, 파트리더

1999년 3월~현재 인덕대학 컴퓨터전자과 부교수
<주관심분야 : 아날로그집적회로설계, 오디오(디지털, 아날로그), 비디오 구동회로, 아날로그 비디오 프로세서, 전력용반도체, 센서구동회로>