

논문 2010-47E-2-1

저전력 디지털 PLL의 설계에 대한 연구

(A Study on the Design of Low Power Digital PLL)

이 제 현*, 안 태 원**

(Je-Hyun Lee and Tae-Won Ahn)

요 약

이 논문에서는 PLL에 기반한 주파수 합성기의 구현에 있어서 전력 소모를 줄이기 위한 저전력 디지털 PLL의 구조 및 설계에 대하여 기술한다. 제안된 구조의 디지털 PLL에서는 초기 주파수 비교를 위하여 광대역 디지털 로직 직교상관기를 사용하고, 최종 주파수 비교를 위하여 저전력 특성을 갖는 협대역 디지털 로직 직교상관기를 사용하여 디지털 제어 발전기의 주파수가 제어되도록 하였다. 또한 동작하지 않는 디지털 블록의 전력을 최소화하는 회로 기법을 적용함으로써 대기 전력 소모를 추가적으로 줄일 수 있도록 하였다. 제안된 디지털 PLL의 동작 및 저전력 특성은 MOSIS 1.8V 0.35 μ m CMOS 공정 조건에서 MyCAD를 이용한 설계 및 모의실험을 통해 검증하였으며, 20% 정도의 전력 소모 감소 효과를 확인하였다.

Abstract

This paper presents a low power digital PLL architecture and design for implementation of the PLL-based frequency synthesizers. In the proposed architecture, a wide band digital logic quadricorrelator is used for preliminary frequency detector and a narrow band digital logic quadricorrelator is used for final DCO control. Also, a circuit technique for reducing leakage current is adopted in order to minimize the standby mode power consumption of the deactivated block. The proposed digital PLL is designed and verified by MyCAD with MOSIS 1.8V 0.35 μ m CMOS technology, and the simulation results show that the power consumption can be lowered by more than 20%.

Keywords : low power, digital PLL, frequency synthesizer, DLQ, leakage current

I. 서 론

PLL에 기반한 주파수 합성기는 여러 방식의 유무선 통신 시스템 및 휴대용 통신 단말기 등에 필수적인 기능 블록으로서 최근에는 특히 제품의 소형화 및 저전력 구현의 필요성이 커진 상황이다^[1]. 기존 방식의 전하 펌프 구조의 PLL은 저항과 캐패시터로 구성된 루프 필터에 전하를 저장하여 원하는 주파수를 생성하는 기능을 수행하게 되는데, 반도체 공정의 최소 선폭이 수십 나노미터 급으로 발전함에 따라 양산의 수율 저하, 칩 내부에 인접한 디지털 시스템과의 통합화 및 누설 전류의

증가에 따른 특성 저하가 문제시 되어 왔다. 이에 따라, 최근에는 PLL의 아날로그 블록 모두를 디지털 블록으로 대체하려는 연구가 많이 진행되고 있다^[2]. 이와 같이 ADPLL (All-Digital PLL)이 선호되는 이유로는 다음과 같은 몇 가지가 있다. 첫째, 디지털 구현 방식은 아날로그 방식에 비하여 공정의 발달에 따른 스케일링 측면에서 유리하다. 또한 PLL의 설계에 필요한 필터를 디지털 방식으로 구현하게 되면 프로그래밍이 가능할 뿐만 아니라 웨이퍼 상의 면적도 적게 차지하게 되는 장점이 있다. 좀 더 기술적인 내용으로는 PLL에서 비교되는 두 클럭의 에지 차이에 대한 시간 정보를 인코딩함으로써 전압에 대한 발전주파수 결정에 따른 잡음 발생 위험을 줄일 수 있는 측면도 있다. 일반적인 PLL과 ADPLL의 기본 블록도의 차이는 그림 1과 그림 2에 비교된 바와 같이 아날로그 회로로 구현되는 전하 펌

* 정회원, ** 평생회원, 동양미래대학 전자과
(Dept. of Electronics, Dongyang Mirae University)
* 본 논문은 2009년도 동양미래대학의 교내 학술연구비 지원에 의해 연구되었음.
접수일자: 2010년1월11일, 수정완료일: 2010년6월7일

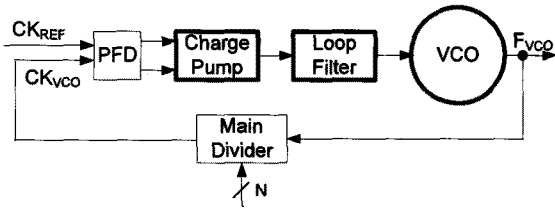


그림 1. 일반적인 전하 펌프 PLL의 블록도
Fig. 1. Typical charge pump PLL block diagram.

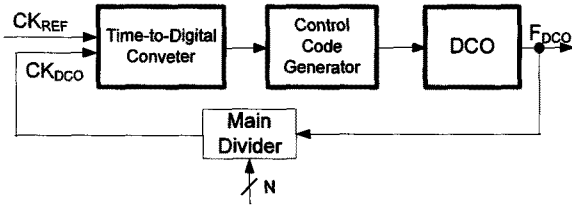


그림 2. 전체-디지털 PLL의 기본 블록도
Fig. 2. All-digital PLL block diagram.

프, 루프 필터 및 VCO (Voltage Controlled Oscillator)가 기준 클럭과 발진 클럭의 주파수 및 위상을 비교하는 TDC (Time-to-Digital Converter), 업-다운 카운터에 기반한 발진 제어 코드 생성기 및 DCO (Digitally Controlled Oscillator)로 대체된 것이 주요 특징이다.

그러나, 디지털 PLL은 양자화에 의한 잡음 및 소형화, 그리고 저전력 구현에 아직 개선의 여지가 많은 상황이다. 본 논문에서는 이와 같은 관점에서 디지털 PLL의 저전력 구현을 위하여 고속의 광대역 디지털 락킹과 저전력의 협대역 디지털 락킹을 결합하여 전력 소모를 줄이고, 대기 전력 또한 최소화하는 디지털 PLL의 구조를 제안한다.

II. 저전력 ADPLL의 설계

1. 저전력 디지털 주파수 비교기

디지털 PLL에서 TDC는 기준 클럭과 발진 클럭의 에지 사이의 시간 정보를 카운트하여 그 차이 성분을 디지털 코딩화하는 기능을 수행한다. 일반적으로 사용되는 TDC는 그림 3과 같은 회로를 기반으로 하여 기준 클럭을 지연 셀을 통하여 지연시킨 후 DCO의 출력 위치를 파악하는 Flip-Flop을 이용하여 시간 정보가 디지털로 변환된다. 특히, 지연 셀이 많아질수록 출력 주파수의 해상도가 높아지고 spur 특성이 좋아지지만 구현상의 복잡도 증가 및 전력 소모의 증가를 가져오게 된다.

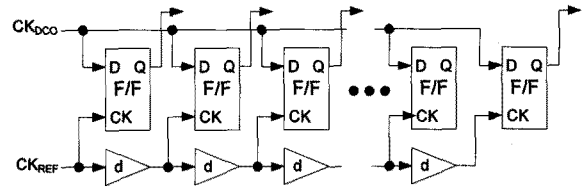


그림 3. 일반적인 지연 셀 구조의 TDC
Fig. 3. Typical delay cell TDC.

본 논문에서는 지연 셀 및 Flip-Flop을 다수 이용하는 방식 대신에 디지털 클럭의 에지를 에너지 트래킹 방식으로 순차 비교하여 그 주파수 및 위상 차이 성분을 출력하는 직교상관기 (quadrucorrelator)를 적용하여 구현상의 복잡도를 낮추고, 전력 소모를 줄이는 방식을 사용한다. 디지털 로직 직교상관기 (DLQ) 방식의 주파수 비교기를 사용할 경우 주파수 검출 특성이 ±20%에 제한되지만 Flip-Flop 4개와 게이트 4개로 매우 간단히 구현 가능하며, 광대역 디지털 로직 직교상관기 (WDLQ) 방식의 주파수 비교기를 사용하면 광대역 믹서에 4개의 Flip-Flop과 3개의 게이트가 필요하므로 전체적으로는 Flip-Flop 8개와 게이트 16개로 구현 가능하다^[3]. WDLQ 방식의 주파수 비교기는 검출 특성이 ±100%에 달하는 광대역 비교 특성을 갖지만 면적 및 전력 소모가 많아지므로 초기 주파수 비교에 적용하고, ±20% 이내에 DCO 주파수가 들어오면 협대역 검출 특성을 갖지만 전력 소모 측면에서 유리한 DLQ 방식의 주파수 비교기를 적용하여 저전력 디지털 주파수 비교기를 구성하면 주파수 락이 될 때 출력 신호의 펄스 열이 나타나지 않게 되므로 DLQ 방식의 주파수 비교기 전반부 4개의 Flip-Flop에서만 동적 전류가 소모되고, 그 이외의 정적 전류 소모는 원천적으로 차단된다.

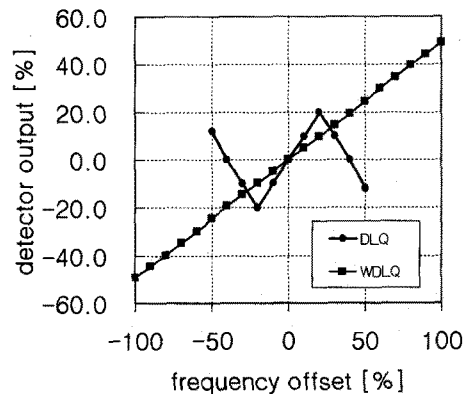


그림 4. DLQ 및 WDLQ 방식의 주파수 검출 대역
Fig. 4. Frequency detection range of DLQ and WDLQ.

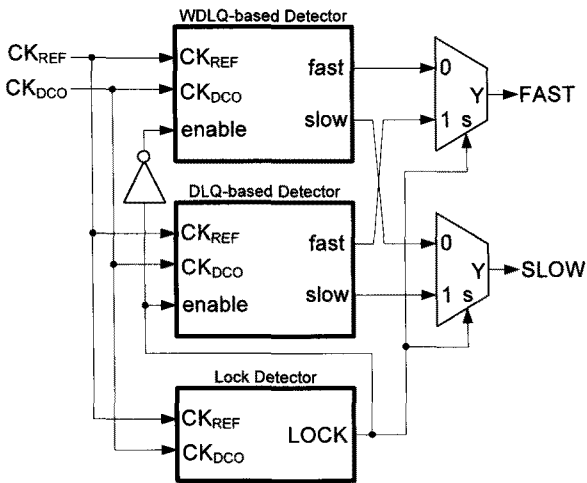


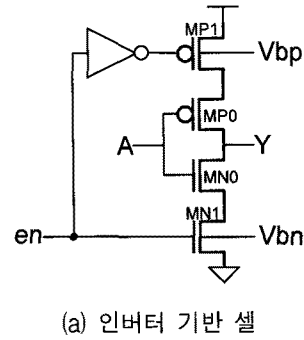
그림 5. 제안하는 저전력 디지털 주파수 비교기
Fig. 5. Proposed low power digital frequency detector.

그림 4와 같은 주파수 검출 대역 특성에 근거하여 제안하는 저전력 디지털 주파수 비교기의 블록도는 다음 그림 5와 같다. DCO 클럭이 DLQ 주파수 검출기의 특성 범위 안에 들어오게 되면 락 검출기에서 자체적으로 주파수 검출기 제어 신호를 출력하여 전력 소모가 많은 광대역 주파수 검출기를 OFF 시키고, 전력 소모가 적은 협대역 주파수 검출기를 ON 시키는 구조이다.

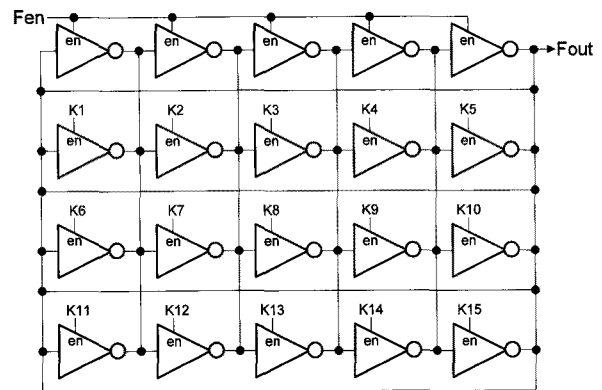
2. 디지털 제어 발진기

ADPLL에는 일반적인 디지털 공정에서도 적은 비용으로 구현이 가능한 디지털 인버터 코어 기반의 링 발진기가 선호된다. 링 발진기 형태의 DCO는 인버터 코어를 여러 단으로 구성하여 디지털 제어 신호에 의해 조절되는 각 단의 지연시간의 총 합에 의해 출력 주파수의 주기가 정해지는 구조로서 아날로그 회로의 성격이 적으며 디지털 공정에서 소형화 및 저전력 구현에 유리한 점이 있다^[4]. 본 논문에서 설계한 DCO는 4비트 디지털 코드에 의해서 주파수가 제어되는 인버터 기반 링 타입 발진기로서 그림 6(a)과 같은 기본 셀 20개를 사용하여 그림 6(b)와 같이 구성된다.

기본 셀은 외부 제어 신호에 의해 선택적으로 ON 또는 OFF 되며, 이 같은 기본 셀 5개를 5단으로 직렬 연결하고 항상 ON (Fen 에 High 연결) 시켜서 가장 낮은 주파수로 발진이 일어나도록 한다. 여기에 선택적으로 K1에서 K15까지의 신호에 의해 15개의 추가 셀을 5개의 단으로 나누어 ON 또는 OFF 시킴에 따라 각 단의 지연시간이 줄어들 수 있도록 하는데, 가장 높은 주파수로 발진하는 경우는 15개의 추가 셀이 모두 ON 되는



(a) 인버터 기반 셀



(b) 4비트 디지털 제어 발진기

그림 6. 링 발진기 형태의 저전력 DCO 회로
Fig. 6. Ring oscillator type low power DCO circuit.

경우이며, 결과적으로 기본 셀 5개부터 20개까지 총 16가지의 주파수가 만들어지게 된다. 대기 전력을 최소화하기 위해서는 DCO 전체를 OFF 되도록 Fen 및 K1~K15 신호에 Low 신호를 입력하면 된다.

최신의 sub-micron CMOS 공정에서는 트랜지스터의 누설 전류를 최소화하기 위한 소자로서 상대적으로 높은 문턱 전압을 갖는 소자를 제공하고 있다^[5]. Vbp 및 Vbn 신호는 추가적으로 OFF 된 인버터 셀의 누설 전류를 최소화하기 위한 벌크 바이어스 전압으로서, PMOS MP1과 NMOS MN1의 문턱 전압을 증가시켜 누설 전류를 줄일 수 있도록 한다. 이러한 방식의 누설 전류의 최소화 효과는 그림 5에서 DCO 클럭이 DLQ 주파수 검출기의 특성 범위 안에 들어오게 되면 OFF 시키게 되는 광대역 주파수 검출기의 로직 회로에도 적용 가능하다.

3. 발진 제어 코드 생성기

본 논문에서 설계한 DCO는 4비트 디지털 코드에 의해서 제어되는데, 실제적으로는 15비트의 온도계 코드 (thermometer code)를 필요로 한다. 이것은 각각의 인

표 1. 제안하는 DCO 제어 코드 진리표

Table 1. Truth table of the proposed DCO control code.

Q3	Q2	Q1	Q0	K15	K14	K13	K12	K11	K10	K9	K8	K7	K6	K5	K4	K3	K2	K1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
0	1	0	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1
0	1	1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1
0	1	1	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
1	0	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1
1	0	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
1	0	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1
1	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

버터 셀의 ON/OFF가 단계적인 선형 특성의 코드에 의해 동작하기 때문이다^[6].

본 논문에서 제안하는 DCO 제어 코드 생성기는 위의 표 1과 같이, 제어 입력의 하위 3비트 신호(Q2~Q0)에 대한 온도계 코드를 최상위 비트인 Q3 신호에 의해 제어 코드 출력의 하위 7비트 및 상위 7비트를 지정하는 로직 구현에 의해 필요한 로직 회로를 줄여서 전력 소모 또한 감소시키는 효과를 갖게 된다. 표 1에서 음영으로 표시된 3비트 온도계 코드 생성기의 로직 구현은 다음 표 2와 같이 모두 3입력 2단 로직으로 구성하여 지연 시간의 차이를 줄이도록 한다^[7].

표 2. 3비트 온도계 코드 생성기의 로직 구현

Table 2. 3bit thermometer code generator logic.

출력	입력 구성
K1	Q2 + Q1 + Q0
K2	Q2 + Q1 + GND
K3	Q2 + (Q1 · Q0)
K4	Q2 · VDD · VDD
K5	Q2 · (Q1 + Q0)
K6	Q2 · Q1 · VDD
K7	Q2 · Q1 · Q0

III. 로직 구현 및 모의실험

1. 저전력 디지털 주파수 비교기

본 논문에서 설계된 디지털 주파수 비교기는 1.8V 0.35μm CMOS 공정 조건에서 MyCAD를 이용한 모의 실험을 통해 검증하였으며 DCO 클럭이 DLQ 주파수 검출기의 특성 범위(±20%) 안에 들어오게 되면 락 검출기에서 출력되는 신호가 Low에서 High로 바뀌면서 전력 소모가 많은 광대역 주파수 검출기를 OFF 시키는 동작을 확인하였다. 표 3에 정리된 모의실험에 의하면 평균 전력 소모가 약 20% 감소되는 것을 확인할 수 있다. 이것은 누설 전류의 추가적인 감소분은 포함되지 않은 것으로서 상대적으로 높은 문턱 전압을 갖는 소자를 제공하는 최신의 sub-micron CMOS 공정을 사용하여 OFF되는 광대역 주파수 검출기의 누설 전류를 최소화하면 전력 소모의 추가 개선도 가능한 구조이다.

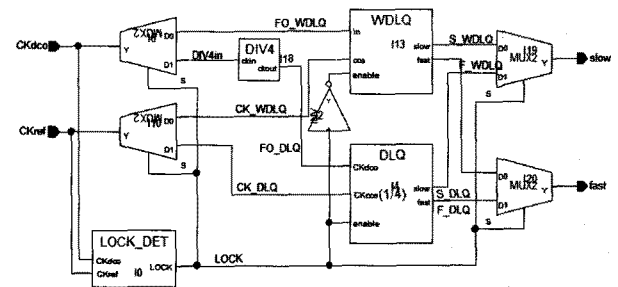


그림 7. 저전력 디지털 주파수 비교기의 로직 구현

Fig. 7. Low power digital frequency detector schematic.

표 3. 주파수 비교기의 전력 소모 비교

Table 3. Power consumption of the frequency detectors.

주파수차이	LOCK	WDLQ	DLQ	전력 소모
±20% 이상	Low	ON	OFF	121μW
±20% 이하	High	OFF	ON	101μW

2. 디지털 제어 발진기

본 논문에서 설계된 DCO는 4비트 디지털 코드에 의해 주파수가 제어되는 인버터 기반 링 타입 발진기로서 그림 6과 같은 구조에서 외부 제어 신호에 의해 선택적으로 15개의 셀을 5개의 단으로 나누어 ON 또는 OFF 시킴에 따라 기본 셀 5개부터 20개까지 총 16가지의 주파수가 만들어지게 된다. 출력 주파수 및 평균 전류의 모의실험 결과는 그림 8과 같다.

그림 8에서 보는 바와 같이 15개의 셀이 선택적으로 ON 또는 OFF 됨에 따라 DCO의 평균 전류는 최소 49

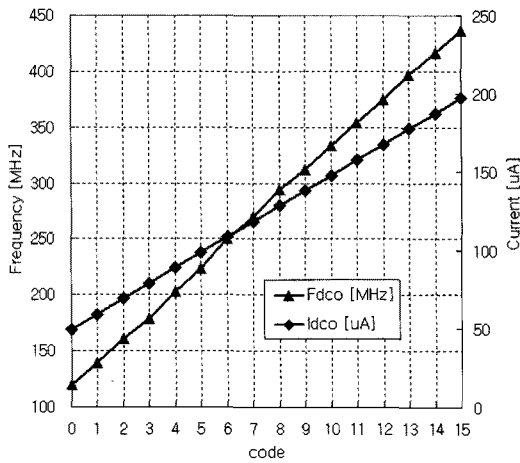


그림 8. 디지털 제어 발진기의 주파수 및 전류 특성
Fig. 8. DCO frequency and current characteristics.

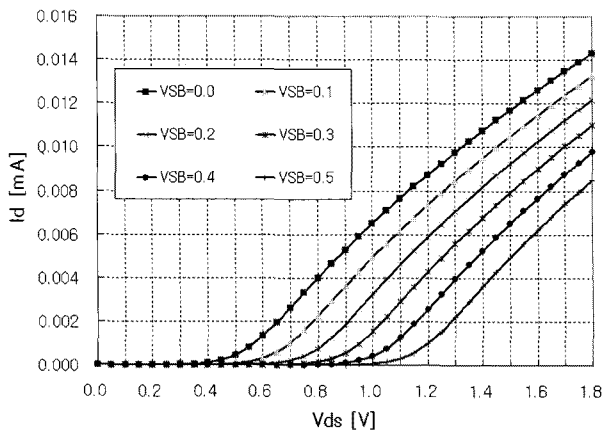


그림 9. 누설 전류 감소를 위한 문턱전압 조절 효과
Fig. 9. Threshold control for lower leakage current.

μA에서 최대 198μA로 크게 변하게 되며, OFF된 셀에서 추가적인 벌크 바이어스 전압으로 그림 6의 PMOS MP1과 NMOS MN1의 문턱 전압을 증가시켜 누설 전류를 줄이는 효과를 확인하기 위한 모의실험 결과는 그림 9와 같다.

3. 발진 제어 코드 생성기

그림 10은 본 논문에서 설계한 DCO 제어 코드 생성기의 회로도로서 4비트 디지털 입력을 받아 표 1과 같은 15비트의 온도계 코드를 출력한다. 제안된 발진 제어 코드 생성기는 제어 입력의 하위 3비트 신호에 대한 온도계 코드 블록 (B2T_3bit)을 기본 블록으로 하여 최상위 비트 신호 (Q3)에 의해 제어 코드 출력의 하위 7비트 (K7~K1) 및 상위 7비트 (K15~K9)를 지정하는 로직에 의해 구현되며, 그 동작은 그림 11에 나타낸 모의실험 파형과 같다.

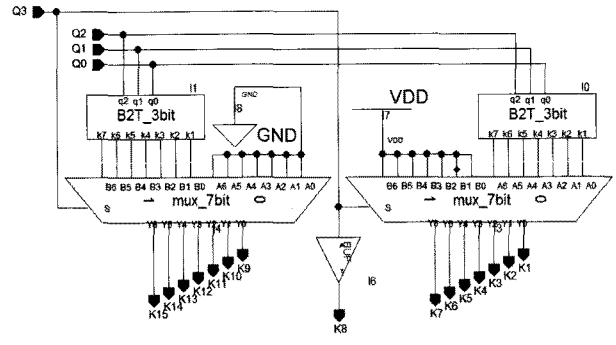


그림 10. DCO 제어 코드 생성기의 로직 구현
Fig. 10. DCO code generator schematic.

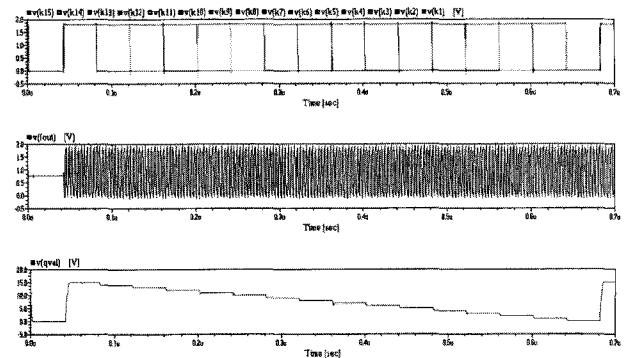


그림 11. DCO 제어 코드 생성기의 모의실험 결과
Fig. 11. Simulation results of DCO code generator.

4. 시스템 모의실험

그림 12는 본 논문에서 제안한 저전력 디지털 PLL의 시스템 모의실험에 의한 DCO 제어 신호 출력 및 소모 전류 파형을 나타낸다. 동작 초기에는 기준 클록의 주파수와 DCO 출력의 주파수의 차이가 ±20% 이상으로 크기 때문에 광대역 WDLQ 주파수 검출기가 ON 되고, 협대역 DLQ 주파수 검출기가 OFF 된 상태이다. 파형의 하단부에 나타낸 바와 같이, WDLQ 주파수 검출기는 주파수 검출 범위가 ±100%로 매우 넓지만 전력 소모가 많고, 상대적으로 협대역인 DLQ 주파수 검출기는 전력 소모가 적다. 기준 클록의 주파수와 DCO 출력의 주파수가 계속 비교되면서 fast 및 slow 신호에 의하여 DCO 클록이 DLQ 주파수 검출기의 특성 범위인 ±20% 이내에 들어오게 되면 락 검출기에서 자체적으로 주파수 검출기 제어 신호를 출력하여 전력 소모가 많은 광대역 주파수 검출기를 OFF 시키고, 전력 소모가 적은 협대역 주파수 검출기를 ON 시키는 동작을 볼 수 있다. 대부분의 전력 소모 개선은 주파수 검출기의 ON/OFF에 의한 것으로서 약 20% 감소하는 것으로 확인되었다.

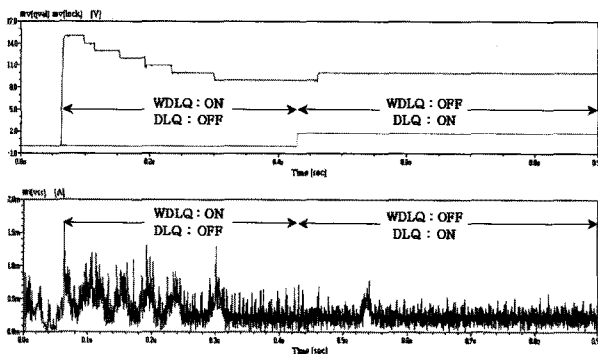


그림 12. 제안된 디지털 PLL의 시스템 모의실험 결과
Fig. 12. Simulation results of the proposed digital PLL.

IV. 결 론

본 논문에서는 PLL에 기반한 주파수 합성기의 구현에 있어서 전력 소모를 줄이기 위한 저전력 디지털 PLL의 구조에 대하여 기술하였다. 제안된 구조의 디지털 PLL에서는 초기 주파수 비교를 위하여 광대역 디지털 로직 직교상관기를 사용하였고, 최종 주파수 비교를 위하여 저전력 특성을 갖는 협대역 디지털 로직 직교상관기를 사용하여 디지털 제어 발전기의 주파수가 제어 되도록 하였다. 또한 동작하지 않는 디지털 블록의 전력을 최소화하는 회로 기법을 적용하게 되면, 대기 전력 소모를 추가적으로 줄이는 것이 가능하다. 제안된 디지털 PLL의 동작 및 저전력 특성은 1.8V 0.35 μ m CMOS 공정 조건에서 MyCAD를 이용한 모의실험을 통해 검증하였으며, 대부분의 전력 소모 개선은 주파수 검출기의 ON/OFF에 의한 것으로서 약 20%의 전력 소모 감소 효과를 확인하였다. 따라서 제안된 구조는 최근의 휴대용 멀티미디어 통신 단말기 등에서 요구되는 저전력 디지털 주파수 합성기의 구현에 응용 가능한 것으로 사료된다.

참 고 문 헌

- [1] 오근창, 김경환, 박종태, 유종근, "2.4 GHz ISM 대역 응용을 위한 저전력 CMOS Fractional-N 주파수 합성기 설계," 대한전자공학회 논문지, 제45권 SD편 제6호, 60-67쪽, 2008년 6월.
- [2] 김용우, 안태원, 문용, "디지털 PLL을 위한 높은 해상도를 갖는 시간-디지털 변환기의 연구," 대한전자공학회 2008년 하계종합학술대회, 587-588쪽, 2008년 3월.
- [3] 안태원, 윤찬근, 문용, "Design of CMOS LC VCO

with Fast AFC Technique for IEEE 802.11a/b/g Wireless LANs," 대한전자공학회 논문지, 제43권 SD편 제9호, 552-557쪽, 2006년 9월.

- [4] A. Tomar et al., "Design of 1.1 GHz Highly Linear Digitally-Controlled Ring Oscillator with Wide Tuning Range," RFIT2007-IEEE International Workshop on Radio-Frequency Integration Technology, pp. 82-85, 2007.
- [5] T. Sakurai, "Perspectives on Power-Aware Electronics, Technical Digest of International Solid-State Circuit Conference", pp. 26-29, 2003.
- [6] G. L. Madhumat et al., "Comparison of 5-bit Thermometer-to-Binary Decoders in 1.8V, 0.18 μ m CMOS Technology for Flash ADCs," International Conference on Signal Processing Systems, pp. 516-520, 2009.
- [7] 이준홍, 황상훈, 송민규, "UWB 시스템을 위한 1.8V 8-bit 500MSPS 저전력 CMOS D/A 변환기의 설계," 대한전자공학회 논문지, 제43권 SD편 제12호, 15-22쪽, 2006년 12월.

저 자 소 개



이 제 현(정회원)
 1983년 아주대학교 전자공학과
 학사 졸업.
 1985년 한국과학기술원 전기및
 전자공학과 석사 졸업.
 1985년~1990년 전자부품연구원
 자동설계부 연구원

1990년~1993년 SGS-THOMSON KOREA
 Design Center 과장
 1993년~1996년 전자부품연구원 ASIC센터
 선임연구원
 1996년~1999년 한국과학기술원 반도체설계교육
 센터 선임연구원
 1999년~현재 동양미래대학 전자과 부교수.
 <주관심분야 : 반도체, ASIC, FPGA 설계>



안 태 원(평생회원)
 1992년 서울대학교 전자공학과
 학사 졸업.
 1994년 서울대학교 전자공학과
 석사 졸업.
 2009년 숭실대학교 전자공학과
 박사 졸업.

1994년~2002년 삼성전자 반도체 SYSTEM LSI
 책임연구원.
 2002년~현재 동양미래대학 전자과 부교수.
 <주관심분야 : 반도체, PLL, Mixed/RF IC 설계>