

논문 2010-47SD-5-13

3GPP LTE를 위한 다중대역 90nm CMOS 저잡음 증폭기의 설계

(Design of a Multi-Band Low Noise Amplifier for 3GPP LTE
Applications in 90nm CMOS)

이성구*, 신현철**

(Seongku Lee and Hyunchol Shin)

요약

3GPP LTE (3rd Generation Partner Project Long Term Evolution)에 적용할 수 있는 다중대역 저잡음 증폭기를 90 nm RF CMOS 공정을 이용하여 설계하였다. 설계된 다중대역 저잡음 증폭기는 1.85-2.8 GHz 주파수 범위내의 8개 대역으로 분리되어 동작하며, 다중대역에서의 성능 최적화를 위해 증폭기 입력단에 다중 캐패시터 어레이를 이용하여 대역에 따른 조정이 되도록 하였다. 입력 신호의 변화에 따른 증폭기의 포화를 방지하기 위해 Current Steering을 이용한 바이패스 모드를 구현하였다. 설계된 저잡음 증폭기는 1.2 V의 공급 전원에서 17 mA를 소모한다. RF 성능은 PLS (Post Layout Simulation)을 통해 검증하였다. 정상상태에서 전력이득은 26 dB, 바이패스모드에서의 전력이득은 0 또는 -6.7 dB를 얻었다. 또한, 잡음지수는 1.78 dB, IIP3는 최대 이득 일 때 -12.8 dBm을 가진다.

Abstract

A multi-band low noise amplifier (LNA) is designed in 90 nm RF CMOS process for 3GPP LTE (3rd Generation Partner Project Long Term Evolution) applications. The designed multi-band LNA covers the eight frequency bands between 1.85 and 2.8 GHz. A tunable input matching circuit is realized by adopting a switched capacitor array at the LNA input stage for providing optimum performances across the wide operating band. Current steering technique is adopted for the gain control in three steps. The performances of the LNA are verified through post-layout simulations (PLS). The LNA consumes 17 mA at 1.2 V supply voltage. It shows a power gain of 26 at the normal gain mode, and provides much lower gains of 0 and -6.7 in the bypass-I and -II modes, respectively. It achieves a noise figure of 1.78 dB and a IIP3 of -12.8 dBm over the entire band.

Keywords : LNA, 3GPP LTE, CMOS

I. 서론

2009년 상반기 기준으로 세계 이동통신시장의 점유율이 89%인 비동기 이동통신시장은 비동기 기술 중 2

세대 기술인 GSM 계열부터 시작하여 EDGE, WCDMA, HSPA를 거쳐서 광범위하게 확장되고 있다 (그림 1). 또한 소비자들의 다양한 콘텐츠 요구와 사업자들의 높은 주파수 효율 요구에 따라 광대역을 기반으로 하는 비동기방식의 이동통신 차기 규격인 3GPP LTE (3rd Generation Partnership Project Long Term Evolution)가 이동통신 업계에서 크게 관심받고 있다^[1].

3GPP LTE는 2G의 GSM과 3G의 비동기식 기술 WCDMA의 진화 기술로써, WiBro와 함께 유력한 4G 이동통신 후보 기술로 대두되고 있다. 또한 4G 이동통신

* 학생회원, ** 평생회원, 광운대학교 전자공학과
(Dept. of Wireless Communications Engineering,
Kwangwoon University, Seoul, Korea)

※ 본 연구는 지식경제부 대학 IT연구센터 지원사업
(ITA-2009-C1090-0902-0038) 및 산업원천기술개발
사업 (2009-F-010-01) 의 지원으로 수행되었음.
접수일자: 2010년1월8일, 수정완료일: 2010년3월29일

표 1. E-UTRA 주파수 대역 (36.101)
Table 1. E-UTRA frequency band (36.101).

E-UTRA Band	Uplink(UL)	Downlink (DL)	UL-DL Band separation	Duplex Mode
	$F_{UL_low} - F_{UL_high}$	$F_{DL_low} - F_{DL_high}$	$F_{DL_low} - F_{UL_high}$	
1	1920 MHz - 1980 MHz	2110 MHz - 2170 MHz	130 MHz	FDD
3	1710 MHz - 1785 MHz	1805 MHz - 1880 MHz	20 MHz	FDD
4	1710 MHz - 1755 MHz	2110 MHz - 2155 MHz	355 MHz	FDD
7	2500 MHz - 2570 MHz	2620 MHz - 2690 MHz	50 MHz	FDD
10	1710 MHz - 1770 MHz	2110 MHz - 2170 MHz	340 MHz	FDD
34	2010 MHz - 2025 MHz	2010 MHz - 2025 MHz	N/A	TDD
40	2300 MHz - 2400 MHz	2300 MHz - 2400 MHz	N/A	TDD

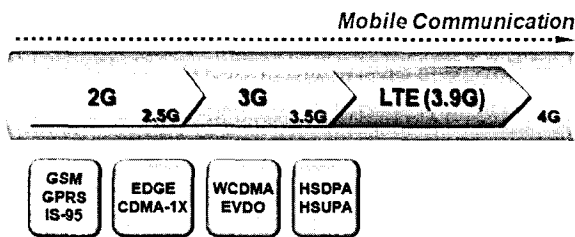


그림 1. 이동통신 시스템의 진화
Fig. 1. Evolution of mobile communication system.

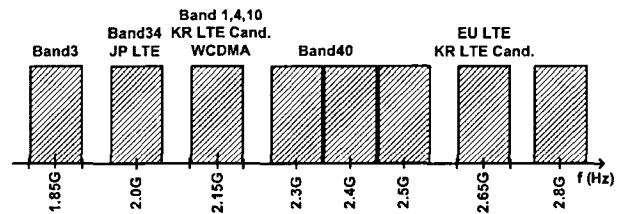


그림 2. 다중대역 저잡음 증폭기 동작 대역
Fig. 2. Operating frequency band of multiband LNA.

신으로써 3GPP LTE는 주파수 대역폭 최대 20 MHz 내에서 최고 다운로드 속도 100 Mbps와 업로드 속도 50 Mbps를 지원한다. 이는 이동통신망을 통해 100 Mbps 속도로 영화(700 MB)를 끊김 없이 1분 이내에 다운로드할 수 있는 속도이다. 또한 데이터 전송 효율 향상, 효율적인 주파수 자원 이용, 이동성, 낮은 latency, 패킷 데이터 전송에 최적화된 기술과 서비스 품질 보장 등을 제공한다^[2]. 또한 현재의 이동통신 3G 망을 기반으로 했기 때문에 WCDMA 망과 연동이 가능하다.

3GPP LTE에 적용될 무선 통신 칩은 3G와 4G의 시스템에서 동시에 서비스를 제공하기 위해 3G 및 LTE 등의 다중모드에서 동작해야 한다. 뿐만 아니라 LTE 이동통신 단말기에서 처리해야 하는 높은 데이터 양과 비례하여 단말기를 구성하는 많은 블록들에 의해 소모되는 전력량도 높다. 하지만 증가하는 전력 소모량과 함께 배터리의 용량은 크게 늘리지 못하기 때문에 저전력의 기술이 무선 통신칩에 적용되어야 한다. 따라서 본 논문에서는 저전력으로 동작하는 LTE용 다중모드 RF 수신칩을 위해 다중대역 CMOS 저잡음 증폭기를 설계하였다.

논문은 다음과 같이 구성되어 있다. II장에서는 다중대역 저잡음 증폭기의 구조와 설계에 대해 설명하였고, III장에서는 결론으로 논문을 마무리 하였다.

II. 다중대역 저잡음 증폭기

현재 국내에서 LTE의 사용 주파수가 정해지지 않았지만, 국내 LTE 주파수 후보로써 WCDMA가 사용되고 있는 2.1 GHz 대역과 유럽 LTE 주파수인 2.6 GHz 대역 등이 가능한 후보대역으로 간주된다. 4G 이동통신 기술로 LTE가 유력해짐에 따라 이들 국내 LTE 후보 주파수와 2 GHz 대역의 일본 LTE, 2.6 GHz 대역의 유럽 LTE, 그리고 E-UTRA 대역(표1) 내의 기타 LTE 주파수 대역과 같이 다양한 대역의 신호를 하나의 소형 저전력 RF 수신 칩으로 처리하고자 하는 필요성이 증가하고 있다. 따라서 다양한 대역을 지원하기 위해서 다중대역 RF 수신 칩의 개발이 필요하다. 이러한 다중대역 수신 칩의 구현을 위해서는 RF 수신 칩에서 저잡음 증폭기의 효과적인 설계가 중요하다. 본 논문의 다중대역 저잡음 증폭기는 2.1 GHz 대역의 WCDMA와 국내의 LTE를 지원하기 위

해 1.85-2.8 GHz 주파수 범위내의 8개 서브 대역으로 조정하면서 동작하도록 설계되었다(그림 2).

1. 가변 입력정합회로

저잡음 증폭기에서 주요 특성인 이득 및 잡음지수는 입력정합회로에 의해 대부분 결정된다. 따라서 1.85-2.8 GHz의 넓은 대역에서 높은 이득과 낮은 잡음지수를 얻기 위해서는 가변 입력정합회로가 필요하다. 가변 입력정합회로를 구현하는 가장 일반적인 방식은 저잡음 증폭기 입력단 MOSFET의 게이트와 소스단 사이에 커패시터와 MOSFET 스위치를 이용하여 개방 또는 단락시킴으로써 커패시턴스를 조절하는 Switched Capacitor Array (SCA)을 사용하는 것이다^[3]. 그림 3에 보이듯 SCA를 사용하여 커패시턴스(C_{ex})를 조절함으로써 아래 식 (1)처럼 입력 임피던스가 변화된다.

$$Z_{in} = j \left(\omega L_G + \omega L_S - \frac{1}{\omega(C_{gs1} + C_{ex})} \right) + \frac{g_m L_s}{C_{gs1} + C_{ex}} \quad (1)$$

본 논문에서는 SCA를 사용하였지만, SCA 대신 전압 조절에 따라 커패시턴스가 변화하는 MOS Varactor를 사용하여 가변 입력정합회로를 구현하면 더욱 좋은 성능을 얻을 수 있음도 발표된 바 있다^[4].

2. 이득 바이패스 모드

RF 수신기에 외부로부터 매우 큰 크기를 가진 신호가 입력될 경우, 수신기의 첫 단에 위치한 저잡음 증폭기로 전달되어 더 큰 크기의 신호로 증폭된다. 이렇게 증폭된 입력 신호가 다시 저잡음 증폭기의 다음 단으로 전달되면 다음 단의 회로가 이득 포화 현상이 나타날 수 있다. 이러한 경우를 대비하여 전체 이득을 조절할 수 있도록, 그림 3과 같이 캐스코드연결에서 두 번째 Common-Gate (CG) 단에 Current Steering 기술을 사용하였다^[5]. CG단에 MOSFET 스위치를 연결하여 Common-Source (CS) 단에 흐르는 전류는 일정하게 유지하여 CS의 g_m 을 유지하면서 부하단에 흐르는 전류를 조절함으로써 전체 이득을 가변할 수 있게 하였다.

3. 저잡음 증폭기 회로 설계

저잡음 증폭기는 1.85 GHz에서부터 2.8 GHz까지 일정한 이득과 낮은 잡음지수를 얻을 수 있도록 설계하였다. 설계된 저잡음 증폭기는 단일 캐스코드 (Single-ended Cascode) 2단의 구조를 갖는다(그림 4). 캐스코

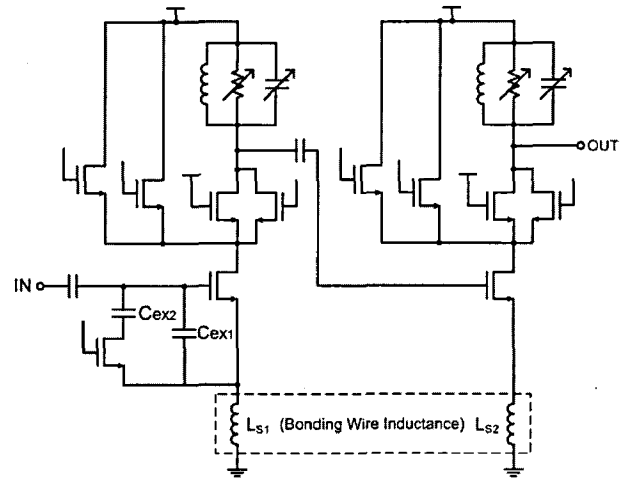
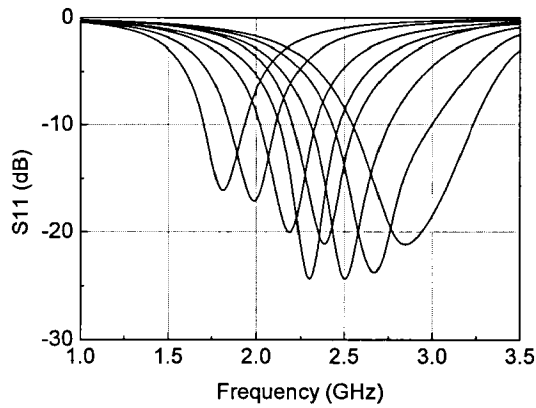


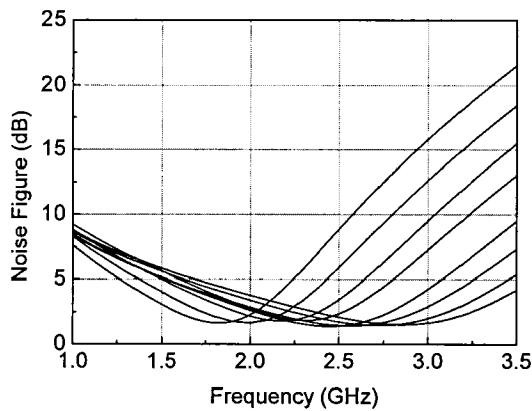
그림 4. 다중대역 저잡음 증폭기 회로
Fig. 4. Circuit schematic of multiband LNA.

드 구조는 밀러 효과(Miller Effect)를 억제할 수 있으며, 입력과 출력의 격리도(Isolation)를 높일 수 있는 장점이 있다^[6]. 또한 2단의 구조를 사용함으로써 저잡음 증폭기의 높은 이득이 가능하게 하였다.

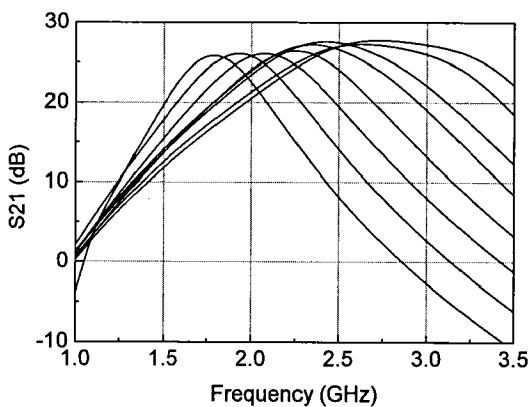
낮은 잡음 지수와 입력 정합을 동시에 얻기 위해 저잡음 증폭기의 소스(Source)단에 소스 감쇄 인덕터(Source Degeneration Inductor, LS)를 사용하였다. 본 논문에서의 LS는 본딩 와이어 인덕턴스(Bonding Wire Inductance)를 고려하여 구현하였다. 또한 저잡음 증폭기에서 소스 감쇄 인덕터를 사용할 경우에는 입력 정합을 위해 큰 값의 C_{gs} 가 필요하게 되는데, C_{gs} 를 키우기 위해서는 MOSFET의 게이트(Gate) 폭을 늘려야 한다. 이렇게 게이트 폭을 늘리게 되면 전류소모가 커지게 되기 때문에 저전력에는 불리하게 된다. 따라서 게이트 폭을 늘리지 않고 C_{gs} 를 키우기 위해, 게이트와 소스 사이에 추가적인 커패시터(C_{ex})를 연결하여 전류소모를 줄이고 낮은 잡음 지수와 입력 임피던스 정합을 동시에 얻을 수 있게 하였다^[7]. 본 논문에서는 추가적인 커패시터(C_{ex})로 Switched Capacitor Array (SCA)를 사용하여 커패시턴스 가변이 가능하게 하였다. 따라서 SCA 사용함으로써 주파수에 따라 입력 정합도 조절할 수 있게 하였다. 또한 1.85 GHz에서부터 2.8 GHz까지의 대역에서 일정한 이득을 얻기 위해 출력 부하단에 인덕터와 함께 3 비트의 Switched Capacitor Array를 사용하였으며 이를 통해 주파수에 따라 이득 조절이 가능하게 하였다. 그리고 2 비트로 조절이 되는 가변 저항부도 추가하여 1-3 dB 정도의 이득 조절이 가능하게 하였다. LTE용 다중모드 RF 수신칩에 사용될 저잡음



(a)



(b)



(c)

그림 5. 다중대역 저잡음 증폭기의 PLS 검증 결과
(a) S11, (b) NF, (c) S21

Fig. 5. Post layout simulation results of LNA.
(a) S11, (b) NF, (c) S21

증폭기는 25 dB 이상의 높은 이득과 -15 dBm 이상의 IIP3를 만족시켜야 한다. LNA 만의 성능측정을 위해 입출력 모두 50 ohm 정합 조건을 만족시키도록 설계하였다. 또한 입력 신호의 크기가 매우 커질 경우 LNA의 성능열화를 대비하여 이득조절 기능도 추가 하였다. 전체적으로 Normal / Bypass I / Bypass II의 3가지 단계로 전체 이득이 조절될 수 있도록 CG단에 Current Steering 기술을 사용하였다. Normal 모드에서는 26 dB의 이득을 가지며, Bypass I과 Bypass II 모드에서는 각각 0 dB, -6.7 dB의 이득을 갖는다. IIP3는 Normal 모드에서 -12.8 dBm을 나타낸다.

III. 모의 실험 결과

본 논문의 저잡음 증폭기는 90 nm CMOS RF 공정을 통해 설계되었으며, Cadence Spectre를 통하여 레이아웃 후 검증(Post Layout Simulation)을 하였다. 주파수에 따른 성능 최적화를 위해 풀 커스텀으로 설계된 SPI (Serial Peripheral Interface)를 통하여 칩의 내부 소자 값을 디지털 제어하였으며^[8], 1.85-2.8 GHz 대역의 동작을 확인하기 위해서 8개의 대역에서 각각 입력 정합을 하였다.

그림 5(a)에 각 대역에서의 입력 반사 계수(S₁₁)를 나타내었으며, 전 대역에서 -10 dB이하의 값을 만족하였다. 잡음 지수는 전 대역에서 약 1.78 dB를 만족하였으며, 그림 5(b)에 나타내었다. 8가지의 주파수 대역별 이득 특성을 그림 5(c)에 나타내었으며, 전체적으로 약 26 dB의 최대 이득을 갖는다. Current Steering 기술을 통

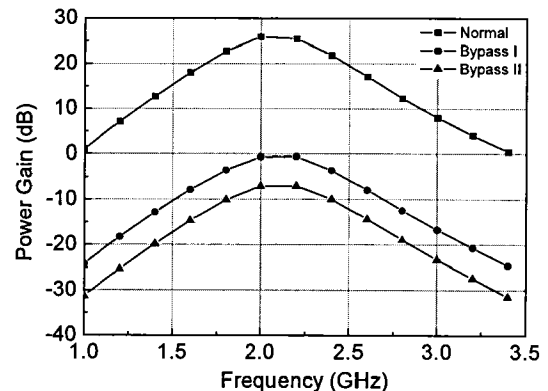


그림 6. 저잡음 증폭기의 이득 제어 특성
Fig. 6. Gain control characteristic of LNA.

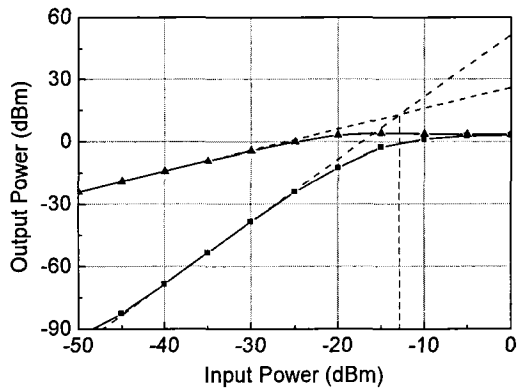


그림 7. 저잡음 증폭기의 IIP3
Fig. 7. IIP3 of LNA.

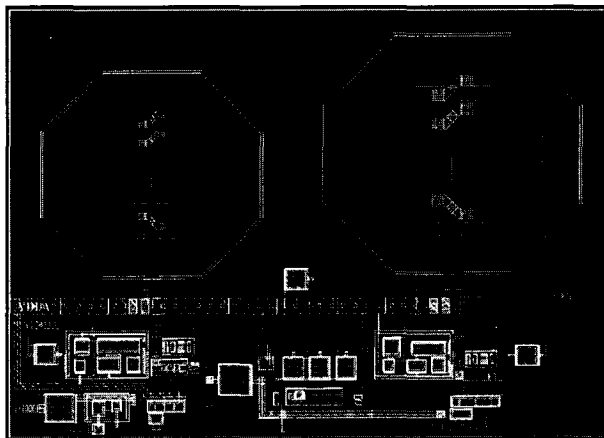


그림 8. 저잡음 증폭기의 레이아웃
Fig. 8. Layout of low noise amplifier.

표 2. 성능 요약
Table 2. Performance summary.

Parameter	[3]		This Work
Frequency (GHz)	1.8	2.14	1.85-2.8
S11 (dB)	-11.5	-15.2	<-10
S21 (dB)	14.5	16.6	26 / 0 / -6.7
NF (dB)	1.75	1.97	1.78
IIP3 (dBm)	-5.8	-5.3	-12.8
Current (mA)	5	5	17
Voltage (V)	1.5		1.2
Topology	Single-ended		Single-ended
Technology	CMOS 0.13 μm		CMOS 90 nm

해 3가지 단계로 이득을 조절할 수 있게 하였고, 이때 이득은 26 / 0 / -6.7 dB로 변화하였으며, 그림 6과 같다. 그림 7에 저잡음 증폭기의 IIP3를 나타내었으며, -12.8 dBm을 갖는다. 저잡음 증폭기는 1.2 V의 공급 전압을 사용하여 첫 번째단에서 5.5 mA, 두 번째 단에서 11.5 mA, 총 17 mA의 전류를 소모한다. 여기서 소모 전류가 다소 큰 것은 입출력 모두 50 ohm 정합을 했기 때문이다.

그림 8은 설계한 저잡음 증폭기의 Layout이며, 사용된 면적은 $750 \times 350 \mu\text{m}^2$ 이다. 표 1에 저잡음 증폭기의 레이아웃 후 검증 결과를 정리하였다. 비슷한 주파수 대역의 참고문헌 [3]과 비교했을 때, 본 결과는 1.85-2.8 GHz의 넓은 대역에서 국내의 LTE 주파수를 위한 8개의 모든 대역을 지원하는 장점을 갖는다. 따라서, 기존 [3]의 결과 대비 본 논문의 LNA가 차세대 무선통신용 광대역 LTE 응용에 더욱 적합함을 알 수 있다.

IV. 결 론

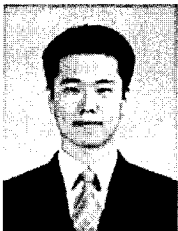
2.1 GHz, 2.6 GHz 대역의 국내 LTE 주파수 후보와 2 GHz 대역의 일본 LTE, 2.6 GHz 대역의 유럽 LTE, 그리고 E-UTRA의 기타 LTE 대역을 지원하는 저잡음 증폭기를 90 nm CMOS RF 공정을 사용하여 설계하였다. 설계된 저잡음 증폭기는 1.2 V의 공급전원에서 17 mA의 전류를 소모하며, 26 / 0 / -6.7 dB의 전력이득과 -12.8 dBm의 IIP3를 갖는다. 입력 반사 계수는 -15 dB 이하의 값을 만족하면서 1.78 dB의 잡음지수를 나타내었다.

참 고 문 헌

- [1] 김경호, "LTE 단말 모뎀 기술 및 동향," 대한전자 공학회 논문지, 제36권, 제2호, pp. 105-120, 2009년 2월.
- [2] <http://www.3gpp.org>
- [3] H. Song, H. Kim, K. Han, J. Choi, C. Park, and B. Kim, "A Sub-2 dB NF Dual-Band CMOS LNA for CDMA/WCDMA Applications," *IEEE Microwave and Wireless Components Letters*, vol. 18, no. 3, pp. 212-214, Mar. 2008.
- [4] S. Lee, H. Shin, "A Wideband CMOS LNA with Varactor Tuned Input Matching for WLAN/WiMAX Applications," in *Proc. International SoC Conference*, Busan, Korea, Nov. 2009, pp. 108-111.

- [5] S. K. Alam, J. DeGroat, "A CMOS Variable Gain Front-end for a WCDMA Receiver," in *Proc. IEEE International Symposium on Circuits and Systems*, May 2007, pp. 1457-1440.
- [6] T. Lee, *The Design Of CMOS Radio Frequency Integrated Circuits*, Cambridge Univ. Press, 1998.
- [7] T. Nguyen, C. Kim, G. Ihm, M. Yang, and S. Lee, "CMOS Low-Noise Amplifier Design Optimization Techniques," *IEEE Tran. Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433-1442, May 2004.
- [8] 엄준환, 이연봉, 신재욱, 신현철 "CMOS RF 집적 회로 검증을 위한 직렬 주변 인터페이스 회로의 풀커스텀 설계," 대한전자공학회 논문지, 제46권 SD편, 제9호, pp. 68-73, 2009년 9월.

저 자 소 개



이 성 구(학생회원)
 2008년 광운대학교 전자공학과
 학사 졸업.
 2010년 광운대학교 대학원
 전자공학과 석사 졸업.
 2010년~현재 LG 디스플레이
 연구원

<주관심분야 : CMOS RF/Analog IC>



신 현 철(평생회원)
 1991년 KAIST 전기 및
 전자공학과 학사 졸업.
 1993년 KAIST 전기 및
 전자공학과 석사 졸업.
 1998년 KAIST 전기 및
 전자공학과 박사 졸업.

1997년~1997년 독일 DaimlerBenz Research
 Center 연구원

1998년~2000년 삼성전자 System LSI
 선임연구원

2000년~2002년 미국 UCLA 박사후 연구원

2002년~2003년 미국 Qualcomm RF/Analog
 IC Design 선임연구원

2003년~현재 광운대학교 전자공학과 부교수

<주관심분야> CMOS RF/Analog IC