

논문 2010-47SC-3-3

디스플레이 데이터 구동용 사이클릭 디지털 아날로그 컨버터의 특성평가

(Characterization of Cyclic Digital-to-Analog Converter for Display
Data Driving)

이 용 민*, 이 계 신**

(Yong-Min Lee and Kye-Shin Lee)

요 약

본 논문은 디스플레이 데이터 구동부에 사용되는 디지털 아날로그 컨버터를 위해 스위치 커패시터형 cyclic 디지털 아날로그 컨버터를 제안하고 특성을 검토한다. 본 제안의 디지털 아날로그 컨버터는 구성이 간단하여 저전력, 소면적의 디스플레이 구동 IC설계에 적합하다. 회로레벨 시뮬레이션을 통해 OP앰프 입력의 오프셋전압에 대한 영향이 적고 커패시터간의 부정합이 0.5% 정도까지는 회로성능에 별 영향이 없음을 검증한다.

Abstract

This work proposes and characterizes switched-capacitor type cyclic digital-to-analog converter for display data driving. The proposed digital-to-analog converter composes simple structure, and can be implemented for low-power, small area display driver ICs. By circuit level simulations, it is verified that the op-amp input referred offset is attenuated at the DAC output and the circuit performance is robust at 0.5% of capacitor mismatch.

Keywords : display data driver, capacitor mismatch, digital-to-analog converter, cyclic architecture, offset voltage

I. 서 론

최근의 디스플레이 패널의 고해상도화 및 고화질화 동향에 따라 디스플레이 구동부도 이에 대응하는 신기술을 필요로 한다^[1~2]. 일반적으로 디스플레이 구동부는 데이터 구동부, 스캔 구동부, 타이밍 컨트롤러와 기준전압 생성부 등으로 구성되는데 특히 데이터 구동부는 고해상도 디스플레이를 구현하는데 매우 중요한 부분으로

데이터 구동부내의 디지털 아날로그 컨버터(DAC)는 데이터 전압생성의 중요한 역할을 담당하고 있는데 고해상도화가 될수록 늘어나는 채널수로 인해 DAC의 설계면적이 크게 증가하는 문제가 있다.

지금까지 주로 저항방식 디지털 아날로그 컨버터(RDAC)^[3~4]가 주로 사용되어 왔는데 좀 더 세밀한 계조표현을 위해 디지털 아날로그 컨버터의 해상도를 8비트 또는 그 이상으로 증가시키기에 따라 RDAC는 interpolative 구조를 사용한다고 하더라도 저항에 대한 라우팅 영역 때문에 chip설계 면적이 증가하고 소비전력이 증가하는 문제가 있어 설계하는데 어려움을 겪고 있다. 반면에 스위치 커패시터 회로를 사용하는 cyclic형 디지털 아날로그 컨버터(CDAC)는 저전력, 소면적 디스플레이용 드라이버로 적합하다. 기존에 cyclic형

* 정희원, 선문대학교 정보디스플레이학과
(Dept. of Information Display, Sun Moon University)

** 정희원, (미) Akron주립대학교 ECE Dept.
(Dept. of ECE, The University of Akron)

※ 본 연구는 지식경제부의 지역혁신과제 (RTI 04-01-02)의 지원으로 수행되었음.

접수일자: 2009년11월11일, 수정완료일: 2010년5월5일

DAC 관련 연구^[1,5-6]들이 발표되었는데 Bell^[1]의 연구는 불균일한 스위칭 채널 전하주입 문제로 인해 회로구성이 디지털 입력데이터에 따라 바뀌어야만 하는 문제가 있고 Choi^[5]의 연구는 컨트롤 클럭의 구조가 복잡하여 3개의 커패시터를 사용해야하는 단점이 있다.

위와 같은 문제점을 극복하기 위해 본 저자는 커패시터 2개를 사용한 8비트 cyclic형 DAC를 제안^[7]하였고 본 논문에서 op앰프 입력 오프셋 전압 및 커패시터 간 부정합특성을 구체적으로 검토한다.

II. Cyclic DAC의 구조

본 논문에서 제안하는 8비트 CDAC는 디지털 입력으로부터 9클럭 내에 아날로그 출력을 생성하는데 그중 8클럭은 cyclic동작을 위한 것이고 1클럭은 커패시터의 리셋을 위한 것이다. 매 사이클 동작은 2개의 위상(위상1 과 위상2)를 포함한다. 디지털 데이터의 LSB가 먼저 CDAC에 인가되도록 한다.

그림 1은 본 논문에서 제안하는 CDAC의 위상1과 위상2를 위한 스위치 커패시터 회로구성을 나타낸다. 이때, V_{os} 는 OP앰프 입력 오프셋 전압 및 ϵ 는 커패시터 부정합의 정도를 나타낸다. 피드백 커패시터(2C)의 값은 샘플링 커패시터(C)의 두 배이며 각 위상의 회로는 입력데이터의 값에 무관하게 동일하다. 최종 출력을 생

성하기 위해 CDAC가 8사이클이 필요하다고 할 경우 i 번째 사이클의 CDAC의 출력은 다음과 같이 나타낸다.

$$V_o(i) = V_{REF} \cdot \left[\frac{b_{i-1}}{2} + \sum_{k=0}^{i-2} \frac{b_k}{2^{i-k}} \right] \quad (i \geq 2) \quad (1)$$

여기서 V_{REF} 는 기준전압이고 b 는 1또는 0을 갖는 디지털 입력비트이다. 식(1)에 나타낸 바와 같이 CDAC의 출력은 입력되는 비트(첫째 항)와 나머지(두 번째 항)로 구성된다. 식(1)은 입력되는 데이터와 나머지가 V_{REF} 에 의해 스케일링되기 전에 그 값이 절반으로 감소되는 CDAC의 동작을 나타낸다.

각 위상마다 $V_{os} = 0$ 및 $\epsilon = 0$ 인 경우, 커패시터(C) 및 (2C)의 전하 방정식을 다음과 같이 구할 수 있다. 위상1일 경우 입력되는 비트는 커패시터(C)에서 샘플링되고 나머지는 커패시터(2C)에 저장된다. 입력되는 비트와 나머지는 식(1)의 첫째항과 둘째항에 각각 대응한다. 위상2에서 커패시터(2C)에 저장된 나머지는 커패시터(C)에 전달되는데 그 값은 커패시터 비율(2:1)에 의해 절반으로 된다. 결과적으로 다음단계 위상1에서 나머지의 절반이 입력되는 비트와 함께 커패시터(C)에 저장되고 이것이 커패시터(2C)에 저장된 나머지 값에서 빼게 된다. 이로 인해 나머지 값이 1/2로 될 것이다. 또한 각 위상마다 CDAC의 출력이 커패시터의 비율(2:1)로 인해 계속 1/2로 작아질 것이며 결과적으로 식(1)과 같게 된다.

각 위상에서 동작내용을 살펴보면, 위상1의 초기에는 커패시터(C)와 커패시터(2C)에 i 번째 사이클에서의 충전되는 전하량은 그림1에 나타낸 바와 같이 일정량이 커패시터(2C)에 저장되고 그 전하의 1/2이 커패시터(C)에 저장되는데 그것은 그전의 단계의 위상2에서의 전하량과 같다. 또한, 위상1의 끝부분에서 i 번째 사이클에서의 커패시터의 전하량은 입력비트에 대응하는 전하량이 커패시터(C)에 저장되고 같은 양이 커패시터(2C)에 복사된다. 또한 커패시터(C)에 저장된 전하량은 커패시터(2C)에 전달되고 그 전단계의 커패시터(2C)에 있던 전하량에서 빼게 된다.

위상1의 끝부분에서 커패시터(2C)에 축적된 전하량은 위상2에서도 그대로 남아 있다. 커패시터(C)에 유도된 전하는 커패시터(2C)에 축적된 나머지 전하에 의해 발생된 CDAC의 출력전압의 샘플링에 의해 얻어진다. 그러나 커패시터(C)에 축적된 전하는 커패시터 비에 의해 절반으로 될 것이다.

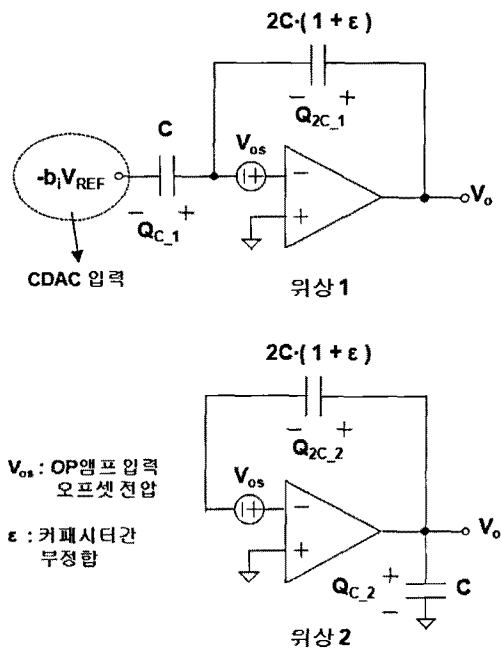


그림 1. 본 제안의 cyclic DAC의 회로구성
 Fig. 1. Configuration of the proposed cyclic DAC.

본 제안의 CDAC의 출력은 위상1 기간에 입력비트가 반영되고 나머지전하의 공제가 완료되면 커패시터(2C)에 축적된 나머지 전하는 변하지 않기 때문에 위상1과 위상2에 대해서 같게 된다. 따라서 i 번째 사이클에서의 CDAC의 출력은 다음과 같다.

$$V_o(i) = \frac{Q'_{2C-2}(i)}{2C} \quad (2)$$

여기서 $V_o(i)$ 는 식(1)로 유도된다. 반복되는 위상1과 위상2의 8사이클 후의 8비트 CDAC의 최종출력은 다음과 같다.

$$V_o = V_{REF} \cdot \sum_{i=0}^{N-1} \frac{b_i}{2^{N-i}} \quad (3)$$

여기서 $N=8$, b_i 는 i 번째 입력비트이다.

III. OP앰프 입력 오프셋 전압

스위치 커패시터 회로를 이용한 CDAC의 경우 OP앰프 입력 오프셋 전압이 CDAC의 성능 저하를 초래할 수 있으므로 OP앰프의 오프셋 전압이 CDAC의 동작에 미치는 영향을 분석해야 한다. 그림1에서 $V_{os} \neq 0$ 및 $\epsilon = 0$ 인 경우 OP앰프 입력 오프셋 전압의 영향을 보기 위하여 CDAC의 입력이 0 이면 첫 번째 사이클 위상1에서 커패시터 (C) 및 커패시터 (2C)에 저장된 전하는 다음과 같다.

$$Q_{C-1} = C \cdot V_{os} \quad (4a)$$

$$Q_{2C-1}(i) = 2C \cdot (V_o - V_{os}) \quad (4b)$$

이때, 커패시터 (C)와 커패시터 (2C)의 전하량은 동일해야 하므로 다음과 같은 관계가 성립한다.

$$Q_{2C-1} = Q_{C-1} \quad (5)$$

위의 식을 정리하면 위상1에서 CDAC의 출력전압 $V_o = (3/2) \cdot V_{os}$, 즉 $V_{os} + 0.5 \cdot V_{os}$ 가 된다.다음, 위상2에서 커패시터 (2C)의 전하와 CDAC의 출력 전압은 위상1과 동일하므로, 첫 번째 사이클 위상2에서 커패시터 (C)의 전하는 다음과 같다.

$$Q_{C-2} = (3/2) \cdot C \cdot V_{os} \quad (6)$$

이 상태에서 두 번째 사이클 위상1로 가면 커패시터 (C)의 초기전하 $(3/2) \cdot C \cdot V_{os}$ 는 최종적으로 $C \cdot V_{os}$ 가 되고 이때, 커패시터 (2C)의 전하는 기존의 $C \cdot V_{os}$ 에서 커패시터 (C)의 초기 및 최종전하 차인 $(1/2) \cdot C \cdot V_{os}$ 만큼 감소한다. 즉, 두 번째 사이클 위상1에서 커패시터 (2C)의 전하는 다음과 같이 나타낼 수 있다.

$$2C \cdot (V_o - V_{os}) = (C/2) \cdot V_{os} \quad (7)$$

다시 위의 식을 정리하면 두 번째 사이클에서 CDAC의 출력전압 $V_o = V_{os} + (1/4) \cdot V_{os}$ 가 된다. 이 과정을 반복하면 N 번째 사이클에서 CDAC의 출력 전압은 다음과 같이 된다.

$$V_o = V_{os} + (V_{os} / 2^N) \quad (8)$$

즉, 이 경우 $N = 8$ 정도면 위의 식(8)의 두 번째 항은 0으로 접근하여 $V_o \approx V_{os}$ 가 된다. 따라서, OP앰프 입력 오프셋 전압이 CDAC의 출력에서 증폭되지 않고 그대로 유지됨을 알 수 있다.

IV. 커패시터 간 부정합

커패시터 간 부정합 (Capacitor Mismatch)은 OP앰프 입력 오프셋 전압과 더불어 스위치 커패시터 회로의 성능을 저하시키는 주요 요인이다. 따라서 커패시터 간 부정합이 CDAC의 성능에 미치는 영향을 정량적으로 분석하여 회로 설계시 커패시터의 최소 크기를 정하는 지표로 삼아야 한다. 그림2는 커패시터 간 부정합을 고려한 CDAC의 회로 구성을 나타낸 것이다. 여기에서, ϵ 는 부정합의 정도를 표시한 것이다.

커패시터 간 부정합이 CDAC의 성능에 미치는 영향을 분석하기 위하여 그림 1의 회로 구성에서 CDAC의 출력 전압을 입력이 $-V_{REF} \cdot b_1$ 이고 $V_{os} = 0$ 및 $\epsilon \neq 0$ 인 상태에서 다음과 같이 구하였다. 먼저, 첫 번째 사이클 위상1에서 커패시터 (C)에 저장된 전하 $Q_{C-1} = C \cdot V_{REF} \cdot b_0$ 이고 이 전하와 동일한 전하가 커패시터 (2C)에 저장 되므로, CDAC의 출력 전압은 다음과 같다.

$$V_o = (V_{REF} \cdot b_0) / [2(1+\epsilon)] \quad (9)$$

또한, 첫 번째 사이클 위상2에서 CDAC의 출력 전압 및 커패시터 (2C)의 전하는 위상1과 동일하므로, 커패시터 (C)의 전하는 다음과 같이 주어진다.

$$Q_{C_2} = (C \cdot V_{REF} \cdot b_0) / [2(1+\epsilon)] \quad (10)$$

다음, 두 번째 싸이클 위상1에서 CDAC에 새로운 값인 $-V_{REF} \cdot b_1$ 이 입력되므로, 이 경우 커패시터 (C)의 전하는 초기치인 식(10)에서 최종적으로 $C \cdot V_{REF} \cdot b_1$ 이 되고, 이와 동일한 양의 전하가 커패시터 (2C)에 복사된다. 한편, 두 번째 싸이클의 시작 시점에서 커패시터 (2C)에 저장되어 있던 초기전하 $C \cdot V_{REF} \cdot b_0$ 에서 커패시터 (C)의 초기치가 차감되어, 위상1에서 커패시터 (2C)의 최종 전하는 다음과 같이 된다.

$$Q_{2C_1} = [C \cdot (1+2\epsilon) \cdot V_{REF} \cdot b_0] / [2(1+\epsilon)] + C \cdot V_{REF} \cdot b_1 \quad (11)$$

따라서 두 번째 사이클에서 CDAC의 출력 전압은 다음과 같이 쓸 수 있다.

$$V_o = [(1+2\epsilon) \cdot V_{REF} \cdot b_0] / [4(1+\epsilon)^2] + (V_{REF} \cdot b_1) / [2(1+\epsilon)] \quad (12)$$

위와 같은 과정을 반복하면 N 번째 싸이클에서 CDAC의 출력 전압은 다음과 같이 주어진다.

$$V_o = V_{REF} \cdot \sum_{i=0}^{N-1} \frac{(1+2\epsilon)^{N-i-1}}{[2(1+\epsilon)]^{N-i}} \cdot b_i \quad (13)$$

위의 식은 $\epsilon = 0$ 이면 식(3)과 동일함을 알 수 있다.

V. Simulation 결과 및 토론

본 논문에서 제안한 CDAC의 전체회로 및 동작 타이밍도를 그림 2에 나타내었다. 스위치 커패시터 회로에 일반적으로 사용되는 2개 위상 non-overlapping 클록을 이용하여 위상1과 위상2의 회로를 구현하였다. 또한, R과 RB에 의해 제어되는 스위치는 새로운 데이터를 입력 받기 전 리셋용이다. CDAC의 기본동작은 8비트의 디지털 입력을 변환하기 위해 8개의 변환 사이클과 1개의 리셋 사이클로 구성되며, 최종출력은 8번째 사이클에서 래치 되고 9번째 사이클에서 외부로 출력된다.

커패시터(C)와 커패시터(2C)의 상단기판들은 항상 OP앰프의 입력합산 노드에 연결하여 기생효과를 감소시킨다. 그리고 CDAC의 스위치 커패시터 형태는 입력 데이터에 따라 바뀌지 않으므로 채널 전하 주입은 입력 값에 상관없이 일정하다. 이것이 CDAC의 INL특성을 감소시키는 불균일한 채널 전하주입에 의존하는 데이터

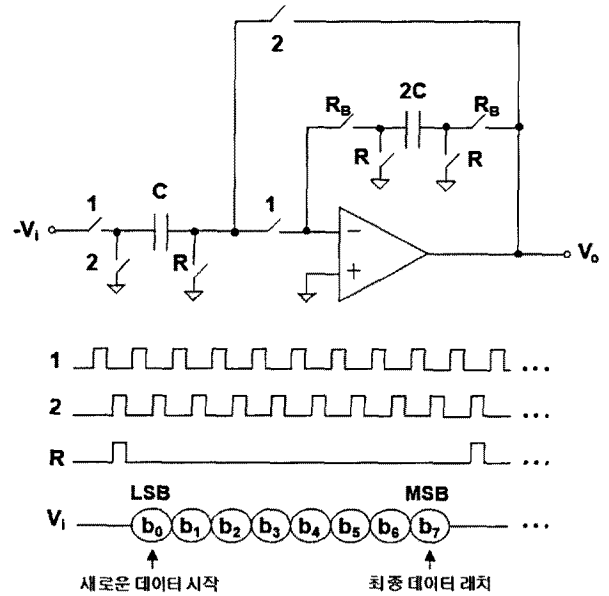


그림 2. CDAC의 전체회로 및 타이밍도
Fig. 2. Complete circuit and timing of the CDAC.

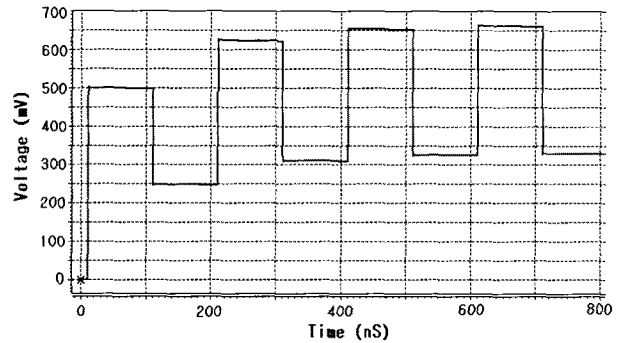


그림 3. 입력값이 01010101인 경우 CDAC의 출력파형
Fig. 3. CDAC output waveform to the input value of 01010101.

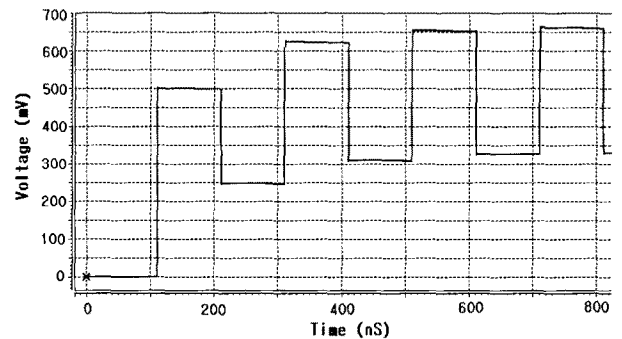


그림 4. 입력값이 10101010인 경우 CDAC의 출력파형
Fig. 4. CDAC output waveform to the input value of 10101010.

를 최소화시킨다.

CDAC의 회로레벨의 시뮬레이션은 hspice로 실행하였다. 그림 3은 디지털 입력 값이 01010101 일 때 출력

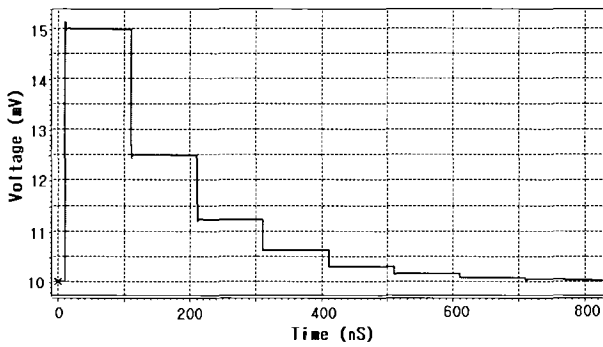


그림 5. OP앰프의 입력 오프셋 전압 =10mV이고 입력 값이 00000000일 경우 CDAC의 출력파형
 Fig. 5. CDAC output waveform with op-amp input offset = 10mV and input = 00000000.

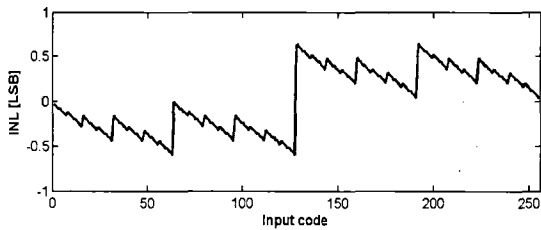


그림 6. 커패시터 간 부정합 $\epsilon = 0.5\%$ 인 경우 INL 특성
 Fig. 6. INL with capacitor mismatch $\epsilon = 0.5\%$.

파형을 보여준다. 매 클럭 사이클마다 출력이 변하는 것을 알 수 있으며 첫 번째 사이클에서 출력값은 500mV이며, 최종 출력 값은 332mV에 근접한다.

그림 4는 디지털 입력 값이 10101010 일 때 출력파형을 보여준다. 이 경우 최종 출력값은 664mV이다. 두 경우 모두 CDAC의 V_{1LSB} 값은 3.90625mV 이다.

그림 5는 OP앰프의 입력 오프셋 전압 $V_{os} = 10mV$ 일때 CDAC의 출력파형을 나타낸 것이다. 이 경우 오프셋의 효과를 확실히 보기위해 디지털 입력 비트는 전부 0일 경우로 선택한다. 그림5에서 나타낸바와 같이 8 사이클 뒤에는 CDAC의 최종 출력은 10mV인 원래의 오프셋 값에 근접하며, 이는 식(8)에 의해 설명될 수 있다. 한편, 첫 번째 사이클 출력값이 정확히 15mV가 안 되는 이유는 0이 아닌 스위치의 온 저항 (50Ω 정도) 과 무한대가 아닌 OP앰프 전압이득 (80dB 정도) 때문으로 사료된다. 결과적으로 OP앰프의 입력 오프셋전압은 CDAC의 출력에서 증폭되지 않음을 알 수 있다.

그림 6은 커패시터 간 부정합 $\epsilon = 0.5\%$ 인 경우 CDAC의 INL 특성을 나타낸 Simulation 결과이다. 이

때, 최대 INL이 0.6LSB 정도로 0.5%의 커패시터 부정합이면 CDAC의 성능을 크게 저하시키지 않을 것으로 예상된다. 현재 많이 사용되는 CMOS sub- μ 공정의 경우, 0.1%~1% 정도의 커패시터 간 부정합을 얻을 수 있다.

이상과 같이 다양한 디지털 입력 패턴을 이용한 본 제안의 CDAC의 성공적인 동작과 OP앰프의 입력 오프셋 전압 및 커패시터 간 부정합의 영향을 회로레벨 Simulation을 통해 검증하였다.

IV. 결 론

본 논문에서는 디스플레이의 데이터 구동부에 사용되는 디지털 아날로그 컨버터에 사용하기 위해 스위치 커패시터를 회로를 이용한 8비트 CDAC를 제안하고 특성을 검토하였다. 본 제안의 CDAC는 1개의 OP앰프와 2개의 커패시터로 간단한 스위치 클럭 구조를 사용하며 회로구성이 입력 데이터에 따라 변하지 않으므로 채널 전하 주입에 강건한 구조이다. 더욱이 OP앰프의 입력 오프셋 전압이 CDAC의 출력에서 증폭되지 않고 그대로 유지되며 0.5% 정도의 커패시터 간 부정합은 회로 성능을 크게 저하시키지 않는다. 결과적으로 본 제안의 CDAC는 저전력과 소면적 디스플레이의 데이터 구동부의 저전력화 및 소면적 설계를 위한 좋은 해결수단이 될 것이다.

참 고 문 헌

- [1] M. J. Bell, "An LCD column driver using a switch capacitor DAC," IEEE J. Solid-State Circuits, Vol.40, No. 12, pp. 851-856, December 2005.
- [2] C.-W. Lu and K. J. Hsu, "A high-speed low-power rail-to-rail column driver for AMLCD application," IEEE J. Solid-State Circuits, Vol.39, No. 8, pp. 1313-1320, August 2006.
- [3] P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," 2nd Edition, Oxford University Press, pp.626-630, 2002.
- [4] L. E. Boylston, K. Jr. Brown, R. Geiger, "Enhancing Performance in Interpolating Resistor String DACs," IEEE Circuits and Systems, Vol. 2, pp.541-544, August 2002.

- [5] Yoon-Kyung Choi, Zhong-Yuan Wu, Kyung Myun Kim, YongHun Lee, MinSoo Cho, HyoSun Kim, DongHun Lee and Won-Gab Jung, "A Compact Low-Power CDAC Architecture for Mobile TFT-LCD Driver ICs," ISSCC '08 Technical Digest, Vol. 1, pp. 176-177, February 2008.
- [6] H. N. Nguyen, Y. S. Jang, Y. S. Son, S. T. Ryu and S. G. Lee, "A Multi-bit/Cycle 12-bit Cyclic DAC for TFT-LCD column Drivers," IDW '08, pp. 263-266, December 2008.
- [7] Y.-M. Lee and K.-S. Lee, "A Compact Cyclic DAC Architecture for Mobile Display Drivers," IMID '09 Digest, pp. 1578-1581, October 2009.

 저 자 소 개



이 용 민(정회원)
 1986년 인하대학교 전자공학과
 학사 졸업.
 2005년 Univ. of Edinburgh
 전자공학과 석박사 졸업.
 2010년 현재 선문대학교 정보디스
 플레이학과 조교수.

<주관심분야 : 디스플레이, low power설계, 터치
 패널구동기술>



이 계 신(정회원)-교신저자
 1994년 고려대학교 전기공학과
 학사, 석사 졸업.
 2005년 UT-Dallas, EE Dept.
 박사 졸업.
 2010년 현재 미) Akron 주립대,
 ECE Dept. 조교수.

<주관심분야 : ADC/DAC 설계, SD 변조기,
 Switched-Capacitor 회로>