
주파수도약 대역확산시스템을 위한 디지털 위상고정루프의 설계 및 성능분석

김성철*

Design and Performance Analysis of the
Digital Phase-Locked Loop For Frequency Hopping Spread Spectrum system

Seong-Cheol Kim*

요 약

주파수 도약 대역확산시스템에서의 광대역 주파수 도약을 위해 주파수 합성기가 널리 이용된다. 이와 같은 주파수 도약 대역확산 송수신기에서의 도약 주파수를 발생시키는 주파수 합성기는 PLL에 의해 실현된다. 따라서 논문에서는 정교한 반송파 발생, 수신기에서의 반송파동기 등을 위해 널리 이용되는 디지털 위상고정루프를 설계하고 결과를 분석하였다. 디지털 위상비교기, 루프필터, DCO 등 디지털 위상고정루프를 구성하는 기본 요소를 소개하였다. 또한 구현된 각 구성요소에 대한 시뮬레이션 결과와 특성들에 대한 분석이 이루어 졌다. 기준입력신호와 DCO의 출력신호의 위상차에 의한 특성을 분석하였다. 루프가 고정일 때 루프필터의 N값이 이웃하는 값 사이에서 토글되는 현상을 나타내며 이는 출력신호에 위상 지터를 초래한다. 이는 DCO의 클럭인 f_c 를 증가시키므로 해결이 가능하다.

ABSTRACT

In this paper, Frequency Synthesizer which is widely used for FH-SS system is proposed and the experimental results are analyzed. The performance of the DPLL(Digital Phase-Locked-Loop), which is the main part of the Synthesizer is analyzed by the computer program. Using Maxplus-II tool provided by altera. co., ltd, each part of the DPLL is designed and all of them is integrated into EPM7064SLC44-10 chip. And the simulation results are compared with the characteristics of the implemented circuits for analysis. And the experiential results show that the N value of the loop filter is toggled to adjacent N value, which result in phase jitter of the output. It can be resolved by increasing DCO (Digital Controlled oscillator) clock rate.

키워드

WLAN, 블루투스, 코드 획득, 정합필터, 주파수안정시간, ISM

Key word

WLAN, Bluetooth, code acquisition, matched filter, frequency settling time, ISM

I. 서 론

최근 사회적 이슈로 대두되고 있는 2.4GHz 대역 무선 홈네트워크 시스템 기술은 유무선 상에서 정보를 빠른 시간내에 더 정확하게 얻기 위해 많은 연구와 표준화가 진행되고 있다. 여러 가지 무선 홈 네트워크 중 가장 활발한 성장을 거듭해온 기술은 WLAN(Wireless Local Area Network)과 Bluetooth로 불리는 근거리 무선통신으로 대표되는 WPAN(Wireless Personal Area Network)이다. WLAN과 WPAN은 동일한 비허가 ISM(Industrial, Scientific and Medical) 대역을 이용하여 다양한 서비스를 제공한다. 한편 ISM대역에서의 서비스는 저 전력과 소형의 장치가 요구된다.

이러한 요구는 데이터를 변조할 반송파를 한 주파수에서 다음 주파수로 임의로 도약하게 함으로서 신호를 넓은 스펙트럼을 차지하도록 해주는 주파수 도약 대역 확산 시스템이 수용될 수 있다[1],[2]. 주파수 도약 대역 확산 방식은 여러 주파수에 신호를 실어 보내며 각각의 도약 주파수는 협대역 시스템과 같다. 이러한 과정은 도약율에 따라 달라지는데 이때 이 도약율은 직접대역 확산 시스템의 칩 윌에 비해 상당히 낮다. 따라서, 전력 소모가 적게 되며 수신기에서의 동기과정도 직접 대역 확산 시스템에 비해 어렵지 않다. 이 같은 이유로 인해 주파수 도약 대역 확산 방식은 개인 휴대 통신 시스템과 같은 저 전력 시스템에 적절하다. 또한 블루투스 시스템기술에 적용되고 있다. 이와 같은 주파수 도약 대역 확산 송수신기에서의 도약 주파수를 발생시키는 주파수 합성기는 PLL에 의해 실현된다. 한편 정보통신의 발전과 더불어 최근의 디지털 기술의 급속한 발전과 집적회로에서 컴퓨터분야에 이르는 눈부신 성장을 이룩하게 되었다. 특히 반도체의 발달로 수만 개의 트랜지스터를 집적할 수 있는 IC(Integrated Circuit), 주문형 반도체(ASIC-Application Specific Integrated Circuit)등이 개발되어 그 수효는 날로 증가되고 있는 실정이다. 디지털 회로설계에 있어서 집적화를 위한 방법으로 VHDL을 이용한 설계가 점점 증가하는 추세로 이를 위한 다양한 소프트웨어들이 개발되고 사용되어지고 있다. 한편 모든 통신시스템에 있어서의 신호의 전송을 위한 반송파 발생을 위한 주파수합성기 또한 디지털화가 급속하게 진행되고 있다. 이러한 환경하에서 VHDL

을 이용한 디지털 위상고정루프의 설계기술을 습득할 필요가 있다. 이를 위해 II장에서는 주파수 합성기를 구성하는 Digital PLL의 기본원리를 설명하며 디지털 위상비교기, 비교기의 출력신호를 여파해 주는 디지털 루프필터와 주파수합성기에 있어서 원하는 주파수 신호를 발생시켜주는 디지털 전압제어발진기 등에 대한 종류 및 원리에 대해 설명하며 이를 토대로 디지털 위상고정루프를 구현하였으며 III장에서는 설계된 회로에 대한 시뮬레이션결과를 고찰하였으며 IV장에서는 결론을 맺었다.

II. 디지털 위상고정루프의 설계

2.1. 디지털 위상고정루프의 구성요소 가. Digital PLL의 기본원리

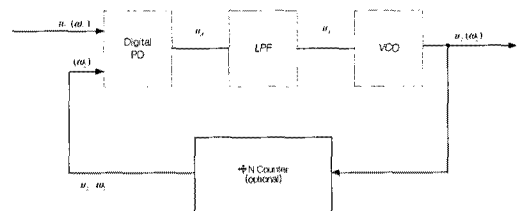


그림 1. Digital PLL의 블록도
Fig.1 Block diagram of Digital PLL

DPLL은 그림 1에서 보는 바와 같이 위상검출기, 루프필터, 전압제어발진기로 구성된다. 기본적인 동작은 기준 입력 신호와 전압제어 발진기(Voltage Controlled Oscillator: VCO)에 의해 발생하는 신호가 위상 검출기(Phase Detector: PD)에 인가되면 위상 검출기에 의해 두 신호의 위상차를 발생하게 되면 이 위상차는 다시 루프필터(LF)에 의해 여파되어 위상차에 비례하는 전압이 전압제어발진기의 입력에 인가된다. 이 제어전압에 의해 두 신호의 위상차를 감소시키는 방향으로 전압제어 발진기의 주파수가 같게 된다[1],[2].

나. 위상검출기

Digital PLL에서 널리 사용되는 위상검출기 종류는 그림 2와 같다.

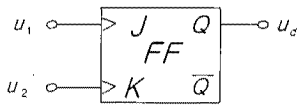


그림 2. DPLL에서 사용된 위상검출기
Fig2. Phase Detector used in DPLL

JK-플립플롭 위상검출기의 입출력파형은 그림 3과 같다.

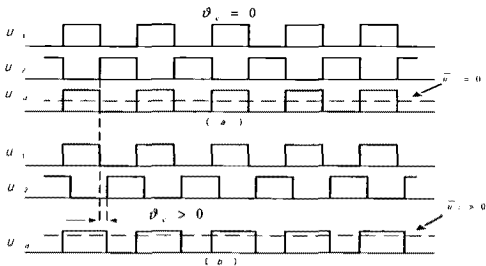


그림 3. JK-플립플롭 위상검출기의 입출력신호의 파형
Fig. 3 In-Output waveform of JK flip flop Phase Detector

J의 입력이 상승 에지 일 때 Q=1, K의 입력에 상승 에지 일 때 Q=0 이다. 그림 3a에 보이는 JK-플립플롭 위상 검출기 파형의 경우 위상오차 θ_e 는 0이다. 위상 오차가 없을 때 u_1, u_2 는 반대의 위상을 가진다. 만약 위상 오차가 상승된다면 u_d 의 듀티 사이클은 50%보다 커지고 $\overline{u_d}$ 또한 상승한다. 위상 오차 θ_e 에 대한 u_d 의 평균은 그림 4에 보여지며 톱날파의 특성을 가진다.

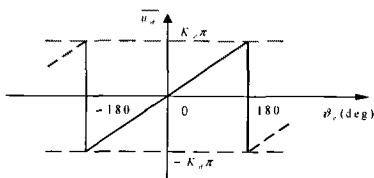


그림 4. 출력신호 u_d 의 평균 대 위상 오차 θ_e
Fig. 4 mean of output u_d to Phase error θ_e

그림의 결과를 보면 알 수 있듯이 $\overline{u_d}$ 의 최대 위상 오차 범위는 180° , 최소 위상 오차 범위는 -180° 이다.

다. 디지털 루프 필터

다양한 형태의 위상검출기를 적용하기 위해서는 출력형태에 맞는 루프 필터의 선택이 중요하다[3]. 가장 간단한 형태의 디지털 루프 필터는 그림 5에 나타낸 것과 같이 UP/DOWN 카운터를 이용하여 구성할 수 있다. 이 UP/DOWN 카운터 루프 필터는 PFD와 같이 UP신호나 DN 펄스를 출력하는 위상검출기와 함께 동작하는 것이 바람직하다. 또한 EXOR나 JK-플립플롭 위상 검출기 등과 같은 회로에도 쉽게 응용된다. 그림 5(a)에 나타나는 것과 같이, 입력되는 UP 과 DOWN 펄스를 계수 클럭과 direction (DN/UP) 신호로 변환하는 펄스-형성 네트워크 회로가 첫 번째로 필요하다. 그림 5(b)는 이 루프 필터의 파형이다. PD에 의해 발생하는 UP펄스에 의해 UP/DOWN 카운터의 값 N은 1씩 증가한다. 같은 방법으로 DOWN 펄스는 N을 감소할 것이다. 루프 필터의 출력 u_f 는 n-비트 병렬 출력 신호에 의해 표현된다. 각각 +1, -1의 가중치를 갖는 UP와 DN 펄스의 합에 해당하는 것이 N값이며, 결국 이 필터의 전달함수는 $H(s) = 1/sT_i$ 를 갖는 적분기로 고려될 수 있으며 T_i 는 적분기의 시정수이다. 이때 N 값은 단지 u_2 가 u_1 의 위상보다 이 앞서거나 또는 뒤쳐지는 것을 나타낸다.

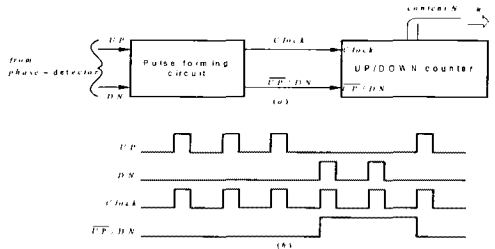


그림 5. UP/DOWN 카운터 디지털 루프 필터
Fig. 5 UP/Down counter digital loop filter

라. 전압제어발진기(DCO:Digital-Controlled Oscillators)

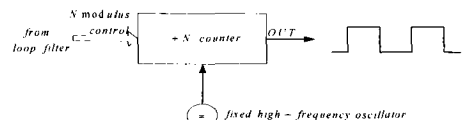


그림 6. +N 카운터 DCO의 블록도
Fig. 6 Block diagram of +N counter DCO

DCO는 하드웨어나 소프트웨어로 설계가 가능하다. 가장 간단한 구성은 N 카운터 DCO이며 그림 6과 같다. N 카운터는 고정된 주파수로 동작하는 고주파 발생기에 의해 발생된 신호의 비례 축소를 위해 사용된다. 디지털 루프 필터의 병렬 N-비트 출력신호는 N 카운터의 비례 요소 N을 제어하는데 사용된다[4],[5].

2.2 주파수 합성기 설계

그림 7은 본 논문에서 제안한 위상고정루프의 블록도를 나타낸다. 기준 입력신호로부터 루프필터에 입력되는 신호를 생성하기 위해 펄스 성형 회로를 이용하였으며 루프필터는 II장에서 살펴본 UP/DOWN 카운터 루프필터를 사용하였으며 전압제어발진기는 가변 N계수기와 고정 M 계수기를 이용하여 고주파 발생기로부터 들어오는 신호를 가변 분주하여 발생주파수를 조절하였다. 이와 같은 위상제어루프가 lock 되었을 때의 주파수는 아래 식 (1)과 같은 조건을 만족하게 된다.

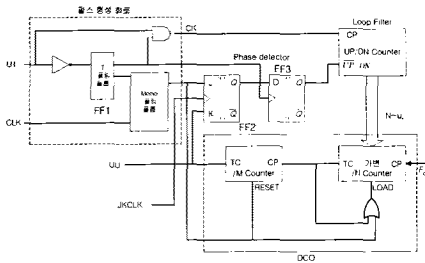


그림 7. 제안된 주파수합성기의 블록도
Fig. 7 Block diagram of proposed frequency synthesizer

$$f_c = NMf_1 \tag{1}$$

여기서 f_1 은 입력신호 u_1 의 주파수이다.

III. 시스템의 시뮬레이션 결과

3.1. 펄스 형성회로

기준 입력 신호를 입력받아 2분주한 후 up/dn 계수기 루프필터의 클럭 신호와 Mono플립플롭을 이용하여 전압제어발진기(DCO)를 초기화시키는 신호 및 위상비교기로의 입력신호(start)를 발생시키는 회로로서 그림 8과

같은 시뮬레이션 결과를 보여준다. 이때 start 신호의 주기는 f_c 신호의 주기보다 작아야 한다.

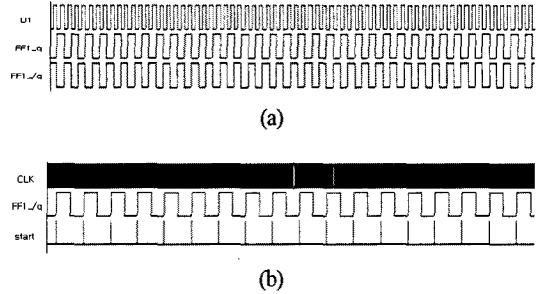


그림 8.펄스 형성회로의 입출력 파형
(a) T플립플롭의 입출력 파형
(b) Mono 플롭의 입출력 파형

Fig. 8 In-output waveform of pulse shaping circuit
(a) in-output waveform of T-FF
(b)in-output waveform of Monoflop

3.2. 위상비교기(Phase detector)

입력기준신호와 전압제어발진기의 출력신호의 위상을 비교하는 회로로서 JK 플립플롭과 D플립플롭에 의해 구성된다. 이 회로의 동작을 설명하면 다음과 같다.

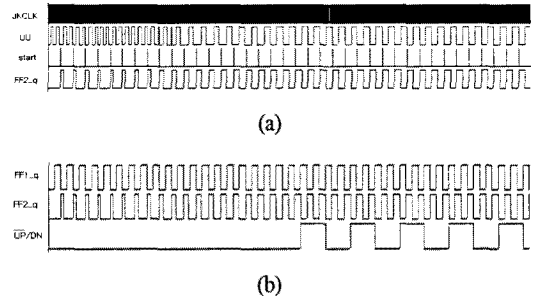


그림 9. 위상비교기 입출력 신호의 파형
(a) JK 플립플롭(FF2)의 입출력 파형
(b) D 플립플롭(FF3)의 입출력 파형

Fig. 9 In-output waveform of Phase Comparator
(a)In-output waveform of JK FF(FF2)
(b)In-output waveform of D FF(F3)

즉 기준입력신호 u_1 에 비해 DCO의 출력신호가 빠를 경우에 N값이 작기 때문에 start 펄스에 의해 초기에 '1'의 상태에 있는 플립플롭2(FF2)의 출력신호(FF2_q)는 플립플롭1(FF1)의 출력신호(FF1_q) 신호의 상승 에지

이전에 M계수기의 출력신호(uu)에 의해 리셋('0')의 상태가 되어 다음 플립플롭1(FF1)의 출력신호(FF1_q) 신호의 상승 에지에 의해 D 플립플롭(FF3)의 출력신호 ($\overline{UP/DN}$)는 '0'의 상태가 되며 이 신호는 UP/DN 계수기 루프필터의 값을 '1'만큼 증가시키게 되며 플립플롭 1(FF1)의 출력신호(FF1_q) 신호와 M 계수기의 출력신호 (uu)가 같아 질 때까지 이와 같은 동작을 반복하게 된다. 그림 9는 이와 같은 동작에 대한 시뮬레이션 결과를 보여 주고 있다.

3.3. 루프 필터

본 논문에서 설계된 루프필터는 UP/DN 계수기로서 시뮬레이션 결과는 그림 10과 같다.



그림 10. 루프필터의 입출력 파형
Fig. 10 In-output waveform of Loop filter

시뮬레이션 결과를 보면 알 수 있듯이 루프필터의 초기 값은 10이며 위상 비교기의 출력신호인 $\overline{UP/DN}$ 신호에 의해 상하향 계수를 하면서 위상 차를 줄여주는 역할을 한다.

3.4. 전압제어발진기(DCO)

앞서도 언급하였듯이 전압제어발진기는 가변 N계수기와 고정 M 계수기를 이용하여 고주파 발생기로부터 들어오는 신호를 가변 분주하여 발생주파수를 조절하였다.

가변 N계수기는 하향 계수기이며 시뮬레이션 결과는 그림 16과 같다. 이 계수기는 start 신호와 Load 신호 (TC_N)에 의해 초기 값이 부여되며 Fc 클럭을 계수하여 '0'이 되면 출력(TC_N)이 발생하며 이 신호에 의해 다시 N 값이 부여가 된다.

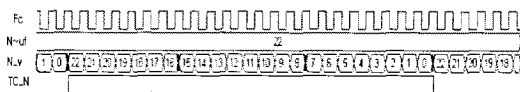


그림 11. DCO의 N 계수기의 입출력 파형
Fig. 11 In-output waveform of N counter



그림 12. DCO의 M 계수기의 입출력 파형
Fig. 12 In-output waveform of M counter

고정 M계수기는 상향 계수기이며 start 신호에 의해 초기 값 '0'을 가지며 계수가 끝나면 다시 '0'의 값을 갖게 된다. 시뮬레이션 결과는 그림 12와 같다.

3.5. 전체 시스템의 시뮬레이션 결과

지금 까지 살펴본 주파수 합성기를 구성하는 각 부분의 결과를 종합하여 전체 주파수 합성기의 시뮬레이션 결과를 그림 13에 나타내었다.

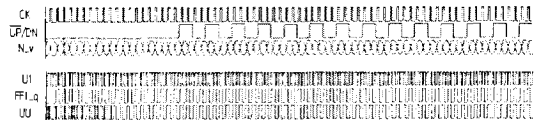


그림 13. 전체 회로의 동작을 위한 각부의 파형
Fig 13. waveform of Each part of the circuit

결과를 보면 먼저 기준입력신호(UI)의 2분주된 신호(FF1_q)와 DCO의 출력신호(UU)가 위상비교기에서 비교되며 DCO의 출력신호의 주파수 및 위상이 2분주된 신호와 같아질 때까지 위상비교기의 출력신호 ($\overline{UP/DN}$)에 의해 루프필터가 제어되어 두 신호의 위상이 고정되어 감을 알 수 있다. 이 결과를 위상이 고정되어 가는 과정과 위상동기를 유지하는 과정으로 나누어 자세히 살펴보면 각각 그림 14와 15와 같다.

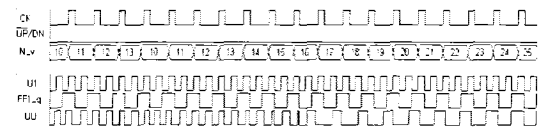


그림 14. 기준신호와 DCO출력신호의 위상이 고정되어 가는 과정의 파형

Fig. 14 Phase state of the Reference signal and DCO output signal which is tracking lock state

그림 14의 시뮬레이션결과를 보면 알 수 있듯이 기준 입력신호(UI)의 2분주된 신호(FF1_q)와 DCO의 출력신호(UU)의 위상이 같아지도록 하기 위해 $\overline{UP/DN}$ 신호에 의해 루프필터의 값이 조절이 되어 DCO의 가변 N 계

수기의 값을 조절하게 된다.

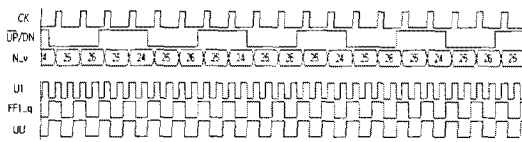


그림 15. 기준신호와 DCO 출력신호의 위상 동기유지 과정의 파형

Fig. 15 Phase state of the Reference signal and DCO output signal in lock state

기준입력신호(U1)의 2분주된 신호(FFL_g)와 DCO의 출력신호(UU)의 위상이 고정되고 동기가 유지되는 과정의 결과는 그림 15의 결과를 보면 알 수 있다. 결과를 보면 알 수 있듯이 동기가 유지되는 동안에 루프필터의 N값이 이웃하는 값 사이에서 토글 되는 것을 볼 수 있다. 이와 같은 결과는 출력에서의 위상 지터로서 나타나게 된다. 이와 같은 위상지터는 DCO 입력 고주파 신호(Fc)의 주파수를 크게 하면 개선될 수 있다.

IV. 결론

주파수 도약 대역확산시스템에서의 광대역 주파수 도약을 위해 주파수 합성기가 널리 이용된다. 이와 같은 주파수 도약 대역확산 송수신기에서의 도약 주파수를 발생시키는 주파수 합성기는 PLL에 의해 실현된다. 따라서 논문에서는 정교한 반송파 발생, 수신기에서의 반송파동기 등을 위해 널리 이용되는 디지털 위상고정루프를 VHDL을 이용하여 설계하고 시뮬레이션 결과를 고찰하였다. 먼저 주파수 합성기를 구성하는 Digital PLL의 기본 원리를 살펴보았으며 디지털 위상비교기, 비교기의 출력 신호를 여파해 주는 디지털 루프필터와 주파수합성기에 있어서 원하는 주파수 신호를 발생시켜주는 디지털 전압제어발진기 등에 대한 종류 및 원리에 대해 알아보았으며 이를 토대로 디지털 주파수 합성기를 구현하였다. 모든 구성요소는 디지털회로에 의해 구현될 수 있기 때문에 하드웨어 설계 언어인 Verilog 언어를 사용하여 설계하였다. 구현된 디지털 주파수 합성기의 입력 고주파 신호에 따른 각 구성 요소별로 동작 특성의 시뮬레이션 결과를 고찰하였으며 기준 신호와 DCO의 출력 신호의 위상차에 따른 동작의 특성을 살펴

보았으며 위상고정루프의 위상이 고정되어 가는 과정의 신호의 특성들을 살펴보았다. 동기가 유지되는 동안에 루프필터의 N값이 이웃하는 값 사이에서 토글 되는 것을 볼 수 있다. 이와 같은 결과는 출력에서의 위상 지터로서 나타나게 된다. 이와 같은 위상지터는 DCO 입력 고주파 신호(Fc)의 주파수를 크게 하면 개선될 수 있다. 앞으로 더 고려되어야 할 내용은 광대역 다 채널 신호의 발생을 위해서 주파수 합성기의 가변 주파수 폭을 넓힐 수 있는 방법과 디지털 통신시스템에서의 디지털 위상 고정루프를 적용하여 시스템을 설계하는 방법 등을 고려하여야 할 것이다.

참고문헌

- [1] Gardner, Floyd M: Phase-lock Techniques, 2d ed., John Wiley and Sons, New York, 1979.
- [2] A. Blanchard, Phase-Locked Loops Application to Coherent Receiver Design. New York: Wiley, 1976.
- [3] P. H. Saul and D. G. Taylor, "A high-speed direct frequency synthesizer," IEEE J. Solid-State Circuits, vol.25, no. 1, pp.215-219, 1990.
- [4] C. J. Byrne, "Properties and design of the phase-controlled oscillator with a sawtooth comparator," Bell Syst. tech. J., Mar. 1962.
- [5] Lindsey, William C, Chak Ming, Chie, "A Survey of Digital Phase-Locked Loops", Proc. IEEE, vol. 69, April 1981

저자소개



김성철(Seong-cheol Kim)

1987년 고려대학교 전자공학과 학사
 1989년 고려대학교 전자공학과 석사
 1989년~1994년: 삼성전자(주) 근무
 1997년 고려대학교 전자공학과 박사

1997년~현재: 우송대학교 방송통신시스템학과 부교수

※관심분야: CDMA 이동통신, 통신이론, 차세대 광대역 이동 멀티미디어 시스템