Regular Paper
J. KIEEME
Vol. 23, No. 9, pp. 671-675, September 2010
DOI: 10.4313/JKEM.2010.23.9.671

GaN Power SIT의 설계변수에 따른 전기적 특성변화에 관한 연구

오주현[1], 양성민[1], 정은식[1], 성만영[1,a]
[1] 고려대학교 전기공학과

A Study on the Electrical Characteristics with Design Parameters in GaN Power Static Induction Transistor

Juhyun Oh[1], Sung Min Yang[1], Eunsik Jung[1], and Man Young Sung[1,a]
[1] School of Electrical Engineering, Korea University, Seoul 136-713, Korea

(Received July 21, 2010; Revised August 18, 2010; Accepted August 23, 2010)

Abstract: Gallium nitride (GaN), wide bandgap semiconductor, has attracted much attention because they are projected to have much better performance than silicon. In this paper, effects of design parameters change of GaN power static induction transistor (SIT) on the electrical characteristics (breakdown voltage, on resistance) were analyzed by computer simulation. According to the analyzed results, the optimization was performed to get power GaN SIT that has 600 V class breakdown voltage. As a result, we could get optimized 600 V class power GaN SIT that has higher breakdown voltage and lower On resistance with a thin (a several micro-meters) thickness of the channel layer.

Keywords: Wide bandgap, GaN power device, Breakdown voltage

1. 서 론

오늘날, 전기자동차 및 전력계통형 인버터에서 전력반도체 수요가 급증함에 따라 높은 내압을 유지하면서도 안정성 있는 전력반도체가 필수적으로 요구되고 있다 [1]. 따라서 전력반도체의 전기적 특성을 향상시키고자 하는 연구가 진행되어 왔고 특히, 실리콘 기반의 power MOS, insulated gate bipolar transistor (IGBT)등의 소자는 현재 다양한 분야에서 사용되고 있다. 그러나 실리콘의 물성적인 한계로 인해 전기적 특성향상 또한 한계에 달해가고 있다 [2]. Wide bandgap 물질기반 전력반도체는 실리콘보다 훨씬 얇은 두께로도 같은 항복전압특성을 가질 수 있어 차세대 전력반도체로서 주목받고 있다. 그 중 SiC 전력반도체는 연구가 활발히 되고 있으나 GaN 물질을 이용한 전력반도체는 아직 많은 연구가 되지 않은 상태이다.

a. Corresponding author; semicad@korea.ac.kr

실리콘의 경우 실리콘옥사이드라는 양질의 절연막이 쉽게 형성되지만 GaN의 경우에는 절연막을 형성시키는 것이 쉽지 않다. 그러나 절연막 없이 쇼트키 정션 게이트를 이용해서 소자를 온-오프할 수 있으면서도 높은 항복전압을 갖는 static induction transistor (SIT) 구조를 사용함으로써 GaN 전력반도체를 구현할 수 있다.

본 논문에서는 600 V급 GaN SIT의 모든 설계변수의 변화에 따른 항복전압, 온저항의 변화를 소자 구조 시뮬레이터인 ATLAS를 이용하여 분석하고, 분석결과에 따라 설계 최적화를 수행하였다.

2. 실험 방법

2.1 SIT의 구조 및 동작원리

SIT소자의 전기적 특성을 분석하기 위해 사용한 구조와 설계 파라미터는 그림 1과 같다. SIT소자는

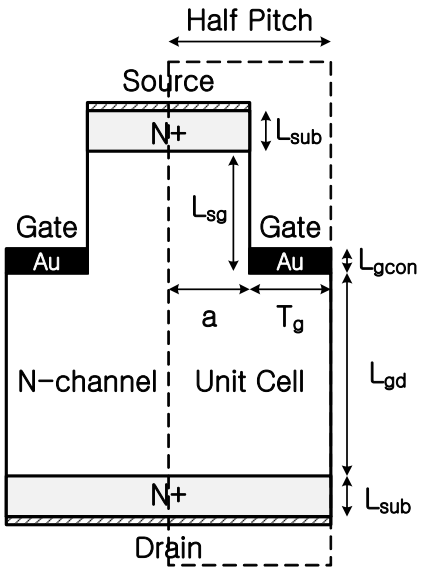

Fig. 1. SIT structure and design parameters.

MESFET또는 JFET구조처럼 게이트전압이 0 V일 때 (그림 2의 (a))는 채널로 전류가 흐르고, 채널을 모두 핀치오프 (pinch off)시킬 만큼 게이트에 V_{th}이하의 역방향 전압을 걸었을 때는 그림 2의 (b)에서 나타내었듯이 $q\Phi_B$ 만큼의 에너지 장벽을 생성함으로써 전자의 이동을 막아 전류가 흐르지 않는다. 이렇게 게이트를 이용해서 전류를 제어하기 위해서는 게이트 전극이 n형 GaN와 쇼트키컨택을 이루어야 한다. 그러나 Al은 n형 GaN물질과 오믹컨택을 형성하기 때문에 일함수값이 커서 n형 GaN와 쇼트키컨택을 이루는 금속인 Au를 사용하였다 [3]. SIT구조에서 가장 중요한 파라미터는 게이트 간격(2a)과 채널영역의 도핑농도 (N_{ch})이다 [4]. 이 두 가지 파라미터는 온-상태의 채널너비와 오프-상태의 에너지장벽의 높이를 결정한다. 따라서 최적의 SIT구조를 설계하기 위해서 온-상태에서는 채널너비가 넓어 온 저항이 작으면서도 오프-상태에서는 고압의 역방향 전압을 견딜 수 있도록 설계되어야 한다.

2.2 실험 방법

각 설계 파라미터가 항복전압과, 온 저항에 미치는 영향을 분석하기위해서 표 1에 나타낸 파라미터 값에서 다른 파라미터는 고정시킨 상태에서 한 번에 한 가지 변수만 변화시켜가며 그 경향성을 분석하였다. 파라미터 기본 값은 기존의 논문에서 인용되었다 [5].

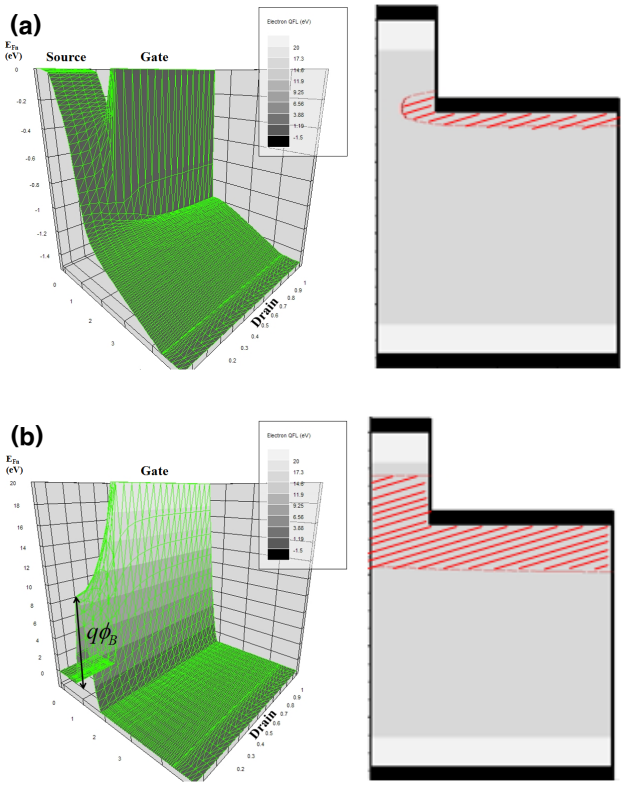

Fig. 2. Electron 3D-Fermi level of SIT structure (left) and depletion layer distribution (right) of (a) on-state and (b) off-state.

Table 1. Parameter values employed in the simulations.

Parameter	Value	Parameter	Value
N_{ch}	$1\times10^{17}/cm^3$	L_{gd}	2.6 ㎛
a	0.25 ㎛	Half pitch	5.25 ㎛
T_g	5 ㎛	L_{sub}	0.4 ㎛
L_{sg}	0.9 ㎛	N_{sub}	$1\times10^{18}/cm^3$
L_{gcon}	0.4 ㎛		

그림 3은 그림 1에 표시된 각 파라미터의 변화와 항복전압, 온 저항간의 경향성을 나타낸다. 항복전압은 게이트에 -20 V의 전압을 가하여 채널을 핀치오프시킨 상태에서 전류가 흐르기 전까지 드레인 전압을 상승시켜 측정하였으며, 온 저항은 게이트 전압이 0.35 V일 때의 온 저항을 측정하여 비교 하였다.

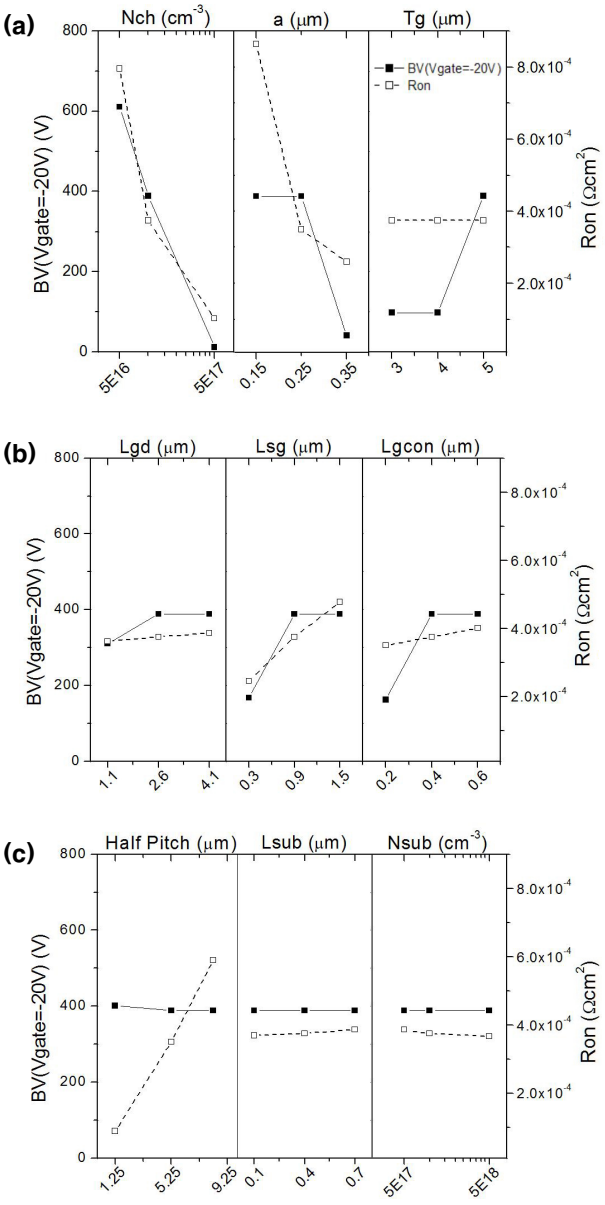

Fig. 3. Effects of design parameters change on the electrical characteristics. (a) N_{ch}(channel doping concentration), a, T_g (b) L_{gd}, L_{sg}, L_{gcon} (c) half pitch, L_{sub}, N_{sub}(drain and source doping concentration)

3. 결과 및 고찰

3.1 항복전압에 영향을 주는 파라미터

그림 1에서 나타낸 파라미터 중 항복전압 면에서 중요변수로 예상되었던 게이트 간격(a)과 채널영역 도핑농도(N_{ch})이외에도 핀치오프 영역을 결정하는 L_{sg}, L_{gcon}, L_{gd} 게이트 폭인 T_g가 영향을 주었다.

MESFET구조를 갖는 게이트의 수평방향 공핍층 폭은 다음 식과 같다 [4].

$$W_D = \sqrt{\frac{2\epsilon_0\epsilon_{GaN}[\Phi_{bi} + \Delta\Phi_i(y) - V_G]}{qN_{ch}}} \quad (1)$$

Φ_{bi}는 built-in potential, $\Delta\Phi_i(y)$는 게이트 부근 n-채널 영역의 source기준 퍼텐셜차이다. 따라서 N_{ch}가 작을수록 같은 퍼텐셜 조건하에 더 넓은 공핍층이 형성된다. 그림 3에서 N_{ch}가 5×10^{17}/㎤인 경우와 a가 0.35 um인 경우에 항복전압이 현저히 낮은 것은 게이트에 -20 V의 전압을 주어도 MESFET영역이 핀치오프 되지 않았기 때문이다. N_{ch}는 핀치오프 이외에도 L_{sg}, L_{gcon}, L_{gd}영역에서 수직방향의 전계 기울기에 영향을 주는데 이는 y방향으로의 Poisson 방정식을 통해서 확인할 수 있다 [4].

$$\frac{dE}{dy} = -\frac{d^2\Delta\Phi_i}{dy^2} = \frac{qN_D}{\epsilon_0\epsilon_{GaN}} \quad (2)$$

따라서 GaN물질에서 avalanche 항복이 일어날 때에 걸리는 전계를 E_c(GaN : 5×10^6 V/cm [6], Si: $2\sim6\times10^5$ V/cm [7])라고 할 때, N_{ch}가 작을수록 전계의 기울기가 작아 항복전압이 높아지게 된다. 실험결과에서도 N_{ch}가 낮을수록 항복전압이 상승했으며, a는 0.25 um 보다 작은 경우에는 더 이상 항복전압이 상승하지 않았다. 최적설계를 위해서는 요구 항복전압에 알맞은 N_{ch}를 결정하고 오프상태에서 핀치오프상태를 유지할 수 있는 a를 결정하는 순으로 설계해야 할 것이다.

오프 상태에서는 공핍층이 충분히 위아래로 뻗어나야 항복전압이 낮아지지 않는다. 그러나 L_{sg}가 너무 얇아서 게이트 공핍층이 뻗어나갈 공간이 없어지면 항복전압이 낮아지게 된다. 따라서 L_{sg}는 최소 게이트 두께인 L_{gcon}에서 위쪽으로 공핍층이 뻗어나가는 만큼보다 더 두꺼워야 할 것이다.

L_{gcon}은 너무 얇을 경우 공핍층의 두께가 낮아지게 되면서 항복전압이 떨어지는 양상을 보였기 때문에 요구 항복전압만큼 충분히 견딜 수 있는 두께로 설계해야 할 것이다.

L_{gd}영역이 완전 공핍화 되고나면 N_{sub}영역으로 공핍층이 확장되기 시작하는데 이곳은 고농도 도핑 되어있어 공핍층이 거의 확장되지 않는다. 따라서 항복

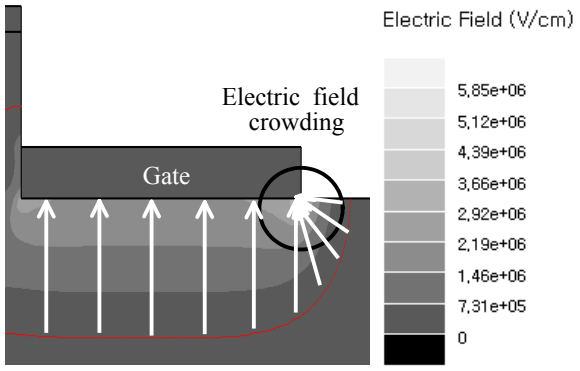

Fig. 4. Electric field crowding at the corner of gate.

전압이 낮아지지 않으려면, 항복현상이 일어나는 시점에 L_{gd}영역이 완전공핍화 되지 않도록 설계해야 한다.

T_g의 경우에는 T_g가 게이트 영역 전체면을 덮지 않는 경우 그림 4에서 볼 수 있듯이 T_g의 길이에 관계없이 게이트 전극 우측하단에 전계가 집중됨에 따라서 항복전압이 급격히 낮아지게 된다. 이 시뮬레이션 결과를 통해서 게이트영역은 T_g가 모두 덮도록 설계하고, edge영역에서 발생하는 전계집중현상은 field ring, field plate, bevel 등의 edge termination을 통해서 해결해야 할 것이다 [8].

3.2 온 저항에 영향을 주는 파라미터

온 저항 면에서는 a, N_{ch}, half pitch, L_{gcon}, L_{sg}가 주로 영향을 주었으며 이외에도 L_{gd}, L_{sub}, N_n가 아주 적은 영향을 주었다.

N_{ch}와 a는 SIT의 온 상태 전류 통로의 폭을 결정하기 때문에 N_{ch}, a가 증가할수록 온 저항은 작아졌다. Half pitch는 같은 면적에 얼마나 많은 전류통로를 만들 수 있느냐를 결정하기 때문에 항복전압을 낮추지 않는 한도 내에서 half pitch를 작게 함으로써 전류밀도를 높일 수 있다. MESFET영역인 L_{gcon}, L_{sg}는 두꺼울수록 온 저항이 커졌는데, 그 이유는 전류통로가 좁아 저항이 크기 때문으로 판단된다.

3.3 파라미터 조정을 통한 설계 최적화 결과

앞서 얻은 파라미터별 특성을 고려하여 600 V급 power SIT 설계를 목표로 하여 660 V 이상의 항복전압을 갖으면서도 최소의 온 저항을 갖도록 최적화된 파라미터를 표 2에, 전기적 특성을 그림 5에 나타내었다.

Table 2. Optimized parameters for 600 V class power SIT.

Parameter	Value	Parameter	Value
N_{ch}	5×10^{16}/㎤	L_{gd}	3.0 ㎛
a	0.2 ㎛	Half pitch	1 ㎛
T_g	0.8 ㎛	L_{sub}	0.4 ㎛
L_{sg}	0.9 ㎛	N_{sub}	1×10^{18}/㎤
L_{gcon}	0.4 ㎛		

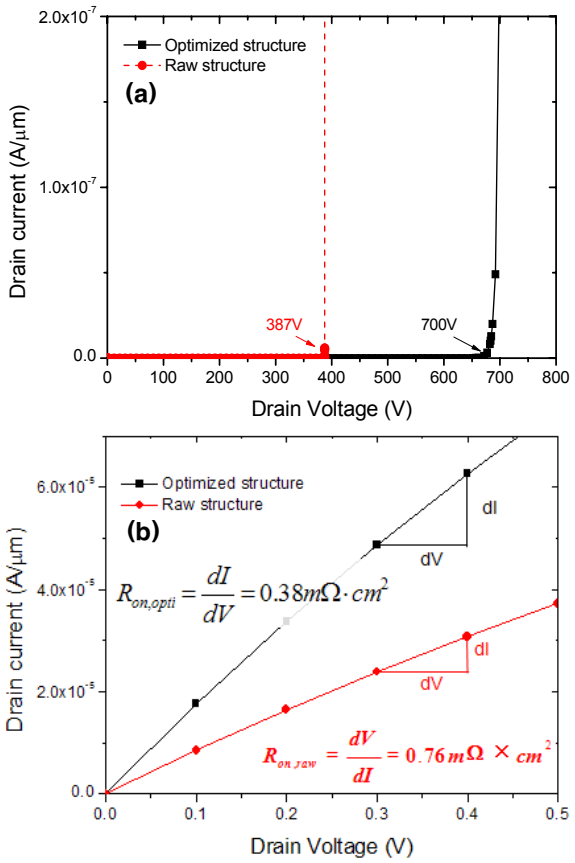

Fig. 5. The comparison of the electrical characteristics between raw and optimized structure. (a) breakdown voltage (b) on-resistance

최적화 전에 비해 항복전압은 약 390 V에서 약 700 V로 80%(310 V)정도 향상되었으며, 온 저항은 0.76 mΩ·㎠에서 0.38 mΩ·㎠로 50%(0.38 mΩ·㎠)정도 감소했다.

4. 결 론

본 논문에서는 600 V급 GaN power SIT의 소자의 전기적 특성을 고려한 최적화를 위해 모든 설계변수의 변화에 따른 항복전압, 온 저항의 변화를 소자 시뮬레이션 프로그램을 이용해서 분석하였다. 분석결과 항복전압에는 게이트 간격(a)과 채널영역 도핑농도(N_{ch}), 핀치오프 영역을 결정하는 L_{sg}, L_{gcon}, L_{gd}, 게이트 폭인 T_g가 영향을 주었으며, 온 저항에는 a, N_{ch}, Half Pitch, L_{gcon}, L_{sg}가 주로 영향을 주었다. 분석결과에 따라 최적설계를 통해 최적화이전보다 약 80% 향상된 항복전압과 약 50% 낮아진 온 저항을 얻을 수 있었다.

본 연구 결과는 향후 GaN기반 고압용 단일 SIT소자 설계 및 GaN smart IC 설계 시에 충분히 활용될 수 있을 것으로 기대된다.

REFERENCES

[1] E. G. Kang, B. J. Kim, and Y. H. Lee, *J. KIEEME* **23**, 1 (2010).

[2] T. Uesugi and T. Kachi, *CS MANTECH Conference* (Florida, USA) 2009.

[3] J. S. Foresi and T. D. Moustakas, *Appl. Phys. Lett.* **62**, 2859 (1993).

[4] S. M. Sze and K. K. Ng, *Physics of semiconductor devices* (John Wiley & Sons, Hoboken, NJ, 2007) p. 377, 586.

[5] E. Alptekina and O. Aktas, *Solid-State Electron.* **50**, 741 (2006).

[6] M. S. Shur and R. F. Davis, *GaN-Based Materials and Devices: Growth, Fabrication, Characterization and Performance* (World Scientific Publishing Co. Pte. Ltd., Singapore, 2004) p. 7.

[7] M. Levinshtein, J. Kostamovaara, and S. Vainshtein, *Breakdown Phenomena In Semiconductors and Semiconductor Devices* (World Scientific Publishing Co. Pte. Ltd., Singapore, 2005) p. 33.

[8] B. Jayant Baliga, *Power Semiconductor Devices* (PWS Publishing Co., Boston, MA, 1996) p. 81.