

논문 2010-6-33

대칭형 이중 게이트 MOSFET에 대한 문턱전압 연구

A Study of the Threshold Voltage of a Symmetric Double Gate Type MOSFET

이정일*, 신진섭*

Jeong-Ihl Lee, Jin-Seob Shin

요 약 본 논문에서는 대칭형 이중 게이트 MOSFET의 회로해석에 대한 등가모델을 제시하고자 해석적 모델을 연구하였다. 본 연구의 해석적 모델에 사용된 방법은 2차원 포아송 방정식의 해를 가정하여 표면 전위 관계식을 유도하여 실리콘 몸체 내의 전위분포를 풀어 드레인 전압 변화에 대한 문턱전압 관계식을 도출하였다. 단채널 및 장채널 실리콘 채널에서 모두 해석이 가능한 해석적 모델을 적용 가능하도록 하기 위해 MOSFET의 채널 길이에 따른 제한된 지수함수를 적용함으로써 수백 나노미터까지 해석이 가능한 대칭형 이중 게이트 MOSFET 해석적 모델을 연구하였다.

Abstract In this thesis, in order to a equivalent circuit-analytical study for a symmetric double gate type MOSFET, we solve analytically the 2D Poisson's equation in a silicon body. To solve the threshold voltage in a symmetric double gate type MOSFET from the derived expression for the surface potential which the two-dimensional potential distribution of a symmetric double gate type MOSFET is assumed approximately. This thesis can use short and long channel in a silicon body we introduce a new the threshold voltage model in a symmetric double gate type MOSFET and measure it the distance about the range of channel length up to 0.1 [μm].

Key Words : SOI(Silicon On Insulator), Double Gate MOSFET, Threshold Voltage, Short Channel Effect

I. 서 론

단채널 효과(Short Channel Effect : SCE)는 MOSFET의 누설전류 증가, 드레인 전압 증가에 따른 문턱전압의 감소 및 문턱전압의 기울기 저하 등을 발생시킴으로 MOSFET의 회로 해석을 어렵게 만든다.^[1,2,3,4] 집적회로에 사용되는 소자들의 스케일 다운에서 문제가 되고 있는 SCE를 줄이는 방법으로 기판의 도핑 농도를 높이는 방법을 이용하지만 이동도의 저하 및 드레인 전압에 따른 빠른 절연과피점의 발생으로 도핑 농도를 높이지 않고도 SCE를 줄일 수 있는 SOI(Silicon On

Insulator)형 이중 게이트(Double Gate : DG) MOSFET이 최근 주목받고 있다.^[5,6] 대칭 및 비대칭 DG MOSFET이 기존의 planar형 MOSFET에 비해 스위칭 동작이 향상되고 저전압에서도 전류 수송 능력이 향상되며 누설전류가 감소하는 등 SCE를 감소시켜 소자 특성이 개선되는 것으로 보고 된 바 있다.^[6,7]

단채널 소자의 문턱 전압에 대한 해석적 모델로서는 판전하 근사(charge sheet approximation) 및 공핍근사 등의 가정들을 이용하여 실리콘 채널 내에서 2차원 포아송 방정식을 풀이하는 방법이 발표된 바 있다.^[8,9] 현재까지 제안 된 모델은 수식의 복잡성과 도출을 위한 과도한 가정으로 closed-form의 문턱 전압이 도출되지 않는 단점을 갖고 있다. 문턱 전압 도출의 또 다른 해석적 모델로는 채널 내의 전위 분포를 채널 수직 방향의 좌표 x 에

*정회원, 경민대학 정보통신과
접수일자 2010.10.12 수정일자 2010.11.30
게재확정일자 2010.12.15

대해 2차 다항식으로 표현 가능하다고 가정하여 2차원 포아송 방정식을 풀이하는 방법이 있다.^[10,11] 그러나 채널 내의 전위 분포를 채널에 수직인 방향의 좌표 x 에 대해 2차식으로 단순하게 표현할 수 있다고 가정함으로써 무리한 해석을 야기 시킨다.^[12,13] 특히 단 채널 해석의 경우 모델의 정확성이 떨어지게 된다.

본 논문에서는 채널 두께가 수백 [μm] 이하로 얇은 SOI형 대칭 DG MOSFET의 채널 내의 전위 분포를 채널에 수직인 방향의 좌표 x 에 대해 4차 다항식으로 표현 가능하다고 가정하여 2차원 포아송 방정식을 풀어 보다 정확한 표면 전위의 표현식을 도출하고 이 결과를 이용하여 closed-form의 간편한 문턱 전압의 모델을 제안하였다.

II. 대칭 DG MOSFET의 문턱전압 모델

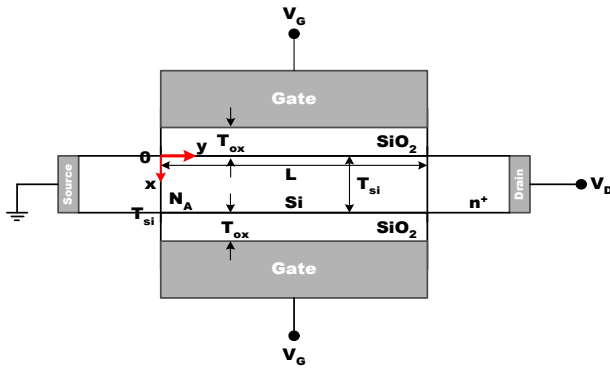


그림 1. 대칭 DG-MOSFET 단면도
Fig. 1. Cross section of the Symmetric DG-MOSFET

그림 1에서 x 좌표를 채널 길이의 수직 방향, y 좌표를 채널 길이 방향, L 을 채널 길이, T_{si} 를 채널두께, T_{ox} 를 front 및 back 게이트 oxide 두께 그리고 N_A 는 실리콘 몸체에서의 균일한 도핑농도이다. T_{si} 가 얇은 thin body 소자인 경우 실리콘 몸체 전체가 공핍되었다고 가정하여 채널 내의 2차원 포아송 방정식을 다음으로 가정하였다.

$$\frac{\partial^2 \Psi(x, y)}{\partial x^2} + \frac{\partial^2 \Psi(x, y)}{\partial y^2} = \frac{qN_A}{\epsilon_{si}} \quad (1)$$

여기서 $\Psi(x, y)$ 는 실리콘 몸체 내의 2차원 전위 분포이고, q 는 전자의 전하량, ϵ_{si} 는 실리콘의 유전율이다. 식(1)의 경계조건은 다음과 같다.

$$\Psi(0, y) = \Psi(T_{si}, y) \equiv \Psi_s(y) \quad (2)$$

$$\epsilon_{si} \frac{\partial \Psi}{\partial x} \Big|_{x=0^+} = \epsilon_{ox} \frac{\partial \Psi}{\partial x} \Big|_{x=0^-} + Q_n(y) \quad (3)$$

여기서 $\Psi_s(y)$ 는 표면 전위(surface potential)이고 ϵ_{ox} 는 게이트 oxide의 유전율이다. 식(3)은 판전하 모델을 적용한 결과로 채널 내의 전자들이 Si/SiO₂ 경계면에 $Q_n(y)$ 의 판전하 밀도로 존재한다고 가정한다. 게이트 전압 V_G 가 문턱 전압 V_T 직전까지는 $Q_n(y) = 0$ 이므로 식(3)은 다음과 같이 쓸 수 있다.

$$\epsilon_{si} \frac{\partial \Psi}{\partial x} \Big|_{x=0^+} = \epsilon_{ox} \frac{\partial \Psi}{\partial x} \Big|_{x=0^-} \quad (4)$$

통상 게이트 oxide의 두께 T_{ox} 는 매우 얇으므로 다음을 얻게 된다.

$$\frac{\partial \Psi}{\partial x} \Big|_{x=0^-} \doteq \frac{\Psi_s(y) - (V_G - V_{FB})}{T_{ox}} \quad (5)$$

V_{FB} 는 flat band 전압이고 식(2)를 만족하는 전위 분포 $\Psi(x, y)$ 를 근사적으로 다음과 같이 채널 수직 방향의 좌표 x 에 대한 4차 다항식으로 제안한다.

$$\Psi(x, y) \doteq \Psi_s(y) + f_1(y)x(x - T_{si}) + f_2(y)x^2(x - T_{si})^2 \quad (6)$$

식(6)을 x 에 대해 미분한 후 $x = 0$ 를 대입하면 다음이 얻어진다.

$$\frac{\partial \Psi}{\partial x} \Big|_{x=0^+} = -T_{si} f_1(y) \quad (7)$$

식(5) 및 식(7)을 식(4)에 대입하고 식(6)을 식(1)에 대입하면 $x = 0$ 에서 다음을 얻을 수 있다.

$$\frac{d^2\Psi_s}{dy^2} + 2f_1(y) + 2T_{si}^2 f_2(y) = \frac{qN_A}{\epsilon_{si}} \quad (8)$$

이를 이용한 표면 전위 $\Psi_s(y)$ 에 대한 다음의 미분 방정식은 다음과 같다.

$$\frac{d^2\Psi_s}{dy^2} - \frac{1}{\lambda^2} [\Psi_s(y) - V'_G] = 0 \quad (9)$$

단, λ 는

$$\lambda = \sqrt{\frac{T_{si} T_{ox} \left(1 + \frac{\eta T_{si}}{6 T_{ox}}\right)}{2\eta}} \quad (10)$$

이고 V'_G 은 다음과 같이 정의된다.

$$V'_G = V_G - V_{FB} - \frac{qN_A T_{si}}{2C_{ox}} \quad (11)$$

여기서 $C_{ox} = \epsilon_{ox}/T_{ox}$ 이다. 경계조건 적용하여 다음과 같이 구하였다.

$$\Psi_s(y) = V'_G + \frac{(\Psi_{s0} - V'_G) \sinh\left(\frac{L-y}{\lambda}\right) + (\Psi_{sL} - V'_G) \sinh\left(\frac{y}{\lambda}\right)}{\sinh\left(\frac{L}{\lambda}\right)} \quad (12)$$

$\Psi_s(y)$ 의 최소치 $\Psi_{s,min}$ 을 구하기 위해 $d\Psi_s/dy = 0$ 이 되는 y 좌표를 y_m 이라 하면 다음의 식이 얻어진다.

$$\frac{\Psi_{sL} - V'_G}{\Psi_{s0} - V'_G} = \frac{\cosh\left(\frac{L-y_m}{\lambda}\right)}{\cosh\left(\frac{y_m}{\lambda}\right)} \quad (13)$$

표면 전위의 최소치는 다음과 같이 표현된다.

$$\Psi_{s,min} = \Psi_s(y_m) = V'_G + \frac{\Psi_{s0} - V'_G}{\cosh\left(\frac{y_m}{\lambda}\right)} \quad (14)$$

y_m 이 소거된 다음 식으로 정리 하면

$$\Psi_{s,min} = V'_G + (\Psi_{s0} - V'_G) \cdot \sqrt{1 - \tanh\left(\frac{L}{2\lambda}\right) - \frac{V_{DS}}{\Psi_{s0} - V'_G} \operatorname{csch}\left(\frac{L}{\lambda}\right)^2} \quad (15)$$

이 되어 $L \rightarrow \infty$ 인 경우 다음과 같아진다.

$$\Psi_{s,min} \text{ longchannel} = V'_G \quad (16)$$

따라서 장채널 대칭 DG MOSFET의 문턱 전압을 다음과 같이 도출 할 수 있다.

$$V_T = V_{FB} + \frac{qN_A T_{si}}{2C_{ox}} + 2\Phi_B \quad (17)$$

장 채널 소자를 포함한 단 채널 소자의 문턱 전압 V_T 는 다음 조건으로부터 도출이 가능하다.

$$\Psi_{s,min} \geq 2\Phi_B \quad (18)$$

이를 이용하여 다음의 부등식을 도출하였다.

$$X^2 \tanh^2\left(\frac{L}{2\lambda}\right) - 2X V_{DS} \tanh\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{\lambda}\right) + \Psi_{s0} - 2\Phi_B + V_{DS}^2 \operatorname{csch}^2\left(\frac{L}{\lambda}\right) + (\Psi_{s0} - 2\Phi_B)^2 \leq 0 \quad (19)$$

$V_G \geq V_T$ 의 조건식은 부등식(19)의 해가 $X \leq X_T$ 의 형태이다. 최종적으로 closed-form의 V_T 는 다음으로 도출된다.

$$\begin{aligned}
 V_T = & V_{FB} + V_{bi} + \frac{qN_A T_{si}}{2C_{ox}} - \frac{1}{2} V_{DS} \operatorname{csch}^2\left(\frac{L}{2\lambda}\right) \\
 & - (V_{bi} - 2\Phi_B) \operatorname{coth}^2\left(\frac{L}{2\lambda}\right) \\
 & - \operatorname{coth}\left(\frac{L}{2\lambda}\right) \operatorname{csch}\left(\frac{L}{2\lambda}\right) \sqrt{(V_{bi} - 2\Phi_B)(\Psi_{sL} - 2\Phi_B)}
 \end{aligned}
 \tag{20}$$

단, $\Psi_{sL} = V_{bi} + V_{DS}$ 이다.

III. 모의 실험 결과 및 검토

모의 실험에서는 $\epsilon_{si} = 11.8\epsilon_0$ [F/cm],
 $\epsilon_{ox} = 3.9\epsilon_0$ [F/cm], $\epsilon_0 = 8.854 \times 10^{-14}$ [F/cm],
 $n_i = 1.5 \times 10^{15}$ [cm⁻³], $N_D = 10^{18}$ [cm⁻³],
 $E_g = 1.1$ [eV]로 사용하였다.

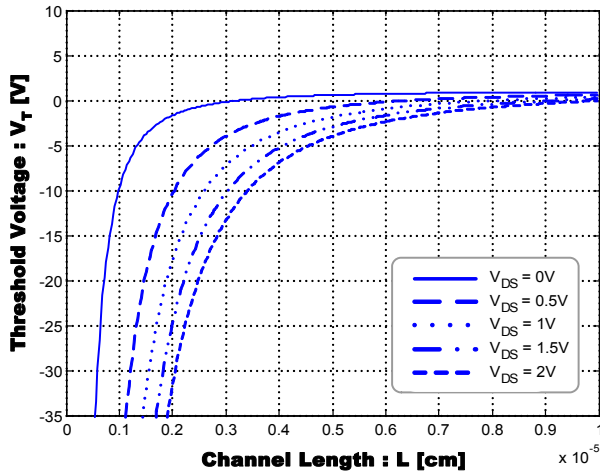


그림 2. 여러 V_{DS}에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 2. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of V_{DS}

그림 2는 드레인 전압을 0 [V]에서 0.5 [V] 간격으로 2.0 [V]까지 변화시키면서 문턱 전압의 채널 길이 의존성을 나타낸 결과로서 드레인 전압에 따른 문턱 전압의 roll-off를 잘 표현하고 있다. 여기서는 채널 길이 L 을 0.1 [μ m] 범위까지 모의 실험하였으며, $T_{ox} = 10$ [nm], $T_{si} = 100$ [nm], $N_A = 10^{17}$ [cm⁻³]로 두었다.

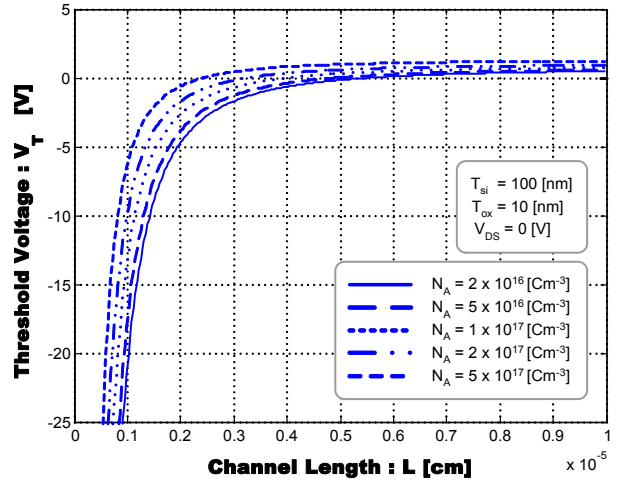


그림 3. 여러 N_A 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화

Fig. 3. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of N_A at V_{DS}=0

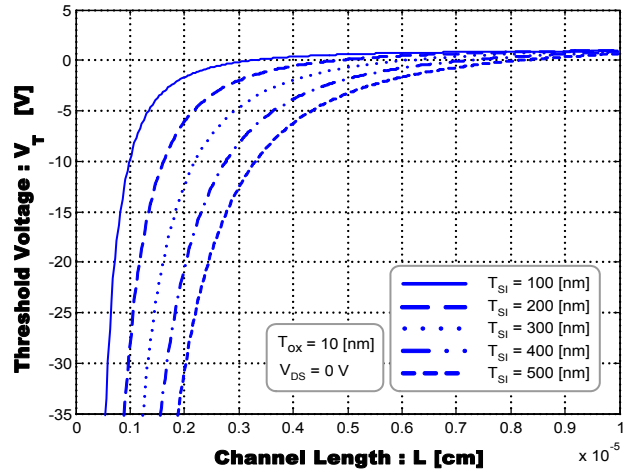


그림 4. 여러 T_{si} 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화

Fig. 4. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of T_{si}

그림 3은 p형 실리콘 몸체 내의 억셉터 농도를 파라미터로 한 SOI형 대칭 DG MOSFET의 문턱 전압에 대한 모의 실험 결과로 억셉터 농도가 증가하면 단채널 효과가 감소함을 보이고 있다. 그림 4는 채널 길이에 따른 문턱 전압의 모의 실험결과로 T_{si} 가 증가함에 따라 λ 값이 증가하고 이로서 단 채널 효과가 증가되어 V_T 가 감소됨을 보인다. 그림 5는 oxide 두께 T_{ox} 를 파라미터로 한

채널 길이에 따른 문턱 전압의 모의 실험 결과로서 단 채널에서는 T_{ox} 크기가 증가함에 따라 단채널 문턱 전압 V_T 가 감소하며 장 채널에서는 C_{ox} 의 증가로 V_T 가 감소하게 됨을 보이고 있다. 그림 6은 드레인 전압 V_{DS} 를 0 [V]에서 0.5 [V] 간격으로 2 [V]까지 증가시키면서 장 채널 대칭 DG MOSFET을 채널의 위치에 따라 표면 전위를 도시한 결과이다.

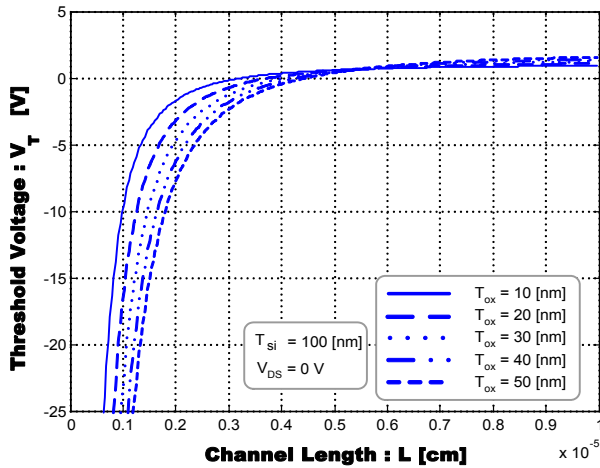


그림 5. 여러 T_{ox} 에 대한 대칭 DG MOSFET의 채널 길이에 따른 문턱 전압의 변화
 Fig. 5. Derived relation between V_T and L of a symmetric DG-MOSFET for various values of T_{ox}

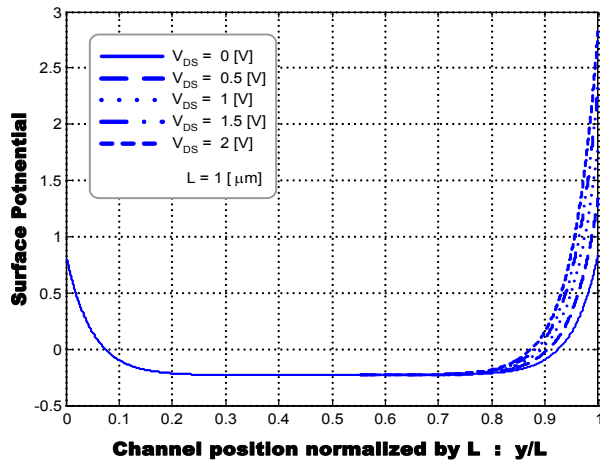


그림 6. 장 채널 대칭 DG-MOSFET의 채널 위치에 따른 표면 전위 변화
 Fig. 6. $\Psi_s(y)$ profile along the channel position for channel length $L=1[\mu\text{m}]$

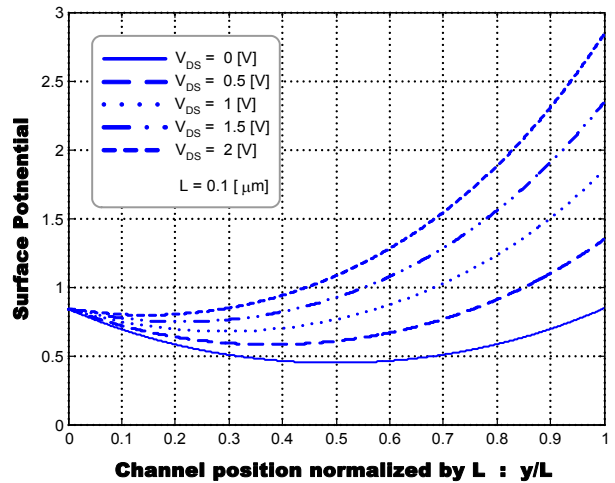


그림 7. 단 채널 대칭 DG-MOSFET의 채널 위치에 따른 표면 전위 변화
 Fig. 7. $\Psi_s(y)$ profile along the channel position for channel length $L=0.1[\mu\text{m}]$

그림 7은 드레인 전압 V_{DS} 를 0 [V]에서 0.5 [V] 간격으로 2 [V]까지 증가시키면서 단채널 대칭 DG MOSFET을 채널의 위치에 따라 표면 전위를 도시한 결과이다. 장채널 소자의 표면 전위가 최소가 되는 채널 위치 y_m 이 드레인 전압의 증가에도 채널의 중앙에 머무르는 반면 단채널 해석에서는 V_{DS} 를 증가시키면 최소 표면 전위의 위치 y_m 이 채널의 중앙에서 소오스 쪽으로 이동되어짐을 알 수 있다.

IV. 결론

본 논문에서는 SOI형 대칭 DG MOSFET의 문턱전압이 간편한 closed-form으로 도출되는 새로운 해석적 모델을 제안하였다. 새로운 문턱 전압 모델은 2차원 포아송 방정식 풀이를 위해 실리콘 몸체 내의 전위 분포를 채널의 수직 방향 x 에 대해 4차 다항식으로 제안하고, 표면 전위의 최소치가 $2\Phi_B$ 가 되는 조건으로부터 대칭 DG MOSFET에서 closed-form의 간편한 문턱 전압의 해석적 모델을 제안할 수 있었다. 대칭 DG MOSFET의 채널 길이, 드레인 전압 및 역셉터 도핑 농도 변화에 따른 장 채널 및 단 채널 소자에 대한 문턱 전압을 closed-form으로 도출하여 대칭 DG MOSFET의 채널 단소화에 따른 문턱 전압의 roll-off 및 채널 위치에 따른

표면 전위 변화, 드레인 전압 변화에 따른 최소 표면 전위의 위치 y_m 변화 등을 모의 실험하였다. 특히 장 채널 문턱 전압과 단 채널 문턱 전압의 차이 ΔV_T 를 채널 길이에 따라 도출하면 실리콘 채널 길이 0.1 [μm]의 실리콘 채널 길이 범위까지는 채널 길이에 지수적으로 감소하여 비교적 정확한 해석이 가능하였다.

참 고 문 헌

- [1] S. P. Sinha, A. Zaleski, D. E. Ioannou, "Investigation of carrier generation in fully depleted enhancement and accumulation mode SOI MOSFET's," IEEE Trans. Electron Devices, vol. 42, no. 12, pp. 2413 - 2416, Dec. 1994.
- [2] Ni. Pei, Weiping A. V. Kammula, B. A. Minch, E. C. Kan, "A physical compact model of DG MOSFET for mixed-signal circuit applications-part I : model description," IEEE Trans. Electron Devices, vol. 51, no. 12, pp. 2135 - 2143, Dec. 2004.
- [3] Weimin Zhang, Fossum, J. G, Mathew, L, Yang Du, "Physical insights regarding design and performance of independent-gate FinFETs," IEEE Trans. Electron Devices, vol. 52, no. 10, pp. 2198 - 2206, Oct. 2005.
- [4] K. K. Young, "Short-channel effect in fully depleted SOI MOSFETs," IEEE Trans. Electron Devices, vol. 36, no. 2, pp. 399 - 402, Feb. 1989.
- [5] Y. Omura, "A simple model for short-channel effects of a buried-channel MOSFET on the buried insulator," IEEE Trans. Electron Devices, vol. 29, no. 11, pp. 1749 - 1755, Nov. 1982.
- [6] A. Dasgupta, S. K. Lahiri, "A two-dimensional analytical model of threshold voltages of short-channel MOSFETs with Gaussian-doped channels," IEEE Trans. Electron Devices, vol. 35, no. 3, pp. 390 - 392, Mar. 1988.
- [7] Yu Tian, Ru Huang, Xing Zhang, Yangyuan Wang, "A novel nanoscaled device concept: quasi-SOI MOSFET to eliminate the potential weaknesses of UTB SOI MOSFET," IEEE Trans. Electron Devices, vol. 52, no. 4, pp. 561 - 568, Apr. 2005.
- [8] T. J. Cunningham, R. C. Gee, E. R. Fossum, S. M. Baier, "Deep cryogenic noise and electrical characterization of the complementary heterojunction field-effect transistor (CHFET)," IEEE Trans. Electron Device Letters, vol. 41, no. 6, pp. 888 - 894, Nov. 1994.
- [9] K. W. Terrill, C. U. Hu, P. K. Ko, "An Analytical Model for the Channel Electric Field in MOSFET's with Graded-Drain Structures," IEEE Trans. Electron Device Letters, vol. 5, no. 11, pp. 440 - 442, Nov. 1984.
- [10] Ge. Lixin, J. G. Fossum, "Analytical modeling of quantization and volume inversion in thin Si-film DG MOSFETs," IEEE Trans. Electron Devices, vol. 49, no. 2, pp. 287 - 294, Feb. 2002.
- [11] K. N. Ratnakumer, J. D. Meindle, "Short-channel MOST threshold Voltage Model," IEEE J. of Solid-state Circuits, vol. SC-17, pp. 937-947, Oct. 1982.

저자 소개

이 정 일(정회원)



- 제8권 6호참조
- 2010년 현재 경민대학 정보통신과 교수

<주관심분야 : RFID/USN 기술, 이동무선통신, 안테나 및 전파전파, 통방융합기술>

신 진 섭(정회원)



- 1989 호서대학교 통신공학과 학사
- 1991 경희대학교대학원 전자공학과 석사
- 1997 경희대학교대학원 전자공학과 박사
- 2010년 현재 경민대학 정보통신과 교수

<주관심분야 : 신호처리, 통신분야>